

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年12月11日(2023.12.11)

【公開番号】特開2023-74722(P2023-74722A)

【公開日】令和5年5月30日(2023.5.30)

【年通号数】公開公報(特許)2023-099

【出願番号】特願2021-187817(P2021-187817)

【国際特許分類】

H 0 1 L 29/739(2006.01)

H 0 1 L 21/76(2006.01)

H 0 1 L 29/78(2006.01)

H 0 1 L 29/861(2006.01)

H 0 1 L 21/8234(2006.01)

H 0 1 L 21/822(2006.01)

10

【F I】

H 0 1 L 29/78 6 5 5 F

H 0 1 L 29/78 6 5 2 R

H 0 1 L 29/78 6 5 7 D

H 0 1 L 29/78 6 5 7 F

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/91 C

H 0 1 L 29/91 K

H 0 1 L 29/91 L

H 0 1 L 29/78 6 5 7 A

H 0 1 L 29/78 6 5 7 G

H 0 1 L 29/78 6 5 2 L

H 0 1 L 29/78 6 5 5 C

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 5 B

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/04 T

H 0 1 L 27/04 H

20

30

【手続補正書】

【提出日】令和5年12月1日(2023.12.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

40

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタとダイオードとが共通の半導体基体に形成された半導体装置であって、

第1電極と、

第2電極と、

電流センス用の第3電極と、

電流センス用の第4電極と、

50

第 1 ゲート電極と、
 を備え、
 前記半導体基体は、
 一方主面および他方主面としての第 1 主面および第 2 主面と、
 前記トランジスタが形成されたトランジスタ領域と、
 前記ダイオードが形成されたダイオード領域と、
 前記トランジスタ領域および前記ダイオード領域の間に設けられた分離領域と、
 を有し、
 前記トランジスタ領域は、
 第 1 導電型の第 1 半導体層と、
 前記第 1 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不
 純物濃度の高い第 1 導電型の第 8 半導体層と、
 前記第 8 半導体層の前記第 2 主面側に設けられた第 2 導電型の第 2 半導体層と、
 前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、
 前記第 3 半導体層の前記第 1 主面側に選択的に設けられた第 1 導電型の第 4 半導体層と
 、
 を備え、
 前記ダイオード領域は、
 前記第 1 半導体層と、
 前記第 1 半導体層の前記第 2 主面側に設けられた前記第 8 半導体層と、
 前記第 8 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不
 純物濃度の高い第 1 導電型の第 5 半導体層と、
 前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 6 半導体層と、
 を備え、
 前記第 1 電極は前記トランジスタ領域の前記第 1 主面上および前記ダイオード領域の前
 記第 1 主面上に設けられており、
 前記第 2 電極は前記トランジスタ領域の前記第 2 主面上および前記ダイオード領域の前
 記第 2 主面上に設けられており、
 前記第 3 電極は前記半導体基体の前記トランジスタ領域の前記第 1 主面上に前記第 1 電
 極と離間して設けられており、
 前記第 4 電極は前記半導体基体の前記ダイオード領域の前記第 1 主面上に前記第 1 電極
 と離間して設けられており、
 前記トランジスタ領域において、前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主
 面において前記第 1 電極と電氣的に接続されており、
 前記トランジスタ領域において、前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主
 面において前記第 3 電極と電氣的に接続されており、
 前記トランジスタ領域において、前記第 2 半導体層は前記第 2 主面において前記第 2 電
 極と電氣的に接続されており、
 前記トランジスタ領域において、前記第 1 ゲート電極は第 1 絶縁膜を介して前記第 1 半
 導体層および前記第 3 半導体層および前記第 4 半導体層と対向しており、
 前記ダイオード領域において、前記第 6 半導体層は前記第 1 主面において前記第 1 電極
 と電氣的に接続されており、
 前記ダイオード領域において、前記第 6 半導体層は前記第 1 主面において前記第 4 電極
 と電氣的に接続されており、
 前記ダイオード領域において、前記第 5 半導体層は前記第 2 主面において前記第 2 電極
 と電氣的に接続されている、
 半導体装置。

【請求項 2】
 請求項 1 に記載の半導体装置であって、
 前記第 1 ゲート電極にオン電圧が印加されており、かつ、前記第 2 電極を基準として前

10

20

30

40

50

記第 1 電極と前記第 4 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電型が n 型の場合には負、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_1 と前記第 3 電極を流れる電流 I_2 との比 I_1 / I_2 と、

前記第 2 電極を基準として前記第 1 電極と前記第 4 電極とに同じ大きさの、第 1 導電型が p 型の場合には負、第 1 導電型が n 型の場合には正、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_3 と前記第 4 電極を流れる電流 I_4 との比 I_3 / I_4 と、のうち、大きい方は小さい方の 1.2 倍以下である、

半導体装置。

【請求項 3】

トランジスタとダイオードとが共通の半導体基体に形成された半導体装置であって、

第 1 電極と、

第 2 電極と、

電流センス用の第 3 電極と、

電流センス用の第 4 電極と、

第 1 ゲート電極と、

を備え、

前記半導体基体は、

一方主面および他方主面としての第 1 主面および第 2 主面と、

前記トランジスタが形成されたトランジスタ領域と、

前記ダイオードが形成されたダイオード領域と、

前記トランジスタ領域および前記ダイオード領域の間に設けられた分離領域と、

を有し、

前記トランジスタ領域は、

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不純物濃度の高い第 1 導電型の第 8 半導体層と、

前記第 8 半導体層の前記第 2 主面側に設けられた第 2 導電型の第 2 半導体層と、

前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、

前記第 3 半導体層の前記第 1 主面側に選択的に設けられた第 1 導電型の第 4 半導体層と

、

を備え、

前記ダイオード領域は、

前記第 1 半導体層と、

前記第 1 半導体層の前記第 2 主面側に設けられた前記第 8 半導体層と、

前記第 8 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不純物濃度の高い第 1 導電型の第 5 半導体層と、

前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 6 半導体層と、

を備え、

前記第 1 電極は前記トランジスタ領域の前記第 1 主面上および前記ダイオード領域の前記第 1 主面上に設けられており、

前記第 2 電極は前記トランジスタ領域の前記第 2 主面上および前記ダイオード領域の前記第 2 主面上に設けられており、

前記第 3 電極は前記半導体基体の前記トランジスタ領域の前記第 1 主面上に前記第 1 電極と離間して設けられており、

前記第 4 電極は前記半導体基体の前記ダイオード領域の前記第 2 主面上に前記第 2 電極と離間して設けられており、

前記トランジスタ領域において、前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 1 電極と電氣的に接続されており、

前記トランジスタ領域において、前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 3 電極と電氣的に接続されており、

10

20

30

40

50

前記トランジスタ領域において、前記第 2 半導体層は前記第 2 主面において前記第 2 電極と電氣的に接続されており、

前記トランジスタ領域において、前記第 1 ゲート電極は第 1 絶縁膜を介して前記第 1 半導体層および前記第 3 半導体層および前記第 4 半導体層と対向しており、

前記ダイオード領域において、前記第 6 半導体層は前記第 1 主面において前記第 1 電極と電氣的に接続されており、

前記ダイオード領域において、前記第 5 半導体層は前記第 2 主面において前記第 4 電極と電氣的に接続されており、

前記ダイオード領域において、前記第 5 半導体層は前記第 2 主面において前記第 2 電極と電氣的に接続されている、

10

半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置であって、

前記第 1 ゲート電極にオン電圧が印加されており、かつ、前記第 2 電極を基準として前記第 1 電極と前記第 3 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電型が n 型の場合には負、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_5 と前記第 3 電極を流れる電流 I_6 との比 I_5 / I_6 と、

前記第 1 電極を基準として前記第 2 電極と前記第 4 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電型が n 型の場合には負、の電圧が印加されている場合の、前記第 2 電極を流れる電流 I_7 と前記第 4 電極を流れる電流 I_8 との比 I_7 / I_8 と、

20

のうち、大きい方は小さい方の 1.2 倍以下である、

半導体装置。

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載の半導体装置であって、

平面視において、前記分離領域内に、前記第 2 半導体層と前記第 5 半導体層との境界が少なくとも部分的に含まれる、

半導体装置。

【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の半導体装置であって、

前記第 5 半導体層と前記第 8 半導体層とは一体的である、

30

半導体装置。

【請求項 7】

トランジスタが半導体基体に形成された半導体装置であって、

第 1 電極と、

第 2 電極と、

電流センス用の第 3 電極と、

第 1 ゲート電極と、

第 2 ゲート電極と、

を備え、

前記半導体基体は、一方主面および他方主面としての第 1 主面および第 2 主面を有し、

40

前記半導体基体は、

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不純物濃度の高い第 1 導電型の第 8 半導体層と、

前記第 8 半導体層の前記第 2 主面側に設けられた第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の前記第 2 主面側に選択的に設けられた第 1 導電型の第 7 半導体層と

、

前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、

前記第 3 半導体層の前記第 1 主面側に選択的に設けられた第 1 導電型の第 4 半導体層と

、

50

を備え、

前記第 1 電極は前記半導体基体の前記第 1 主面上に設けられており、

前記第 2 電極は前記半導体基体の前記第 2 主面上に設けられており、

前記第 3 電極は前記半導体基体の前記第 1 主面上に前記第 1 電極と離間して設けられており、

前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 1 電極と電氣的に接続されており、

前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 3 電極と電氣的に接続されており、

前記第 2 半導体層と前記第 7 半導体層とは前記第 2 主面において前記第 2 電極と電氣的に接続されており、 10

前記第 1 ゲート電極は第 1 絶縁膜を介して前記第 1 半導体層および前記第 3 半導体層および前記第 4 半導体層と対向しており、

前記第 2 ゲート電極は第 2 絶縁膜を介して前記第 1 半導体層および前記第 2 半導体層および前記第 7 半導体層および第 8 半導体層と対向している、

半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置であって、

前記第 1 ゲート電極にオン電圧が印加されており、かつ、前記第 2 電極を基準として前記第 1 電極と前記第 3 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電型が n 型の場合には負、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_9 と前記第 3 電極を流れる電流 I_{10} との比 I_9 / I_{10} と、 20

前記第 2 ゲート電極にオン電圧が印加されており、かつ、前記第 2 電極を基準として前記第 1 電極と前記第 3 電極とに同じ大きさの、第 1 導電型が p 型の場合には負、第 1 導電型が n 型の場合には正、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_{11} と前記第 3 電極を流れる電流 I_{12} との比 I_{11} / I_{12} と、

のうち、大きい方は小さい方の 1.2 倍以下である、

半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置であって、 30

前記第 1 ゲート電極は前記半導体基体の前記第 1 主面に面内の第 1 方向に延在して設けられた第 1 トレンチ内に前記第 1 絶縁膜を介して設けられており、

前記第 2 ゲート電極は前記半導体基体の前記第 2 主面に面内の第 2 方向に延在して設けられた第 2 トレンチ内に前記第 2 絶縁膜を介して設けられており、

前記第 4 半導体層は前記第 1 主面において前記第 1 トレンチと接するように設けられており、

前記第 7 半導体層は前記第 2 主面において前記第 2 トレンチと接するように設けられており、

前記第 1 電極が前記第 1 主面に設けられている領域と平面視で重なる領域において前記第 4 半導体層が前記第 1 主面において前記第 1 トレンチと接している前記第 1 方向の幅の総和 W_1 と、前記第 3 電極が前記第 1 主面に設けられている領域と平面視で重なる領域において前記第 4 半導体層が前記第 1 主面において前記第 1 トレンチと接している前記第 1 方向の幅の総和 W_2 と、の比 W_1 / W_2 と、 40

前記第 1 電極が前記第 1 主面に設けられている領域と平面視で重なる領域において前記第 7 半導体層が前記第 2 主面において前記第 2 トレンチと接している前記第 2 方向の幅の総和 W_3 と、前記第 3 電極が前記第 1 主面に設けられている領域と平面視で重なる領域において前記第 7 半導体層が前記第 2 主面において前記第 2 トレンチと接している前記第 2 方向の幅の総和 W_4 と、の比 W_3 / W_4 と、

は異なる、

半導体装置。 50

【請求項 10】

トランジスタが半導体基体に形成された半導体装置であって、
 第 1 電極と、
 第 2 電極と、
 電流センス用の第 3 電極と、
 電流センス用の第 4 電極と、
 第 1 ゲート電極と、
 第 2 ゲート電極と、
 を備え、
 前記半導体基体は、一方主面および他方主面としての第 1 主面および第 2 主面を有し、
 前記半導体基体は、
 第 1 導電型の第 1 半導体層と、
 前記第 1 半導体層の前記第 2 主面側に設けられ前記第 1 半導体層よりも第 1 導電型の不
 純物濃度の高い第 1 導電型の第 8 半導体層と、
 前記第 8 半導体層の前記第 2 主面側に設けられた第 2 導電型の第 2 半導体層と、
 前記第 2 半導体層の前記第 2 主面側に選択的に設けられた第 1 導電型の第 7 半導体層と
 、
 前記第 1 半導体層の前記第 1 主面側に設けられた第 2 導電型の第 3 半導体層と、
 前記第 3 半導体層の前記第 1 主面側に選択的に設けられた第 1 導電型の第 4 半導体層と
 、
 を備え、
 前記第 1 電極は前記半導体基体の前記第 1 主面上に設けられており、
 前記第 2 電極は前記半導体基体の前記第 2 主面上に設けられており、
 前記第 3 電極は前記半導体基体の前記第 1 主面上に前記第 1 電極と離間して設けられて
 おり、
 前記第 4 電極は前記半導体基体の前記第 2 主面上に前記第 2 電極と離間して設けられて
 おり、
 前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 1 電極と電氣的
 に接続されており、
 前記第 3 半導体層と前記第 4 半導体層とは前記第 1 主面において前記第 3 電極と電氣的
 に接続されており、
 前記第 2 半導体層と前記第 7 半導体層とは前記第 2 主面において前記第 2 電極と電氣的
 に接続されており、
 前記第 2 半導体層と前記第 7 半導体層とは前記第 2 主面において前記第 4 電極と電氣的
 に接続されており、
 前記第 1 ゲート電極は第 1 絶縁膜を介して前記第 1 半導体層および前記第 3 半導体層お
 よび前記第 4 半導体層と対向しており、
 前記第 2 ゲート電極は第 2 絶縁膜を介して前記第 1 半導体層および前記第 2 半導体層お
 よび前記第 7 半導体層および第 8 半導体層と対向している、
 半導体装置。

【請求項 11】

請求項 10 に記載の半導体装置であって、
 前記第 1 ゲート電極にオン電圧が印加されており、かつ、前記第 2 電極を基準として前
 記第 1 電極と前記第 3 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電
 型が n 型の場合には負、の電圧が印加されている場合の、前記第 1 電極を流れる電流 I_{13}
 と前記第 3 電極を流れる電流 I_{14} との比 I_{13} / I_{14} と、
 前記第 2 ゲート電極にオン電圧が印加されており、かつ、前記第 1 電極を基準として前
 記第 2 電極と前記第 4 電極とに同じ大きさの、第 1 導電型が p 型の場合には正、第 1 導電
 型が n 型の場合には負、の電圧が印加されている場合の、前記第 2 電極を流れる電流 I_{15}
 と前記第 4 電極を流れる電流 I_{16} との比 I_{15} / I_{16} と、

のうち、大きい方は小さい方の1.2倍以下である、
半導体装置。

【請求項12】

請求項11に記載の半導体装置であって、

前記第1ゲート電極は前記半導体基体の前記第1主面に面内方向の一方向である第1方向に延在して設けられた第1トレンチ内に前記第1絶縁膜を介して設けられており、

前記第2ゲート電極は前記半導体基体の前記第2主面に面内方向の一方向である第2方向に延在して設けられた第2トレンチ内に前記第2絶縁膜を介して設けられており、

前記第4半導体層は前記第1主面において前記第1トレンチと接するように設けられており、

10

前記第7半導体層は前記第2主面において前記第2トレンチと接するように設けられており、

前記第1電極が前記第1主面に設けられている領域と平面視で重なる領域において前記第4半導体層が前記第1主面において前記第1トレンチと接している前記第1方向の幅の総和 W_5 と、前記第3電極が前記第1主面に設けられている領域と平面視で重なる領域において前記第4半導体層が前記第1主面において前記第1トレンチと接している前記第1方向の幅の総和 W_6 と、の比 W_5/W_6 と、

前記第2電極が前記第2主面に設けられている領域と平面視で重なる領域において前記第7半導体層が前記第2主面において前記第2トレンチと接している前記第2方向の幅の総和 W_7 と、前記第4電極が前記第2主面に設けられている領域と平面視で重なる領域において前記第7半導体層が前記第2主面において前記第2トレンチと接している前記第2方向の幅の総和 W_8 と、の比 W_7/W_8 と、

20

は異なる、
半導体装置。

【請求項13】

請求項11に記載の半導体装置であって、

平面視における前記第3電極の面積と平面視における前記第4電極の面積とは異なる、
半導体装置。

【請求項14】

請求項1から13のいずれか1項に記載の半導体装置を有する主変換回路と、

30

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、
を備え、

前記主変換回路は入力される電力を変換して出力する、
電力変換装置。

【請求項15】

請求項14に記載の電力変換装置であって、

前記半導体装置は請求項1、3、または10に記載の半導体装置であり、

前記駆動回路または前記制御回路またはその両方は、前記第3電極を流れる電流と前記第4電極を流れる電流との少なくともいずれかに基づいて、前記半導体装置を過電流から保護する、

40

電力変換装置。

【請求項16】

請求項14または15に記載の電力変換装置であって、

前記半導体装置は請求項1、3、または10に記載の半導体装置であり、

抵抗を備え、

前記抵抗は前記第3電極を流れる電流が前記抵抗を流れるよう配置されており、

前記抵抗は前記第4電極を流れる電流が前記抵抗を流れるよう配置されており、

前記駆動回路または前記制御回路またはその両方は、前記抵抗の両端の電位差に基づいて、前記半導体装置を過電流から保護する、

50

電力変換装置。

【請求項 17】

請求項 14 に記載の電力変換装置であって、

前記半導体装置は請求項 7 に記載の半導体装置であり、

前記駆動回路または前記制御回路またはその両方は、前記第 3 電極を流れる電流に基づいて、前記半導体装置を過電流から保護する、

電力変換装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0193

10

【補正方法】変更

【補正の内容】

【0193】

半導体装置 1d において、順電流のセンス比とは、ゲート電極 12 にオン電圧が印加されており、かつ、電極 20 を基準として電極 19 と電極 22 とに同じ大きさの負の電圧が印加されている場合の、電極 19 を流れる電流 I_{13} と電極 22 を流れる電流 I_{14} との比 I_{13} / I_{14} である。また、半導体装置 1d において、逆電流のセンス比とは、ゲート電極 27 にオン電圧が印加されており、かつ、電極 19 を基準として電極 20 と電極 24 とに同じ大きさの負の電圧が印加されている場合の、電極 20 を流れる電流 I_{15} と電極 24 を流れる電流 I_{16} との比 I_{15} / I_{16} である。

20

【手続補正 3】

【補正対象書類名】図面

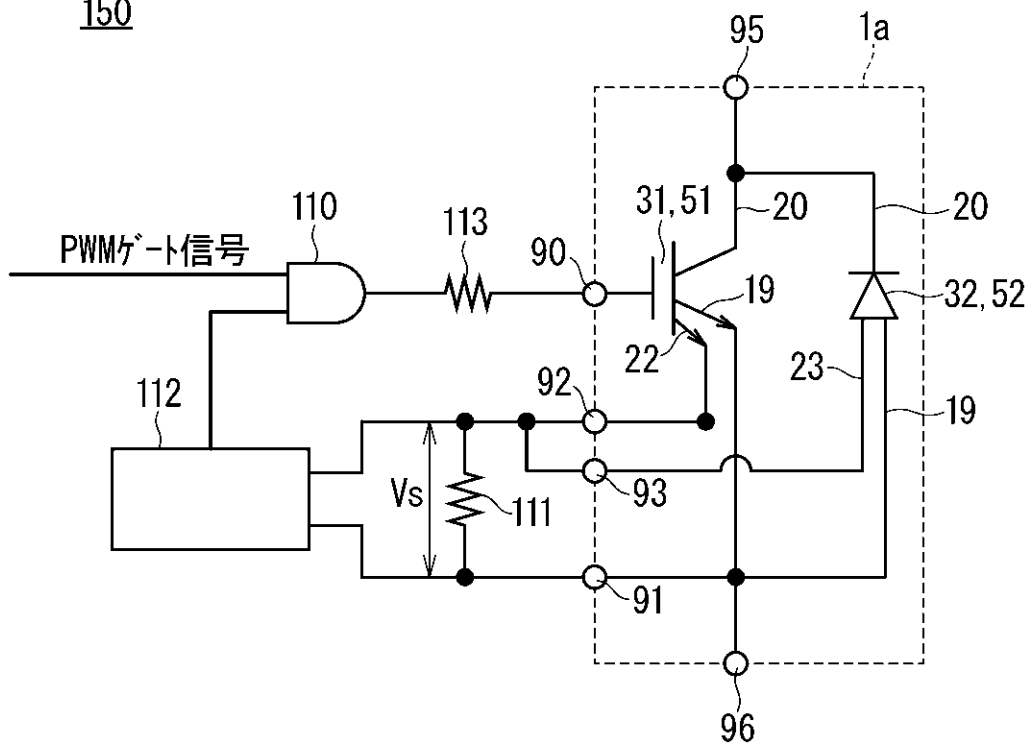
【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【図 3】

150



30

40

【手続補正 4】

【補正対象書類名】図面

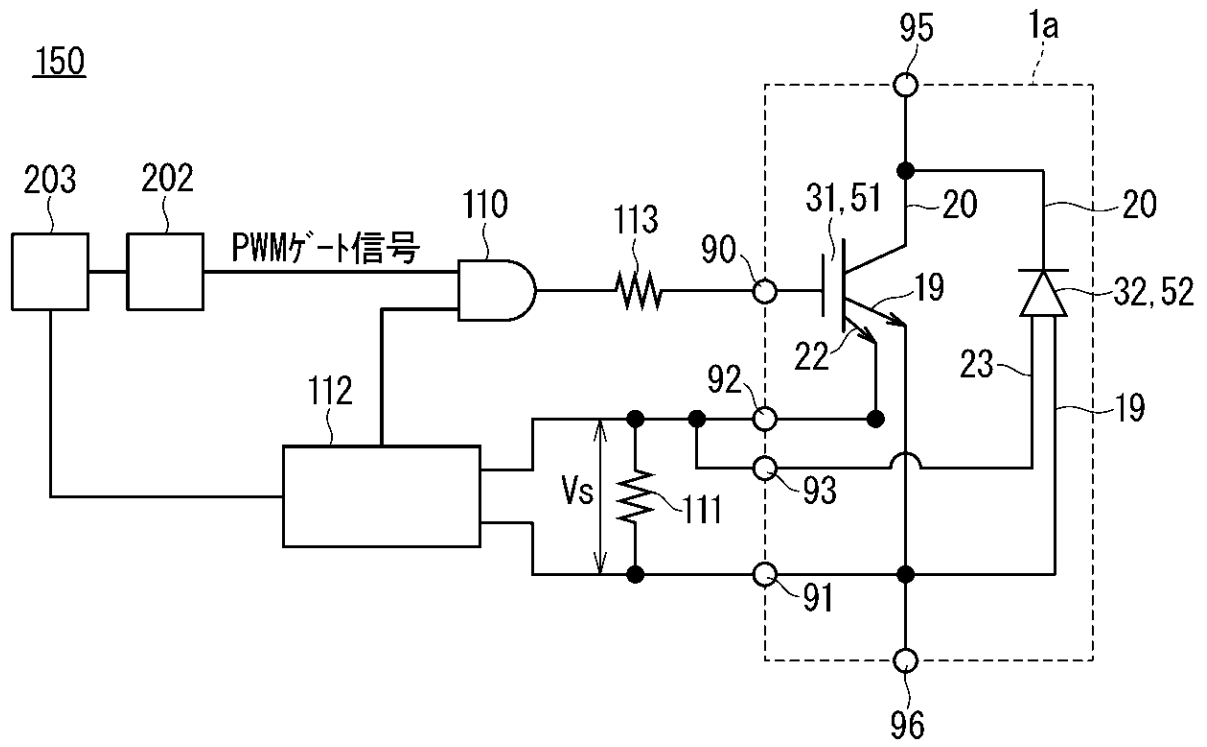
【補正対象項目名】図 4

【補正方法】変更

50

【補正の内容】

【図4】



10

20

30

40

50