

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7706415号
(P7706415)

(45)発行日 令和7年7月11日(2025.7.11)

(24)登録日 令和7年7月3日(2025.7.3)

(51)国際特許分類	F I
H 1 0 D 12/00 (2025.01)	H 1 0 D 12/00 1 0 3 S
H 1 0 D 30/66 (2025.01)	H 1 0 D 30/66 2 0 1 A
H 1 0 D 84/80 (2025.01)	H 1 0 D 84/80 2 0 3 A
H 1 0 D 8/50 (2025.01)	H 1 0 D 12/00 1 0 1 A
H 1 0 D 62/10 (2025.01)	H 1 0 D 12/00 1 0 1 P
請求項の数 13 (全34頁) 最終頁に続く	

(21)出願番号	特願2022-72318(P2022-72318)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22)出願日	令和4年4月26日(2022.4.26)	(74)代理人	100088672 弁理士 吉竹 英俊
(65)公開番号	特開2023-161772(P2023-161772 A)	(74)代理人	100088845 弁理士 有田 貴弘
(43)公開日	令和5年11月8日(2023.11.8)	(72)発明者	原田 健司 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和6年5月13日(2024.5.13)	(72)発明者	曾根田 真也 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
		審査官	志津木 康
最終頁に続く			

(54)【発明の名称】 半導体装置および電力変換装置

(57)【特許請求の範囲】

【請求項1】

第1主面と前記第1主面に対向する第2主面との間に第1導電型のドリフト層を有する半導体基板を備えた半導体装置であって、

前記半導体基板の前記第1主面から前記第1導電型のエミッタ層と第2導電型のベース層を貫通して設けられたトレンチゲート、及び前記ドリフト層よりも前記第2主面側に設けられた前記第2導電型のコレクタ層を有するIGBT領域と、

前記ドリフト層よりも前記第1主面側に設けられた前記第2導電型のアノード層、及び前記ドリフト層よりも前記第2主面側に設けられた前記第1導電型のカソード層を有し、還流電流が流れた場合に発熱源になるダイオード領域と、

前記IGBT領域と前記ダイオード領域とで構成され、平面視において前記IGBT領域および前記ダイオード領域の夫々が直線状に交互に配置されている交互領域を有するセル領域と、を備え、

前記交互領域に沿った第1方向において、前記IGBT領域の幅および前記ダイオード領域の幅は、夫々一定ではなく、夫々が2種類以上の幅となるように配置されており、

前記交互領域において、前記セル領域の中心に最も近い前記IGBT領域の前記第1方向における幅が、他の前記IGBT領域の前記第1方向における幅以下であり、前記セル領域の中心に最も近い前記ダイオード領域の前記第1方向における幅が、他の前記ダイオード領域の前記第1方向における幅以下である、半導体装置。

【請求項2】

前記交互領域において、前記セル領域の中心に最も近い前記 I G B T 領域から前記第 1 方向における前記セル領域の端部に最も近い前記 I G B T 領域に向かうにつれて、前記 I G B T 領域の前記第 1 方向における幅が徐々に広がる請求項 1 に記載の半導体装置。

【請求項 3】

前記交互領域において、前記セル領域の中心に最も近い前記ダイオード領域から前記第 1 方向における前記セル領域の端部に最も近い前記ダイオード領域に向かうにつれて、前記ダイオード領域の前記第 1 方向における幅が徐々に広がる請求項 1 に記載の半導体装置。

【請求項 4】

前記交互領域において、前記セル領域の中心に最も近い前記 I G B T 領域および前記第 1 方向における前記セル領域の端部に最も近い前記 I G B T 領域を除いた他の前記 I G B T 領域の前記第 1 方向における幅が、前記 I G B T 領域の前記第 1 方向における幅の中で最も広く、前記セル領域の中心に最も近い前記ダイオード領域および前記第 1 方向における前記セル領域の端部に最も近い前記ダイオード領域を除いた他の前記ダイオード領域の前記第 1 方向における幅が、前記ダイオード領域の前記第 1 方向における幅の中で最も広いことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 5】

前記交互領域において、前記セル領域の中心に最も近い前記 I G B T 領域の前記第 1 方向における幅が前記半導体基板の厚み以上であることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 6】

前記交互領域において、前記セル領域の中心に最も近い前記ダイオード領域の前記第 1 方向における幅が前記半導体基板の厚み以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記 I G B T 領域および前記ダイオード領域は、前記第 1 方向と直交する方向に延伸して設けられ、前記交互領域において、前記第 1 方向に沿って交互に設けられたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記 I G B T 領域および前記ダイオード領域は、前記セル領域の中心から前記セル領域の端部に向かって前記第 1 方向における幅が広がる放射状に設けられていることを特徴とする請求項 1 に記載の半導体装置。

30

【請求項 9】

平面視において、前記 I G B T 領域および前記ダイオード領域は、夫々の外周が多角形状もしくは円形状であり、夫々の前記多角形状もしくは前記円形状は、同一な中心を有し、前記同一な中心から前記セル領域の端部に向けて前記 I G B T 領域および前記ダイオード領域が交互に設けられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

前記 I G B T 領域と前記ダイオード領域のうちのいずれか一方の領域が、平面視において周囲を他方の領域に囲まれた複数の島状の領域に分けられて設けられていることを特徴とする請求項 1 に記載の半導体装置。

40

【請求項 11】

前記島状の領域は、平面視において多角形状もしくは円形状に設けられたことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

環状の前記セル領域の端部から第 1 の距離を離れて配置された複数の前記島状の領域からなる第 1 の島群と、

環状の前記セル領域の端部から第 2 の距離を離れて配置された複数の前記島状の領域からなる第 2 の島群と、

前記第 1 の島群に属する前記島状の領域のうち前記セル領域の端部に最も近い部分に接

50

して引いた仮想線を環状に繋げた第 1 の仮想線と、

前記第 1 の島群に属する前記島状の領域のうち前記セル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第 2 の仮想線と、

前記第 2 の島群に属する前記島状の領域のうち前記セル領域の端部に最も近い部分に接して引いた仮想線を環状に繋げた第 3 の仮想線と、

前記第 2 の島群に属する前記島状の領域のうち前記セル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第 4 の仮想線と、を備え、

前記第 1 の仮想線および前記第 2 の仮想線に囲まれる領域と、前記第 3 の仮想線および前記第 4 の仮想線に囲まれる領域とは、同一の中心を有する請求項 10 に記載の半導体装置。

10

【請求項 13】

請求項 1 から 12 に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、

を備えた電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置および電力変換装置に関する。

20

【背景技術】

【0002】

近年、省エネルギーの観点から電鉄分野、車載分野、産業機械分野または民生用機器分野などにおいて、エネルギー損失の低い半導体装置が必要とされている。例えば、絶縁ゲート型バイポーラトランジスタ (IGBT: Insulated Gate Bipolar Transistor) とダイオードとを 1 つの半導体基板に設けられた半導体装置において、IGBT とダイオードのそれぞれの領域が半導体装置の中心で大きく、半導体装置の端部側で小さいという構成が提案されている

【先行技術文献】

【特許文献】

30

【0003】

【文献】特開 2021 - 28930 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 の半導体装置では、半導体装置の中心における IGBT 領域とダイオード領域が大きいと、放熱性に優れないという問題があった。

【0005】

本開示は上記した問題点を解決するためになされたものであり、半導体装置の放熱性を向上させた半導体装置を提供することを目的とするものである。

40

【課題を解決するための手段】

【0006】

本開示に係る半導体装置は、第 1 主面と第 1 主面に対向する第 2 主面との間に第 1 導電型のドリフト層を有する半導体基板を備えた半導体装置であって、半導体基板の第 1 主面から第 1 導電型のエミッタ層と第 2 導電型のベース層を貫通して設けられた上レンチゲート、及びドリフト層よりも第 2 主面側に設けられた第 2 導電型のコレクタ層を有する IGBT 領域と、ドリフト層よりも第 1 主面側に設けられた第 2 導電型のアノード層、及びドリフト層よりも第 2 主面側に設けられた第 1 導電型のカソード層を有し、還流電流が流れた場合に発熱源になるダイオード領域と、IGBT 領域とダイオード領域とで構成され、平面視において IGBT 領域およびダイオード領域の夫々が直線状に交互に配置されてい

50

る交互領域を有するセル領域と、を備え、交互領域に沿った第1方向において、IGBT領域の幅およびダイオード領域の幅は、夫々一定ではなく、夫々が2種類以上の幅となるように配置されており、交互領域において、セル領域の中心に最も近いIGBT領域の第1方向における幅が、他のIGBT領域の第1方向における幅以下であり、セル領域の中心に最も近いダイオード領域の第1方向における幅が、他のダイオード領域の第1方向における幅以下である。

【発明の効果】

【0007】

本開示に係る半導体装置によれば、セル領域中心に最も近いIGBT領域及びダイオード領域を周辺のIGBT領域及びダイオード領域と比べて小さくすることで、半導体装置の放熱性を向上させることができる。

10

【図面の簡単な説明】

【0008】

【図1】実施の形態1に係る半導体装置を示す平面図である。

【図2】実施の形態2に係る半導体装置を示す平面図である。

【図3】実施の形態1に係る半導体装置のIGBT領域の構成を示す部分拡大平面図である。

【図4】実施の形態1に係る半導体装置のIGBT領域の構成を示すA-A断面図である。

【図5】実施の形態1に係る半導体装置のIGBT領域の構成を示すB-B断面図である。

【図6】実施の形態1に係る半導体装置のダイオード領域の構成を示す部分拡大平面図である。

20

【図7】実施の形態1に係る半導体装置のダイオード領域の構成を示すC-C断面図である。

【図8】実施の形態1に係る半導体装置のダイオード領域の構成を示すD-D断面図である。

【図9】実施の形態1に係る半導体装置の終端領域の構成を示すE-E断面図及びF-F断面図である。

【図10】実施の形態1に係る半導体装置の製造方法を示す図である。

【図11】実施の形態1に係る半導体装置の製造方法を示す図である。

【図12】実施の形態1に係る半導体装置の製造方法を示す図である。

30

【図13】実施の形態1に係る半導体装置の製造方法を示す図である。

【図14】実施の形態1に係る半導体装置の製造方法を示す図である。

【図15】実施の形態1に係る半導体装置の製造方法を示す図である。

【図16】実施の形態1に係る半導体装置のセル領域の構成を示すH-H断面図である。

【図17】比較例の半導体装置を示す図である。

【図18】実施の形態1に係る半導体装置のセル領域の構成を示すJ-J断面図である。

【図19】実施の形態2に係る半導体装置の変形例を示す平面図である。

【図20】実施の形態2に係る半導体装置の変形例を示す平面図である。

【図21】実施の形態3に係る半導体装置を示す平面図である。

【図22】実施の形態4に係る半導体装置の変形例を示す平面図である。

40

【図23】実施の形態4に係る半導体装置の変形例を示す平面図である。

【図24】実施の形態4に係る半導体装置の変形例を示す平面図である。

【図25】実施の形態4に係る半導体装置の変形例を示す平面図である。

【図26】実施の形態5の電力変換システムの構成を示すブロック図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら実施の形態について説明する。図面は模式的に示されたものであるため、サイズおよび位置の相互関係は変更し得る。以下の説明では、同じまたは対応する構成要素には同じ符号を付与し、繰り返しの説明を省略する場合がある。

【0010】

50

また、以下の説明では、「上」、「下」、「側」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられているものであり、実施される際の位置および方向を限定するものではない。

【0011】

また、以下の説明では、 n および p は半導体の導電型を示し、本開示においては、第1導電型を n 型、第2導電型を p 型として説明する。また、 $n-$ は不純物濃度が n よりも低濃度であることを示し、 $n+$ は不純物濃度が n よりも高濃度であることを示す。同様に、 $p-$ は不純物濃度が p よりも低濃度であることを示し、 $p+$ は不純物濃度が p よりも高濃度であることを示す。

【0012】

<実施の形態1>

図1は、実施の形態1に係る半導体装置を示す平面図であり、RC-IGBT (Reverse Conducting IGBT: 逆導通IGBT)である半導体装置を示す。なお、RC-IGBTとはIGBTとして機能するIGBT領域とダイオードとして機能するダイオード領域とが単一の半導体基板に設けられた半導体装置である。また、図2は、実施の形態1に係る他の構成の半導体装置を示す平面図であり、他の構成のRC-IGBTである半導体装置を示す。図1に示す半導体装置110は、IGBT領域10とダイオード領域20とがストライプ状に並んで設けられたものであり、単に「ストライプ型」と呼んでよい。なお、実施の形態2以降で後述するが、例えば、ダイオード領域20の周囲にIGBT領域10が設けられた「アイランド型」に本開示を適用してもよい。

【0013】

図1において、半導体装置110は、1つの半導体装置内にIGBT領域10(10a、10b、10c、10d)と、ダイオード領域20(20a、20b、20c)とを備えている。本開示では、IGBT領域10およびダイオード領域20を合わせてセル領域と呼ぶ。IGBT領域10およびダイオード領域20は、半導体装置110の一端側から他端側に延伸して設けられ、IGBT領域10およびダイオード領域20の延伸方向と直交する方向に交互にストライプ状に設けられている。図1では、IGBT領域10(10a、10b、10c、10d)を7個、ダイオード領域20(20a、20b、20c)を6個で示し、全てのダイオード領域20がIGBT領域10で挟まれた構成で示しているが、IGBT領域10とダイオード領域20の数はこれに限るものでなく、IGBT領域10の数は7個以上でも7個以下でもよく、ダイオード領域20の数も6個以上でも6個以下でもよい。また、図1のIGBT領域10とダイオード領域20の場所を入れ替えた構成であってもよく、全てのIGBT領域10がダイオード領域20に挟まれた構成であってもよい。

【0014】

本開示において、IGBT領域10およびダイオード領域20が直線状に交互に配置された領域を交互領域と称する。第1方向は、交互領域に沿った方向であり、第1方向においてIGBT領域10およびダイオード領域20が直線状に交互に設けられる。図1に示すように、IGBT領域10a、10b、10c、10dは、第1方向の幅がそれぞれ $W1a$ 、 $W1b$ 、 $W1c$ 、 $W1d$ であり、第1方向の幅が $W1d > W1c > W1b > W1a$ と異なっている。すなわち、第1方向において最もセル領域の中心に近いIGBT領域10aの幅は他のIGBT領域の幅以下であり、IGBT領域10a、10b、10c、10dは、サイズが小さい順でセル領域中心からセル領域端部に向かって設けられる。つまり、図1においてはセル領域中心からセル領域端部に向かって10a、10b、10c、10dの順番で交互領域に沿った方向である第1方向の幅又は面積が小さい順に設けられる。

【0015】

ダイオード領域20a、20b、20cは、第1方向の幅がそれぞれ $W2a$ 、 $W2b$ 、 $W2c$ であり、第1方向の幅が $W2c > W2b > W2a$ と異なっている。すなわち、第1

10

20

30

40

50

方向において最もセル中心に近いダイオード領域 20 a の幅は他のダイオード領域の幅以下であり、ダイオード領域 20 a、20 b、20 c は、サイズが小さい順でセル領域中心からセル領域端部に向かって設けられる。つまり、図 1 においてはセル領域中心からセル領域端部に向かって 20 a、20 b、20 c の順番で交互領域に沿った方向である第 1 方向の幅又は面積が小さい順に設けられる。なお、IGBT 領域およびダイオード領域 20 の数は 3 種類以上で説明しているが、2 種類以上であればよく、図面に記載の数に限るものではない。

【0016】

なお、図 1 では、第 1 方向でセル領域中心から端部に向かって IGBT 領域及びダイオード領域が大きくなることとして紙面上下方向を示しているが、第 1 方向は交互領域に沿った方向であればよく、紙面上下方向に垂直な方向で紙面左右方向を第 1 方向として上述した内容と同様に IGBT 領域とダイオード領域が設けられてもよい。

10

【0017】

図 1 に示すように、IGBT 領域 10 d に隣接してパッド領域 40 が設けられている。パッド領域 40 は半導体装置 110 を制御するための制御パッド 41 が設けられる領域である。セル領域およびパッド領域 40 を合わせた領域の周囲には半導体装置 110 の耐压保持のために終端領域 30 が設けられている。終端領域 30 には、周知の耐压保持構造を適宜選択して設けることができる。耐压保持構造は、例えば、半導体装置 110 のおもて面側である第 1 主面側に、p 型半導体の p 型終端ウェル層でセル領域を囲った FLR (Field Limiting Ring) や濃度勾配をつけた p 型ウェル層でセル領域を囲った VLD (Variation of Lateral Doping) を設けてもよく、FLR に用いられるリング状の p 型終端ウェル層の数や VLD に用いられる濃度分布は、半導体装置 110 の耐压設計によって適宜選択してよい。また、パッド領域 40 のほぼ全域に亘って p 型終端ウェル層を設けてもよく、パッド領域 40 に IGBT セルやダイオードセルを設けてもよい。

20

【0018】

制御パッド 41 は、例えば、電流センスパッド 41 a、ケルビンエミッタパッド 41 b、ゲートパッド 41 c、温度センスダイオードパッド 41 d、41 e であってよい。電流センスパッド 41 a は、半導体装置 110 のセル領域に流れる電流を検知するための制御パッドで、半導体装置 110 のセル領域に電流が流れる際に、セル領域全体に流れる電流の数分の 1 から数万分の 1 の電流が流れるようにセル領域の一部の IGBT セルまたはダイオードセルに電氣的に接続された制御パッドである。

30

【0019】

ケルビンエミッタパッド 41 b およびゲートパッド 41 c は、半導体装置 110 をオンオフ制御するためのゲート駆動電圧が印加される制御パッドである。ケルビンエミッタパッド 41 b は IGBT セルの p 型ベース層に電氣的に接続され、ゲートパッド 41 c は IGBT セルのゲートトレンチ電極に電氣的に接続される。ケルビンエミッタパッド 41 b と p 型ベース層とは p+ 型コンタクト層を介して電氣的に接続されてもよい。温度センスダイオードパッド 41 d、41 e は、半導体装置 110 に設けられた温度センスダイオードのアノードおよびカソードに電氣的に接続された制御パッドである。セル領域内に設けられた図示しない温度センスダイオードのアノードとカソードとの間の電圧を測定して、半導体装置 110 の温度を測定する。

40

【0020】

図 3 は、実施の形態 1 に係る半導体装置の IGBT 領域の構成を示す部分拡大平面図であり、RC-IGBT である半導体装置の IGBT 領域 10 の構成を示す。また、図 4 および図 5 は、実施の形態 1 に係る半導体装置の IGBT 領域の構成を示す断面図であり、RC-IGBT である半導体装置の IGBT 領域 10 の構成を示す。図 3 は、図 1 に示した半導体装置 110 または図 2 に示した半導体装置 111 における破線 82 で囲った領域を拡大して示したものである。図 4 は、図 3 に示した半導体装置 110 の破線 A-A における断面図であり、図 5 は、図 3 に示した半導体装置 110 の破線 B-B における断面図

50

である。

【0021】

図3に示すように、IGBT領域10には、アクティブトレンチゲート11とダミートレンチゲート12とがストライプ状に設けられている。半導体装置110では、アクティブトレンチゲート11およびダミートレンチゲート12は、IGBT領域10の長手方向に延伸しておりIGBT領域10の長手方向がアクティブトレンチゲート11およびダミートレンチゲート12の長手方向となっている。一方、半導体装置111では紙面左右方向をアクティブトレンチゲート11およびダミートレンチゲート12の長手方向としてもよく、紙面上下方向をアクティブトレンチゲート11およびダミートレンチゲート12の長手方向としてもよい。

10

【0022】

アクティブトレンチゲート11は、半導体基板に形成されたトレンチ内にゲートトレンチ絶縁膜11bを介してゲートトレンチ電極11aを有する。ダミートレンチゲート12は、半導体基板に形成されたトレンチ内にダミートレンチ絶縁膜12bを介してダミートレンチ電極12aを有する。アクティブトレンチゲート11のゲートトレンチ電極11aは、ゲートパッド41cに電氣的に接続される。ダミートレンチゲート12のダミートレンチ電極12aは、半導体装置110または半導体装置101の第1主面上に設けられるエミッタ電極に電氣的に接続される。すなわち、アクティブトレンチゲート11はゲート駆動電圧を印加できるが、ダミートレンチゲート12はゲート駆動電圧を印加できない。

【0023】

n+型ソース層13が、アクティブトレンチゲート11の幅方向の両側にゲートトレンチ絶縁膜11bに接して設けられる。n+型ソース層13は、n型不純物として例えばヒ素またはリン等を有する半導体層であり、n型不純物の濃度は $1.0E+17/cm^3 \sim 1.0E+20/cm^3$ である。n+型ソース層13は、アクティブトレンチゲート11の延伸方向に沿って、p+型コンタクト層14と交互に設けられる。p+型コンタクト層14は、隣り合った2つのダミートレンチゲート12の間にも設けられる。p+型コンタクト層14は、p型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p型不純物の濃度は $1.0E+15/cm^3 \sim 1.0E+20/cm^3$ である。

20

【0024】

図3に示すように半導体装置110のIGBT領域10では、アクティブトレンチゲート11が3本並んだ隣に、ダミートレンチゲート12が3本並び、ダミートレンチゲート12が3本並んだ隣に、アクティブトレンチゲート11が3本並んだ構成をしている。IGBT領域10は、このようにアクティブトレンチゲート11の組とダミートレンチゲート12の組とが交互に並んだ構成をしている。図3では、1つのアクティブトレンチゲート11の組に含まれるアクティブトレンチゲート11の数を3としたが、1以上であればよい。また、1つのダミートレンチゲート12の組に含まれるダミートレンチゲート12の数は1以上であってよく、ダミートレンチゲート12の数は0であってよい。すなわち、IGBT領域10に設けられるトレンチの全てをアクティブトレンチゲート11としてもよい。

30

【0025】

図4は、半導体装置110の図3における破線A-Aでの断面図であり、IGBT領域10の断面図を示す。半導体装置110は、半導体基板からなるn-型ドリフト層1を有している。n-型ドリフト層1は、n型不純物として例えばヒ素またはリン等を有する半導体層であり、n型不純物の濃度は $1.0E+12/cm^3 \sim 1.0E+15/cm^3$ である。半導体基板は、図4においては、n+型ソース層13およびp+型コンタクト層14からp型コレクタ層16までの範囲である。図4においてn+型ソース層13およびp+型コンタクト層14の紙面上端を半導体基板の第1主面、p型コレクタ層16の紙面下端を半導体基板の第2主面と呼ぶ。半導体基板の第1主面は、半導体装置110のおもて面側の主面であり、半導体基板の第2主面は、半導体装置110の裏面側の主面である。半導体装置110は、セル領域であるIGBT領域10において、第1主面と第1主面に

40

50

対向する第2主面との間にn型ドリフト層1を有している。

【0026】

図4に示すように、IGBT領域10では、n型ドリフト層1の第1主面側に、n型ドリフト層1よりもn型不純物の濃度が高いn型キャリア蓄積層2が設けられている。n型キャリア蓄積層2は、n型不純物として例えばヒ素またはリン等を有する半導体層であり、n型不純物の濃度は $1.0E+13/cm^3 \sim 1.0E+17/cm^3$ である。なお、半導体装置110は、n型キャリア蓄積層2が設けられずに、図4で示したn型キャリア蓄積層2の領域にもn型ドリフト層1が設けられてもよい。n型キャリア蓄積層2を設けることによって、IGBT領域10に電流が流れた際の通電損失を低減することができる。n型キャリア蓄積層2とn型ドリフト層1とを合わせてドリフト層と呼んでもよい。

10

【0027】

n型キャリア蓄積層2は、n型ドリフト層1を構成する半導体基板に、n型不純物をイオン注入し、その後アニールによって注入したn型不純物をn型ドリフト層1である半導体基板内に拡散させることで形成される。

【0028】

n型キャリア蓄積層2の第1主面側には、p型ベース層15が設けられている。p型ベース層15は、p型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p型不純物の濃度は $1.0E+12/cm^3 \sim 1.0E+19/cm^3$ である。p型ベース層15はアクティブトレンチゲート11のゲートトレンチ絶縁膜11bに接している。p型ベース層15の第1主面側には、アクティブトレンチゲート11のゲートトレンチ絶縁膜11bに接してn型ソース層13が設けられ、残りの領域にp型コンタクト層14が設けられている。n型ソース層13およびp型コンタクト層14は半導体基板の第1主面を構成している。なお、p型コンタクト層14は、p型ベース層15よりもp型不純物の濃度が高い領域であり、p型コンタクト層14とp型ベース層15とを区別する必要がある場合にはそれぞれを個別に呼称してよく、p型コンタクト層14とp型ベース層15とを合わせてp型ベース層と呼んでもよい。

20

【0029】

また、半導体装置110は、n型ドリフト層1の第2主面側に、n型ドリフト層1よりもn型不純物の濃度が高いn型バッファ層3が設けられている。n型バッファ層3は、半導体装置110がオフ状態のときにp型ベース層15から第2主面側に伸びる空乏層がパンチスルーするのを抑制するために設けられる。n型バッファ層3は、例えば、リン(P)あるいはプロトン(H+)を注入して形成してよく、リン(P)およびプロトン(H+)の両方を注入して形成してもよい。n型バッファ層3のn型不純物の濃度は $1.0E+12/cm^3 \sim 1.0E+18/cm^3$ である。なお、半導体装置110は、n型バッファ層3が設けられずに、図4で示したn型バッファ層3の領域にもn型ドリフト層1が設けられてもよい。n型バッファ層3とn型ドリフト層1とを合わせてドリフト層と呼んでもよい。

30

【0030】

半導体装置110は、n型バッファ層3の第2主面側に、p型コレクタ層16が設けられている。すなわち、n型ドリフト層1と第2主面との間に、p型コレクタ層16が設けられている。p型コレクタ層16は、p型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p型不純物の濃度は $1.0E+16/cm^3 \sim 1.0E+20/cm^3$ である。p型コレクタ層16は半導体基板の第2主面を構成している。p型コレクタ層16は、IGBT領域10だけでなく、終端領域30にも設けられており、p型コレクタ層16のうち終端領域30に設けられた部分はp型終端コレクタ層を構成している。また、p型コレクタ層16は、IGBT領域10からダイオード領域20に一部がはみ出して設けられてもよい。

40

【0031】

図4に示すように、半導体装置110は、半導体基板の第1主面からp型ベース層15

50

を貫通し、 n -型ドリフト層 1 に達するトレンチが形成されている。トレンチ内にゲートトレンチ絶縁膜 1 1 b を介してゲートトレンチ電極 1 1 a が設けられることでアクティブトレンチゲート 1 1 が構成されている。ゲートトレンチ電極 1 1 a は、ゲートトレンチ絶縁膜 1 1 b を介して n -型ドリフト層 1 に面している。また、トレンチ内にダミートレンチ絶縁膜 1 2 b を介してダミートレンチ電極 1 2 a が設けられることでダミートレンチゲート 1 2 が構成されている。ダミートレンチ電極 1 2 a は、ダミートレンチ絶縁膜 1 2 b を介して n -型ドリフト層 1 に面している。アクティブトレンチゲート 1 1 のゲートトレンチ絶縁膜 1 1 b は、 p 型ベース層 1 5 および n +型ソース層 1 3 に接している。ゲートトレンチ電極 1 1 a にゲート駆動電圧が印加されると、アクティブトレンチゲート 1 1 のゲートトレンチ絶縁膜 1 1 b に接する p 型ベース層 1 5 にチャンネルが形成される。

10

【0032】

図 4 に示すように、アクティブトレンチゲート 1 1 のゲートトレンチ電極 1 1 a の上には層間絶縁膜 4 が設けられている。半導体基板の第 1 主面の層間絶縁膜 4 が設けられていない領域の上、および層間絶縁膜 4 の上にはバリアメタル 5 が形成されている。バリアメタル 5 は、例えば、チタン (Ti) を含む導電体であってよく、例えば、窒化チタンであってよく、チタンとシリコン (Si) を合金化させた TiSi であってよい。

【0033】

図 4 に示すように、バリアメタル 5 は、 n +型ソース層 1 3、 p +型コンタクト層 1 4 およびダミートレンチ電極 1 2 a にオーミック接触し、 n +型ソース層 1 3、 p +型コンタクト層 1 4 およびダミートレンチ電極 1 2 a と電氣的に接続されている。バリアメタル 5 の上には、エミッタ電極 6 が設けられる。エミッタ電極 6 は、例えば、アルミニウムシリコン合金 (AlSi 系合金) などのアルミ合金で形成してもよく、アルミ合金で形成した電極上に、無電解めっき、あるいは電解めっきでめっき膜を形成した複数層の金属膜からなる電極であってよい。無電解めっき、あるいは電解めっきで形成するめっき膜は、例えば、ニッケル (Ni) めっき膜であってよい。

20

【0034】

図 4 では、ダミートレンチゲート 1 2 のダミートレンチ電極 1 2 a の上には層間絶縁膜 4 が設けられずにコンタクトホール 1 9 を設けた構成を示したが、層間絶縁膜 4 をダミートレンチゲート 1 2 のダミートレンチ電極 1 2 a の上に形成してもよい。層間絶縁膜 4 をダミートレンチゲート 1 2 のダミートレンチ電極 1 2 a の上に形成した場合には、別の断面においてエミッタ電極 6 とダミートレンチ電極 1 2 a とを電氣的に接続すればよい。

30

【0035】

層間絶縁膜 4 に設けられたコンタクトホール 1 9 の幅が狭く、エミッタ電極 6 では良好な埋め込みが得られない場合には、エミッタ電極 6 よりも埋込性が良好なタングステンコンタクトホール 1 9 に配置して、タングステンの上にエミッタ電極 6 を設けてもよい。なお、バリアメタル 5 を設けずに、 n +型ソース層 1 3、 p +型コンタクト層 1 4 およびダミートレンチ電極 1 2 a の上にエミッタ電極 6 を設けてもよい。また、 n +型ソース層 1 3 などの n 型の半導体層の上のみにバリアメタル 5 を設けてもよい。バリアメタル 5 とエミッタ電極 6 とを合わせてエミッタ電極と呼んでよい。

【0036】

p 型コレクタ層 1 6 の第 2 主面側には、コレクタ電極 7 が設けられる。コレクタ電極 7 は、エミッタ電極 6 と同様、アルミ合金あるいはアルミ合金とめっき膜とで構成されていてもよい。また、コレクタ電極 7 はエミッタ電極 6 と異なる構成であってもよい。コレクタ電極 7 は、 p 型コレクタ層 1 6 にオーミック接触し、 p 型コレクタ層 1 6 と電氣的に接続されている。

40

【0037】

図 5 は、半導体装置 1 1 0 の図 3 における破線 B - B での断面図であり、IGBT 領域 1 0 の断面図である。図 4 に示した破線 A - A での断面図とは、アクティブトレンチゲート 1 1 に接して、半導体基板の第 1 主面側に設けられる n +型ソース層 1 3 が、図 5 の破線 B - B での断面には見られない点が異なる。つまり、図 3 に示したように、 n +型ソー

50

ス層 13 は、p 型ベース層の第 1 主面側に選択的に設けられている。なお、ここで言う p 型ベース層とは、p 型ベース層 15 と p + 型コンタクト層 14 とを合わせて呼ぶ p 型ベース層のことである。

【0038】

図 6 は、実施の形態 1 に係る半導体装置のダイオード領域の構成を示す部分拡大平面図であり、RC-IGBT である半導体装置のダイオード領域の構成を示す。また、図 7 および図 8 は、実施の形態 1 に係る半導体装置のダイオード領域の構成を示す断面図であり、RC-IGBT である半導体装置のダイオード領域の構成を示す。図 6 は、図 1 に示した半導体装置 110 における破線 83 で囲った領域を拡大して示したものである。図 7 は、図 6 に示した半導体装置 110 の破線 C-C における断面図である。図 8 は、図 6 に示した半導体装置 110 の破線 D-D における断面図である。

10

【0039】

ダイオードトレンチゲート 21 は、半導体装置 110 または半導体装置 101 の第 1 主面に沿ってセル領域であるダイオード領域 20 の一端側から対向する他端側に向かって延伸している。ダイオードトレンチゲート 21 は、ダイオード領域 20 の半導体基板に形成されたトレンチ内にダイオードトレンチ絶縁膜 21b を介してダイオードトレンチ電極 21a を有する。ダイオードトレンチ電極 21a はダイオードトレンチ絶縁膜 21b を介して n-型ドリフト層 1 に面している。隣接する 2 つのダイオードトレンチゲート 21 の間には、p+型コンタクト層 24 および p 型アノード層 25 が設けられている。p+型コンタクト層 24 は、p 型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p 型不純物の濃度は $1.0E+15 / \text{cm}^3 \sim 1.0E+20 / \text{cm}^3$ である。p 型アノード層 25 は、p 型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p 型不純物の濃度は $1.0E+12 / \text{cm}^3 \sim 1.0E+19 / \text{cm}^3$ である。p+型コンタクト層 24 と p 型アノード層 25 とはダイオードトレンチゲート 21 の長手方向に交互に設けられている。

20

【0040】

図 7 は、半導体装置 110 の図 6 における破線 C-C での断面図であり、ダイオード領域 20 の断面図である。半導体装置 110 は、ダイオード領域 20 においても IGBT 領域 10 と同じく半導体基板からなる n-型ドリフト層 1 を有している。ダイオード領域 20 の n-型ドリフト層 1 と IGBT 領域 10 の n-型ドリフト層 1 とは連続して一体的に構成されたものであり、同一の半導体基板によって構成されている。図 7 において半導体基板は、p+型コンタクト層 24 から n+型カソード層 26 までの範囲である。図 7 において p+型コンタクト層 24 の紙面上端を半導体基板の第 1 主面、n+型カソード層 26 の紙面下端を半導体基板の第 2 主面と呼ぶ。ダイオード領域 20 の第 1 主面と IGBT 領域 10 の第 1 主面とは同一面であり、ダイオード領域 20 の第 2 主面と IGBT 領域 10 の第 2 主面とは同一面である。

30

【0041】

図 7 に示すように、ダイオード領域 20 においても IGBT 領域 10 と同様に、n-型ドリフト層 1 の第 1 主面側に n 型キャリア蓄積層 2 が設けられ、n-型ドリフト層 1 の第 2 主面側に n 型バッファ層 3 が設けられている。ダイオード領域 20 に設けられる n 型キャリア蓄積層 2 および n 型バッファ層 3 は、IGBT 領域 10 に設けられる n 型キャリア蓄積層 2 および n 型バッファ層 3 と同一の構成である。なお、IGBT 領域 10 およびダイオード領域 20 に n 型キャリア蓄積層 2 は必ずしも設ける必要はなく、IGBT 領域 10 に n 型キャリア蓄積層 2 を設ける場合であっても、ダイオード領域 20 には n 型キャリア蓄積層 2 を設けない構成としてもよい。また、IGBT 領域 10 と同じく、n-型ドリフト層 1、n 型キャリア蓄積層 2 および n 型バッファ層 3 を合わせてドリフト層と呼んでもよい。

40

【0042】

n 型キャリア蓄積層 2 の第 1 主面側には、p 型アノード層 25 が設けられている。p 型アノード層 25 は、n-型ドリフト層 1 と第 1 主面との間に設けられている。p 型アノード層 25 は、n-型ドリフト層 1 と第 1 主面との間に設けられている。

50

ド層 25 は IGBT 領域 10 の p 型ベース層 15 と p 型不純物の濃度を同じ濃度にしてよく、p 型アノード層 25 と p 型ベース層 15 とを同時に形成してもよい。また、第 2 主面に向かう方向において同じ深さで形成してもよい。また、p 型アノード層 25 の p 型不純物の濃度を、IGBT 領域 10 の p 型ベース層 15 の p 型不純物の濃度よりも低くして、ダイオード動作時にダイオード領域 20 に流入する正孔の量を減少させるように構成してもよい。ダイオード動作時に流入する正孔の量を減少させることでダイオード動作時のリカバリー電流を低減することができる。

【0043】

p 型アノード層 25 の第 1 主面側には、p + 型コンタクト層 24 が設けられている。p + 型コンタクト層 24 の p 型不純物の濃度は、IGBT 領域 10 の p + 型コンタクト層 14 の p 型不純物と同じ濃度としてよく、異なる濃度としてもよい。p + 型コンタクト層 24 は半導体基板の第 1 主面を構成している。なお、p + 型コンタクト層 24 は、p 型アノード層 25 よりも p 型不純物の濃度が高い領域であり、p + 型コンタクト層 24 と p 型アノード層 25 とを区別する必要がある場合にはそれぞれを個別に呼称してよく、p + 型コンタクト層 24 と p 型アノード層 25 とを合わせて p 型アノード層と呼んでもよい。

10

【0044】

ダイオード領域 20 には、n 型バッファ層 3 の第 2 主面側に、n + 型カソード層 26 が設けられている。n + 型カソード層 26 は、n - 型ドリフト層 1 と第 2 主面との間に設けられている。n + 型カソード層 26 は、n 型不純物として例えばヒ素またはリン等を有する半導体層であり、n 型不純物の濃度は $1.0 \times 10^{16} / \text{cm}^3 \sim 1.0 \times 10^{21} / \text{cm}^3$ である。図 2 で示したように、n + 型カソード層 26 は、ダイオード領域 20 の一部または全部に設けられる。n + 型カソード層 26 は半導体基板の第 2 主面を構成している。なお、図示していないが、上述のように n + 型カソード層 26 を形成した領域に、さらに p 型不純物を選択的に注入して、n + 型カソード層 26 を形成した領域の一部を p 型半導体として p 型カソード層を設けてもよい。

20

【0045】

図 7 に示すように、半導体装置 110 のダイオード領域 20 には、半導体基板の第 1 主面から p 型アノード層 25 を貫通し、n - 型ドリフト層 1 に達するトレンチが形成されている。ダイオード領域 20 のトレンチ内にダイオードトレンチ絶縁膜 21b を介してダイオードトレンチ電極 21a が設けられることでダイオードトレンチゲート 21 が構成されている。ダイオードトレンチ電極 21a はダイオードトレンチ絶縁膜 21b を介して n - 型ドリフト層 1 に面している。

30

【0046】

図 7 に示すように、ダイオードトレンチ電極 21a、および p + 型コンタクト層 24 の上にはバリアメタル 5 が設けられている。バリアメタル 5 は、ダイオードトレンチ電極 21a および p + 型コンタクト層 24 とオーミック接触し、ダイオードトレンチ電極および p + 型コンタクト層 24 に電氣的に接続されている。バリアメタル 5 は、IGBT 領域 10 のバリアメタル 5 と同一の構成であってよい。バリアメタル 5 の上には、エミッタ電極 6 が設けられる。ダイオード領域 20 に設けられるエミッタ電極 6 は、IGBT 領域 10 に設けられたエミッタ電極 6 と連続して形成されている。なお、IGBT 領域 10 の場合と同様に、バリアメタル 5 を設けずに、ダイオードトレンチ電極 21a および p + 型コンタクト層 24 とエミッタ電極 6 とをオーミック接触させてもよい。

40

【0047】

図 7 では、ダイオードトレンチ 21 のダイオードトレンチ電極 21a の上には層間絶縁膜 4 が設けられずにコンタクトホール 19 が設けられた構成を示したが、層間絶縁膜 4 をダイオードトレンチ 21 のダイオードトレンチ電極 21a の上に形成してもよい。層間絶縁膜 4 をダイオードトレンチ 21 のダイオードトレンチ電極 21a の上に形成した場合には、別の断面においてエミッタ電極 6 とダイオードトレンチ電極 21a とを電氣的に接続すればよい。

【0048】

50

n + 型カソード層 26 の第 2 主面側には、コレクタ電極 7 が設けられる。エミッタ電極 6 と同様、ダイオード領域 20 のコレクタ電極 7 は、IGBT 領域 10 に設けられたコレクタ電極 7 と連続して形成されている。コレクタ電極 7 は、n + 型カソード層 26 にオーミック接触し、n + 型カソード層 26 に電氣的に接続されている。

【0049】

図 8 は、半導体装置 110 の図 6 における破線 D - D での断面図であり、ダイオード領域 20 の断面図である。図 7 に示した破線 C - C での断面図とは、p 型アノード層 25 とバリアメタル 5 との間に、p + 型コンタクト層 24 が設けられておらず、p 型アノード層 25 が半導体基板の第 1 主面を構成している点が異なる。つまり、図 7 で示した p + 型コンタクト層 24 は、p 型アノード層 25 の第 1 主面側に選択的に設けられている。

10

【0050】

図 9 は、RC - IGBT である半導体装置の終端領域の構成を示す断面図である。図 10 (a) は、図 1 または図 2 における破線 E - E での断面図であり、IGBT 領域 10 から終端領域 30 にかけての断面図である。また、図 10 (b) は、図 1 における破線 F - F での断面図であり、ダイオード領域 20 から終端領域 30 にかけての断面図である。

【0051】

図 9 (a) および図 9 (b) に示すように、半導体装置 110 の終端領域 30 は、半導体基板の第 1 主面と第 2 主面との間に n - 型ドリフト層 1 を有している。終端領域 30 の第 1 主面および第 2 主面は、それぞれ IGBT 領域 10 およびダイオード領域 20 の第 1 主面および第 2 主面と同一面である。また、終端領域 30 の n - 型ドリフト層 1 は、それぞれ IGBT 領域 10 およびダイオード領域 20 の n - 型ドリフト層 1 と同一構成であり連続して一体的に形成されている。

20

【0052】

n - 型ドリフト層 1 の第 1 主面側、すなわち半導体基板の第 1 主面と n - 型ドリフト層 1 との間に p 型終端ウェル層 31 が設けられている。p 型終端ウェル層 31 は、p 型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ である。p 型終端ウェル層 31 は、IGBT 領域 10 およびダイオード領域 20 が含まれるセル領域を取り囲んで設けられている。p 型終端ウェル層 31 は複数のリング状に設けられており、p 型終端ウェル層 31 が設けられる数は、半導体装置 110 の耐圧設計によって適宜選択される。また、p 型終端ウェル層 31 のさらに外縁側には n + 型チャネルストップ層 32 が設けられており、n + 型チャネルストップ層 32 は p 型終端ウェル層 31 を取り囲んでいる。

30

【0053】

n - 型ドリフト層 1 と半導体基板の第 2 主面との間には、p 型終端コレクタ層 16a が設けられている。p 型終端コレクタ層 16a は、セル領域に設けられる p 型コレクタ層 16 と連続して一体的に形成されている。従って、p 型終端コレクタ層 16a を含めて p 型コレクタ層 16 と呼んでもよい。また、図 1 に示した半導体装置 110 のようにダイオード領域 20 が終端領域 30 と隣接して設けられる構成では、図 9 (b) に示すように、p 型終端コレクタ層 16a は、ダイオード領域 20 側の端部が距離 U2 だけダイオード領域 20 にはみ出して設けられている。このように、p 型終端コレクタ層 16a をダイオード領域 20 にはみ出して設けることにより、ダイオード領域 20 の n + 型カソード層 26 と p 型終端ウェル層 31 との距離を大きくすることができ、p 型終端ウェル層 31 がダイオードのアノードとして動作するのを抑制することができる。距離 U2 は、例えば $100 \mu\text{m}$ であってよい。

40

【0054】

半導体基板の第 2 主面上にはコレクタ電極 7 が設けられている。コレクタ電極 7 は、IGBT 領域 10 およびダイオード領域 20 を含むセル領域から終端領域 30 まで連続して一体的に形成されている。一方、終端領域 30 の半導体基板の第 1 主面上にはセル領域から連続しているエミッタ電極 6 と、エミッタ電極 6 とは分離された終端電極 6a とが設けられる。

50

【 0 0 5 5 】

エミッタ電極 6 と終端電極 6 a とは、半絶縁成膜 3 3 を介して電氣的に接続されている。半絶縁性膜 3 3 は、例えば、 SiN (semi-insulating Silicon Nitride: 半絶縁性シリコン窒化膜) であってよい。終端電極 6 a と p 型終端ウェル層 3 1 および n + 型チャネルストップパ層 3 2 とは、終端領域 3 0 の第 1 主面上に設けられた層間絶縁膜 4 に形成されたコンタクトホールを介して電氣的に接続されている。また、終端領域 3 0 には、エミッタ電極 6、終端電極 6 a および半絶縁成膜 3 3 を覆って終端保護膜 3 4 が設けられている。終端保護膜 3 4 は、例えば、ポリイミドで形成してよい。

【 0 0 5 6 】

次に、実施の形態 1 に係る半導体装置の製造方法について説明する。以降の製造方法の説明においてはセル領域の製造方法を記載しており、任意な構造にて形成される終端領域 3 0 およびパッド領域 4 0 などの製造方法は省略している。

【 0 0 5 7 】

図 1 0 ~ 図 1 5 は、RC-IGBT である半導体装置の製造方法を示す図である。図 1 0 ~ 図 1 3 は半導体装置 1 1 0 のおもて面側を形成する工程を示す図であり、図 1 4 および図 1 5 は、半導体装置 1 1 0 の裏面側を形成する工程を示す図である。

【 0 0 5 8 】

まず、図 1 0 (a) に示すように n - 型ドリフト層 1 を構成する半導体基板を準備する。半導体基板には、例えば、FZ (Floating Zone) 法で作製された、いわゆる FZ ウエハや MCZ (Magnetic applied Czochralski) 法で作製された、いわゆる MCZ ウエハを用いてよく、n 型不純物を含む n 型ウエハであってよい。半導体基板に含まれる n 型不純物の濃度は、作製される半導体装置の耐圧によって適宜選択され、例えば、耐圧が 1 2 0 0 V の半導体装置では、半導体基板を構成する n - 型ドリフト層 1 の比抵抗が $40 \sim 120 \text{ } \cdot \text{cm}$ 程度となるように n 型不純物の濃度が調整される。図 1 0 (a) に示すように、半導体基板を準備する工程では、半導体基板の全体が n - 型ドリフト層 1 となっているが、このような半導体基板の第 1 主面側または第 2 主面側から、p 型あるいは n 型の不純物イオンを注入し、その後熱処理などによって半導体基板内に拡散させることで、p 型あるいは n 型の半導体層を形成し、半導体装置 1 1 0 は製造される。

【 0 0 5 9 】

図 1 0 (a) に示すように、n - 型ドリフト層 1 を構成する半導体基板は、IGBT 領域 1 0 およびダイオード領域 2 0 になる領域を備えている。また、図示しないが IGBT 領域 1 0 およびダイオード領域 2 0 になる領域の周囲には終端領域 3 0 となる領域を備えている。以下では、半導体装置 1 1 0 の IGBT 領域 1 0 およびダイオード領域 2 0 の構成の製造方法について主として説明するが、半導体装置 1 1 0 の終端領域 3 0 については周知の製造方法により作製してよい。例えば、終端領域 3 0 に耐圧保持構造として p 型終端ウェル層 5 1 を有する FLR を形成する場合、半導体装置 1 1 0 の IGBT 領域 1 0 およびダイオード領域 2 0 を加工する前に p 型不純物イオンを注入して形成してもよく、半導体装置 1 1 0 の IGBT 領域 1 0 あるいはダイオード領域 2 0 に p 型不純物をイオン注入する際に同時に p 型不純物イオンを注入して形成してもよい。

【 0 0 6 0 】

次に、図 1 0 (b) に示すように、半導体基板の第 1 主面側からリン (P) などの n 型不純物を注入して n 型キャリア蓄積層 2 を形成する。また、半導体基板の第 1 主面側からボロン (B) などの p 型不純物を注入して p 型ベース層 1 5 および p 型アノード層 2 5 を形成する。n 型キャリア蓄積層 2、p 型ベース層 1 5 および p 型アノード層 2 5 は、半導体基板内に不純物イオンを注入した後、熱処理により不純物イオンを拡散させることで形成される。n 型不純物および p 型不純物は、半導体基板の第 1 主面上にマスク処理を施した後イオン注入されるため、半導体基板の第 1 主面側に選択的に形成される。n 型キャリア蓄積層 2、p 型ベース層 1 5 および p 型アノード層 2 5 は、IGBT 領域 1 0 およびダ

10

20

30

40

50

イオード領域 20 に形成され、終端領域 30 で p 型終端ウエル層 51 に接続される。なお、マスク処理とは、半導体基板上にレジストを塗布し、写真製版技術を用いてレジストの所定の領域に開口を形成し、開口を介して半導体基板の所定の領域にイオン注入を施したり、エッチングを施したりするために、半導体基板上にマスクを形成する処理を言う。

【0061】

p 型ベース層 15 および p 型アノード層 25 は、同時に p 型不純物をイオン注入して形成してもよい。この場合、p 型ベース層 15 と p 型アノード層 25 の深さや p 型不純物濃度は同じとなり同一の構成となる。また、マスク処理により p 型ベース層 15 と p 型アノード層 25 とに別々に p 型不純物をイオン注入することで、p 型ベース層 15 と p 型アノード層 25 の深さや p 型不純物濃度を異ならせてもよい。

10

【0062】

また、別の断面において形成される p 型終端ウエル層 51 は、p 型アノード層 25 と同時に p 型不純物をイオン注入して形成してもよい。この場合、p 型終端ウエル層 51 と p 型アノード層 25 との深さや p 型不純物濃度は同じとなり同一の構成とすることが可能である。また、p 型終端ウエル層 51 と p 型アノード層 25 とを同時に p 型不純物をイオン注入して形成して、p 型終端ウエル層 51 と p 型アノード層 25 との p 型不純物濃度を異なる濃度とすることも可能である。この場合、いずれか一方または双方のマスクをメッシュ状のマスクとして、開口率を変更すればよい。

また、マスク処理により p 型終端ウエル層 51 および p 型アノード層 25 とを別々に p 型不純物をイオン注入することで、p 型終端ウエル層 51 および p 型アノード層 25 の深さや p 型不純物濃度を異ならせてもよい。

20

p 型終端ウエル層 51、p 型ベース層 15、および p 型アノード層 25 とを同時に p 型不純物をイオン注入して形成してもよい。

【0063】

次に、図 11 (a) に示すように、マスク処理により IGBT 領域 10 の p 型ベース層 15 の第 1 主面側に選択的に n 型不純物を注入して n + 型ソース層 13 を形成する。注入する n 型不純物は、例えば、砒素 (As) またはリン (P) であってよい。また、マスク処理により、IGBT 領域 10 の p 型ベース層 15 の第 1 主面側に選択的に p 型不純物を注入して p + 型コンタクト層 14 を形成し、ダイオード領域 20 の p 型アノード層 25 の第 1 主面側に選択的に p 型不純物を注入して p + 型コンタクト層 24 を形成する。注入する p 型不純物は、例えばボロン (B) またはアルミニウム (Al) であってよい。

30

次に、図 11 (b) に示すように、半導体基板の第 1 主面側から p 型ベース層 15 および p 型アノード層 25 を貫通し、n - 型ドリフト層 1 に達するトレンチ 8 を形成する。IGBT 領域 10 において、n + 型ソース層 13 を貫通するトレンチ 8 は、側壁が n + 型ソース層 13 の一部を構成する。トレンチ 8 は、半導体基板上に SiO₂ などの酸化膜を堆積させた後、マスク処理によってトレンチ 8 を形成する部分の酸化膜に開口を形成し、開口を形成した酸化膜をマスクとして半導体基板をエッチングすることで形成してよい。図 12 (b) では、IGBT 領域 10 とダイオード領域 20 とでトレンチ 8 のピッチを同じにして形成しているが、IGBT 領域 10 とダイオード領域 20 とでトレンチ 8 のピッチを異ならせてもよい。トレンチ 8 のピッチは平面視におけるパターンは、マスク処理のマスクパターンにより適宜変更することができる。

40

【0064】

次に、図 12 (a) に示すように、酸素を含む雰囲気中で半導体基板を加熱してトレンチ 8 の内壁および半導体基板の第 1 主面に酸化膜 9 を形成する。トレンチ 8 の内壁に形成された酸化膜 9 のうち、IGBT 領域 10 のトレンチ 8 に形成された酸化膜 9 がアクティブトレンチゲート 11 のゲートトレンチ絶縁膜 11 b およびダミートレンチゲート 12 のダミートレンチ絶縁膜 12 b である。また、ダイオード領域 20 のトレンチ 8 に形成された酸化膜 9 がダイオードトレンチ絶縁膜 21 b である。半導体基板の第 1 主面に形成された酸化膜 9 は後の工程で除去される。

【0065】

50

次に、図12(b)に示すように、内壁に酸化膜9を形成したトレンチ8内に、CVD (chemical vapor deposition) などによってn型またはp型の不純物をドーピングしたポリシリコンを堆積させて、ゲートトレンチ電極11a、ダミートレンチ電極12aおよびダイオードトレンチ電極21aを形成する。

【0066】

次に、図13(a)に示すように、IGBT領域10のアクティブトレンチゲート11のゲートトレンチ電極11a上に層間絶縁膜4を形成した後に半導体基板の第1主面に形成された酸化膜9を除去する。層間絶縁膜4は、例えば、SiO₂であってよい。そして、マスク処理により堆積させた層間絶縁膜4にコンタクトホールを形成する。コンタクトホールは、n+型ソース層13上、p+型コンタクト層14上、p+型コンタクト層24上、ダミートレンチ電極12a上およびダイオードトレンチ電極21a上に形成される。

10

【0067】

次に、図13(b)に示すように、半導体基板の第1主面および層間絶縁膜4上にバリアメタル5を形成し、さらにバリアメタル5の上にエミッタ電極6を形成する。バリアメタル5は、窒化チタンをPVD (physical vapor deposition) やCVDによって製膜することで形成される。

【0068】

エミッタ電極6は、例えば、スパッタリングや蒸着などのPVDによってアルミシリコン合金 (Al-Si系合金) をバリアメタル5の上に堆積させて形成してよい。また、形成したアルミシリコン合金の上に、無電解めっきや電解めっきでニッケル合金 (Ni合金) をさらに形成してエミッタ電極6としてもよい。エミッタ電極6をめっきで形成すると、エミッタ電極6として厚い金属膜を容易に形成することができるので、エミッタ電極6の熱容量を増加させて耐熱性を向上させることができる。なお、PVDでアルミシリコン合金からなるエミッタ電極6を形成した後に、めっき処理でニッケル合金をさらに形成する場合、ニッケル合金を形成するためのめっき処理は半導体基板の第2主面側の加工を行った後に実施してもよい。

20

【0069】

次に、図14(a)に示すように半導体基板の第2主面側を研削し、半導体基板を設計した所定の厚さに薄板化する。研削後の半導体基板の厚さは、例えば、80 μm ~ 200 μmであってよい。

30

【0070】

次に、図14(b)に示すように、半導体基板の第2主面側からn型不純物を注入しn型バッファ層3を形成する。さらに、半導体基板の第2主面側からp型不純物を注入しp型コレクタ層16を形成する。n型バッファ層3はIGBT領域10、ダイオード領域20および終端領域30に形成してよく、IGBT領域10またはダイオード領域20のみに形成してもよい。

【0071】

n型バッファ層3は、例えば、リン(P)イオンを注入して形成してよい。また、プロトン(H⁺)を注入して形成してよい。さらに、プロトンとリンの両方を注入して形成してよい。プロトンは比較的低い加速エネルギーで半導体基板の第2主面から深い位置にまで注入することができる。また、加速エネルギーを変えることでプロトンを注入する深さを比較的容易に変更することができる。このため、n型バッファ層3をプロトンで形成する際に、加速エネルギーを変更しながら複数回注入すると、リンで形成するよりも半導体基板の厚さ方向に幅が広いn型バッファ層3を形成することができる。

40

【0072】

また、リンはプロトンに比較して、n型不純物としての活性化率を高くすることができるので、リンでn型バッファ層3を形成することにより薄板化した半導体基板であってもより確実に空乏層がパンチスルーするのを抑制することができる。半導体基板をより一層薄板化するには、プロトンとリンの両方を注入してn型バッファ層3を形成するのが好ましく、この際には、プロトンはリンよりも第2主面から深い位置に注入される。

50

【 0 0 7 3 】

p型コレクタ層16は、例えば、ボロン(B)を注入して形成してよい。p型コレクタ層16は、終端領域30にも形成され、終端領域30のp型コレクタ層16がp型終端コレクタ層16aとなる。半導体基板の第2主面側からイオン注入した後に、第2主面にレーザーを照射してレーザーアニールすることで、注入したボロンが活性化しp型コレクタ層16が形成される。この際、半導体基板の第2主面から比較的浅い位置に注入されたn型バッファ層3のためのリンも同時に活性化される。一方、プロトンは350 ~ 500といった比較的低いアニール温度で活性化されるので、プロトンを注入した後はプロトンの活性化のための工程以外で、半導体基板全体が350 ~ 500より高い温度にならないように留意する必要がある。レーザーアニールは、半導体基板の第2主面近傍のみを高温にできるため、プロトンを注入した後であってもn型不純物やp型不純物の活性化に用いることができる。

10

【 0 0 7 4 】

次に、図15(a)に示すように、ダイオード領域20にn+型カソード層26を形成する。n+型カソード層26は、例えば、リン(P)を注入して形成してよい。図15(a)に示すように、IGBT領域10とダイオード領域20との境界からダイオード領域20側に距離U1の位置に、p型コレクタ層16とn+型カソード層26との境界が位置するように、リンが第2主面側からマスク処理により選択的に注入される。n+型カソード層26を形成するためのn型不純物の注入量は、p型コレクタ層16を形成するためのp型不純物の注入量より多い。図15(a)では、第2主面からのp型コレクタ層16とn+型カソード層26の深さを同じに示しているが、n+型カソード層26の深さはp型コレクタ層16の深さ以上である。n+型カソード層26が形成される領域は、p型不純物が注入された領域にn型不純物を注入してn型半導体にする必要があるので、n+型カソード層26が形成される領域の全てで注入されたp型不純物の濃度をn型不純物の濃度より高くする。

20

【 0 0 7 5 】

次に、図15(b)に示すように、半導体基板の第2主面上にコレクタ電極7を形成する。コレクタ電極7は、第2主面のIGBT領域10、ダイオード領域20および終端領域30の全面に亘って形成される。また、コレクタ電極7は、半導体基板であるn型ウエハの第2主面の全面に亘って形成してよい。コレクタ電極7は、スパッタリングや蒸着などのPVDによって、アルミシリコン合金(Ai-Si系合金)やチタン(Ti)などを堆積させて形成してよく、アルミシリコン合金、チタン、ニッケルあるいは金など複数の金属を積層させて形成してもよい。さらには、PVDで形成した金属膜上に無電解めっきや電解めっきで、さらに金属膜を形成してコレクタ電極7としてもよい。

30

【 0 0 7 6 】

以上のような工程により半導体装置110は作製される。半導体装置110は、1枚のn型ウエハにマトリクス状に複数作製されるので、レーザーダイシングやブレードダイシングにより個々の半導体装置110に切り分けることで半導体装置110は完成する。

【 0 0 7 7 】

次に、実施の形態1に係る半導体装置の動作について説明する。

40

【 0 0 7 8 】

図16は、実施の形態1に係る半導体装置のIGBT領域とダイオード領域の境界の構成を示す断面図である。図16は、図1に示した半導体装置110における破線H-Hにおける断面図である。

【 0 0 7 9 】

RC-IGBTのダイオード動作について説明する。ダイオード動作時には、エミッタ電極6にはコレクタ電極7と比較して正の電圧が印加され、アクティブトレンチゲート電極11aにゲート駆動電圧が印加されない。エミッタ電極6にコレクタ電極7と比較して正の電圧が印加されることでアノード層25およびp型ベース層15からドリフト層1に正孔が流入し、流入した正孔はカソード層26に向かって移動する。IGBT領域10a

50

との境界付近のダイオード領域 20 a は、アノード層 25 からの正孔に加えて、IGBT 領域 10 a から正孔が流入することにより、IGBT 領域 10 a から離れたダイオード領域 20 a と比較して正孔の密度が高い状態である。ダイオード動作時には、エミッタ電極 6 からコレクタ電極 7 に向かう方向に環流電流が流れる。

【0080】

図 16 に示すように、IGBT 領域 10 a の第 2 主面側に設けられた p 型コレクタ層 16 は、IGBT 領域 10 a とダイオード領域 20 a との境界から距離 U1 だけダイオード領域 20 a 側にはみ出して設けられている。なお、図 16 では、IGBT 領域 10 a と紙面右側のダイオード領域 20 a との境界から距離 U1 だけ紙面右側のダイオード領域 20 a 側にはみ出す構成を示しているが、IGBT 領域 10 a と紙面左側のダイオード領域 20 a との境界から距離 U1 だけ紙面左側のダイオード領域 20 a 側にはみ出してもよい。このように、p 型終端コレクタ層 16 をダイオード領域 20 a にはみ出して設けることにより、ダイオード領域 20 a の n+ 型カソード層 26 とアクティブトレンチゲート 11 との距離を大きくすることができ、ダイオード動作時にアクティブトレンチゲート電極 11 a にゲート駆動電圧が印加された場合であっても、IGBT 領域 10 a のアクティブトレンチゲート 11 に隣接して形成されるチャンネルから n+ 型カソード層 26 に電流が流れるのを抑制することができる。距離 U1 は、例えば 100 μm であってよい。なお、RC-IGBT である半導体装置 110 の用途によっては、距離 U1 がゼロまたは 100 μm より小さい距離であってよい。図 16 では、IGBT 領域 10 a とダイオード領域 20 a との境界を説明しているが、IGBT 領域 10 (10 b、10 c、10 d) とダイオード領域 (20 a、20 b、20 c) との境界においても同様である。

【0081】

また、RC-IGBT の IGBT 動作について説明する。IGBT 動作時には、エミッタ電極 6 にはコレクタ電極 7 と比較して負の電圧が印加され、アクティブトレンチゲート電極 11 a にゲート駆動電圧が印加されることで第 2 導電型の p 型ベース層 15 に第 1 導電型の反転層が部分的に形成されて、n+ 型ソース層 13 から電子が n- 型ドリフト層 1 に流入し、流入した電子は p 型コレクタ層 16 に向かって移動する。つまり、コレクタ電極 16 からエミッタ電極 6 に向かう方向に主電流が流れる。なお、ダイオード動作に切り替わった時に n+ 型カソード層 26 に向かい移動していた正孔は、p 型アノード層 25 に向かう方向に移動方向を変えて移動する。つまり、エミッタ電極 6 からコレクタ電極 7 に向かう方向に環流電流が流れる。

【0082】

主電流や環流電流が流れて半導体装置が発熱するが、RC-IGBT ではダイオード動作時に環流電流が流れてダイオードが主な発熱源となり、IGBT 動作時に主電流が流れて IGBT が主な発熱源となる。セル領域である IGBT 領域 10 とダイオード領域 20 とを全て同じサイズで形成すると、放熱効率がセル領域内で全て同じとなるため、熱干渉が大きいセル領域中心での温度上昇が大きくなってしまふ。一方、図 1 に示すとおり、実施の形態 1 の半導体装置では、IGBT 領域 10 a とダイオード領域 20 a は、セル領域中心に最も近い位置に設けられており、IGBT 領域 10 a は、周辺の IGBT 領域 10 b、10 c、10 d と比べてサイズが小さい領域であり、ダイオード領域 20 a は、周辺のダイオード領域 20 b、20 c と比べてサイズが小さい領域である。

【0083】

従って、セル領域中心の発熱源となる IGBT 領域及びダイオード領域を小さく分割することで基板厚み方向のみでなく、第 1 方向での熱拡散を促進でき IGBT 動作時及びダイオード動作時における発熱源からの放熱性を向上させることができる。それによりセル領域中心での温度上昇を抑えられ、半導体装置の温度均一性を向上させることができる。なお、IGBT 領域 10 の中で最も小さい領域である IGBT 領域 10 a とダイオード領域 20 の中で最も小さい領域であるダイオード領域 20 a とが、セル領域中心に最も近い位置に設けられればよく、それぞれの領域の周辺において、IGBT 領域 10 b 又は 10 c が IGBT 領域の中で最も大きい領域であり、ダイオード領域 20 b がダイオード領域

の中で最も大きい領域となってもよい。

【0084】

また、図17を用いて比較例の半導体装置の構成及び作用を説明する。IGBT領域10aよりもダイオード領域20aのサイズが大きく、ダイオード領域20aの発熱量がIGBT領域10aよりも大きい場合は、互いの領域間の熱干渉が大きくなる懸念がある。適度な熱干渉は、第1方向における熱拡散を促し放熱性を向上させるが、過度な熱干渉は蓄熱に繋がり、局所的な温度上昇を引き起こす。なお、実施の形態1の半導体装置と比較して比較例の半導体装置では、2つのダイオード領域20aの間に位置するIGBT領域10aのサイズが、実施の形態1の半導体装置110よりも小さい点で相違する。

【0085】

IGBT領域10a、ダイオード領域20aにそれぞれ主電流や還流電流が流れて半導体装置が発熱した際、発生した熱は半導体基板中で拡散し、主にコレクタ電極7を通じて外部に放熱される。図17に示すように、例えば、紙面右側のダイオード領域20aが発熱した場合、半導体基板表面と平行方向で、半導体基板表面で発生した熱がコレクタ電極7に到達するまでに放熱距離LD1となるよう半導体基板中を熱拡散する。このとき、熱が拡散する角度は約45°であり、放熱距離LD1は半導体基板の厚みにほぼ等しい。2つのダイオード領域20aの間に位置するIGBT領域10aのサイズが、平面視で上述した放熱距離LD1より小さい場合、例えば、紙面右側のダイオード領域20aから発生した熱が、IGBT領域10aを通過してダイオード領域20aまで拡散する。

【0086】

一方、図16に示す通り、実施の形態1の半導体装置は、IGBT領域10aが、基板厚みより平面視で大きいことで熱拡散によるIGBT領域10aに隣り合うダイオード領域20a同士の過大な熱干渉を抑制することができる。特に、IGBT領域10aの両側に位置するダイオード領域20aからの熱干渉を抑制するには、IGBT領域10aのサイズが放熱距離LD1×2より大きいことが望ましい。すなわち、基板厚みの2倍より平面視で大きいことでより熱干渉を抑制することができる。なお、IGBT領域10aが半導体基板の厚み以上であることについて前述したが、ダイオード領域20aでも同様であり、例えば、ダイオード領域20aにIGBT領域10aが隣り合う際は、ダイオード領域20aが半導体基板の厚み以上であることで隣り合うIGBT領域10a同士の過大な熱干渉を抑制することができる。

【0087】

また、図18は、実施の形態1に係る半導体装置110の半導体装置のIGBT領域とダイオード領域の境界の構成を示す断面図であり、図1に示した半導体装置110における破線J-Jにおける断面図である。図18に示すとおり、実施の形態1の半導体装置では、IGBT領域10dとダイオード領域20cとが隣接してセル領域端部に最も近い位置に側に設けられている。IGBT領域10dは、IGBT領域10a、10b、10cと比べてサイズが大きい領域であり、IGBT領域10の中で最も大きい領域である。IGBT領域10aは、IGBT領域10b、10c、10dと比べてサイズが小さい領域であり、IGBT領域10の中で最も小さい領域である。そして、図18に示すとおり、IGBT領域の中で最も大きい領域である10dは、RC-IGBTの温度均一性を向上するため、IGBT領域の中で最も小さい領域である10aと比べて放熱距離LD1以上大きいことが望ましい。IGBT領域10dが、IGBT領域10aと比べて基板厚みより大きいことで例えば、ダイオード領域20cからの制御パッド41への熱拡散を抑制することができる。

【0088】

実施の形態1に係る半導体装置においては、IGBT領域10aとダイオード領域20aは、セル領域中心に最も近い位置に設けられており、第1方向においてIGBT領域10aの幅は、周辺のIGBT領域10b、10c、10dの幅以下であり、ダイオード領域20aの幅は、周辺のダイオード領域20b、20cの幅以下である。このような構成にすることで、セル領域中心での熱干渉を周辺に比べて高めることで放熱性を高められセ

10

20

30

40

50

ル中心の温度上昇を抑えることができる。

【 0 0 8 9 】

<実施の形態 2 >

図 2 を用いて実施の形態 2 に係る半導体装置の構成を説明する。図 2 は実施の形態 2 に係る半導体装置を示す断面図である。なお、実施の形態 2 において、実施の形態 1 で説明したものと同一の構成要素については同一符号を付して説明は省略する。

【 0 0 9 0 】

図 2 において、半導体装置 1 1 1 はアイランド型であり、1 つの半導体装置内に I G B T 領域 1 0 (1 0 a、1 0 b、1 0 c、1 0 d、1 0 e、1 0 f、1 0 g) と、ダイオード領域 2 0 (2 0 a、2 0 b、2 0 c) とを備えている。図 1 に示す実施の形態 1 に係る半導体装置 1 1 0 においては I G B T 領域 1 0 およびダイオード領域 2 0 の延伸方向と直交する方向において I G B T 領域 1 0 とダイオード領域 2 0 とが直線状に交互に配置されたストライプ状の半導体装置を示したが、図 2 に示す実施の形態 2 に係る半導体装置 1 1 1 においては、I G B T 領域 1 0 (1 0 a、1 0 b、1 0 c、1 0 d) のストライプは維持しているが、ダイオード領域 2 0 のストライプ部は I G B T 領域 1 0 によって複数の領域に分断され、複数のダイオード領域 2 0 は島状に配置され、夫々が一つながりの I G B T 領域 1 0 に覆われた配置となっている。このような島状の配置は、アイランド型の半導体装置等とも呼ばれる。なお、アイランド型においても、I G B T 領域 1 0 およびダイオード領域 2 0 が直線状に交互に配置された領域を交互領域と称し、例えば、H - H 断面を含み更に H - H 断面を延長した仮想線上に I G B T 領域 1 0 とダイオード領域 2 0 が直線状に交互に配置された交互領域を有する。

【 0 0 9 1 】

半導体装置 1 1 0 において、I G B T 領域 1 0 c と I G B T 領域 1 0 d は I G B T 領域 1 0 g によって連結し、I G B T 領域 1 0 c が延伸する方向でダイオード領域 2 0 c と交互に I G B T 領域 1 0 g が配置される。I G B T 領域 1 0 b と I G B T 領域 1 0 c は I G B T 領域 1 0 f によって連結し、I G B T 領域 1 0 b が延伸する方向でダイオード領域 2 0 b と直線状に交互に I G B T 領域 1 0 f が配置される。I G B T 領域 1 0 a と I G B T 領域 1 0 b は I G B T 領域 1 0 e によって連結し、I G B T 領域 1 0 a が延伸する方向でダイオード領域 2 0 a と交互に I G B T 領域 1 0 e が配置される。

【 0 0 9 2 】

図 2 に示すように、半導体装置 1 1 1 は、I G B T 領域 1 0 a とダイオード領域 2 0 a が、セル領域中心に最も近い位置に設けられており、I G B T 領域 1 0 a は、周辺の I G B T 領域 1 0 b、1 0 c、1 0 d と比べて交互領域に沿った第 1 方向の幅 W 1 a が小さい領域であり、ダイオード領域 2 0 a は、周辺のダイオード領域 2 0 b、2 0 c と比べて第 1 方向の幅 W 2 a が小さい領域である。このような構成にすることで、セル領域中心での放熱性を周辺に比べて高めることで中心の温度上昇を抑えられる。

【 0 0 9 3 】

なお、実施の形態 2 の他の変形例として図 1 9、図 2 0 に示すように、ダイオード領域 2 0 が三角形や円形でもよく、島状であれば三角形等の多角形、楕円形等でもよい。また、図 1 9 に示すように三角形の頂点がセル領域の中心を向いて配置されてもよく、セル領域の端部側からセル領域の中心に向けて三角形の底面と平行な方向である幅が狭くなるように設けられることで、セル領域中心での熱抵抗を周辺に比べて下げて中心の温度上昇を抑え、セル領域の温度均一性を向上させることができる。

【 0 0 9 4 】

なお、図 2、図 1 9、図 2 0 では、ダイオード領域 2 0 を島状に設けているが、I G B T 領域 1 0 が島状でもよく、ダイオード領域 2 0 又は I G B T 領域 1 0 のどちらか一方が島状に設けられていればよい。なお、ダイオード領域 2 0 の数は 2 種類以上であればよく、図 2、図 1 9、図 2 0 に示す数に限るものではない。なお、特定の箇所を中心とした対象配置だけでなく、セル領域の温度を均一にする配置であれば非対称に設けられてもよい。また、セル領域の中心で面積が最も小さく、セル領域の中心から端部に近づくにつれて

10

20

30

40

50

面積が徐々に大きくなるように設けられてもよく、セル領域中央での熱抵抗を周辺に比べて下げることでセル領域中央の温度上昇を抑え、放熱性を向上させることができる。

【0095】

したがって、実施の形態2においては、IGBT領域10又はダイオード領域20のいずれか一方が島状であり、第1方向におけるIGBT領域10aの幅は、周辺のIGBT領域10b、10c、10dの幅以下であり、ダイオード領域20aの幅は、周辺のダイオード領域20b、20cの幅以下である。このような構成にすることで、セル領域中心での熱干渉を周辺に比べて高めることで放熱性を高められセル中心の温度上昇を抑えることができる。

【0096】

<実施の形態3>

図21を用いて実施の形態3に係る半導体装置の構成を説明する。図21は実施の形態3に係る半導体装置を示す断面図である。なお、実施の形態3において、実施の形態1から実施の形態2で説明したものと同一の構成要素については同一符号を付して説明は省略する。なお、図21に記載のH-H断面とJ-J断面の説明は、他の実施の形態と同様であるため省略する。

【0097】

図21に示すように、半導体装置114は、セル領域であるIGBT領域10とダイオード領域20がセル領域の中心からセル領域の端部に向かって、交互に放射状に配置されている。このような構成にすることで、IGBT領域10とダイオード領域20の中心にて幅が狭く、端部に向かって幅が広がるため、セル領域中心での熱抵抗を周辺に比べて下げることで中心の温度上昇を抑え、セル領域の温度均一性を向上させることができる。なお、図21に示す通りIGBT領域10のセル領域端部での幅を複数のIGBT領域で同じに示しているが、複数のIGBT領域でセル領域端部での幅がそれぞれ異なってもよく、ダイオード領域20も同様である。

【0098】

実施の形態3に係る半導体装置においては、例えば、H-H断面を含み更にH-H断面を延長した仮想線上にIGBT領域10とダイオード領域20が直線状に交互に配置された交互領域を有する。この交互領域において、セル領域の中心に最も近いIGBT領域の交互領域に沿った第1方向における幅が、他のIGBT領域の第1方向における幅以下であり、セル領域の中心に最も近いダイオード領域の第1方向における幅が、他のダイオード領域の前記第1方向における幅以下である。

【0099】

したがって、実施の形態3においては、セル領域であるIGBT領域10とダイオード領域20がセル領域の中心からセル領域の端部に向かって、交互に放射状に配置され、IGBT領域10とダイオード領域20の中心にて幅が狭く、端部に向かって幅が広がる構造である。また、交互領域においてセル領域の中心に最も近いIGBT領域の交互領域に沿った第1方向における幅が、他のIGBT領域の第1方向における幅以下であり、セル領域の中心に最も近いダイオード領域の第1方向における幅が、他のダイオード領域の前記第1方向における幅以下である。このような構成にすることで、セル領域中心での熱干渉を周辺に比べて高めることで放熱性を高められセル中心の温度上昇を抑えることができる。

【0100】

<実施の形態4>

図22を用いて実施の形態4に係る半導体装置の構成を説明する。図22は実施の形態4に係る半導体装置を示す断面図である。なお、実施の形態4において、実施の形態1から実施の形態3で説明したものと同一の構成要素については同一符号を付して説明は省略する。

【0101】

図22に示すように、半導体装置115は、IGBT領域10およびダイオード領域2

10

20

30

40

50

0の夫々の外周が四角形状であり、夫々の四角形状は同一な中心を有する同心な四角形状であり、四角形状の中心、すなわち同心となる位置からセル領域の端部に向けて交互に設けられた半導体装置である。なお同心四角形状の中心は必ずしもセル領域の中心と一致しなくてもよくセル領域内に配置されればよく、同心四角形状の中心からセル領域の端部に向けて各領域の幅が広がっていけばよい。なお、IGBT領域10およびダイオード領域20の夫々の外周は、四角形状以外にも多角形状もしくは円形状であってもよい。

【0102】

IGBT領域10とダイオード領域20が同心四角形状に、交互に配置されており、その同心四角形状はセル領域内に配置されている。中心部の領域は島状で、それ以外が環状に設けられる。外周が同心四角形状に配置された各領域のIGBT領域10及びダイオード領域20は、セル領域の中心にて幅が最も狭く、セル領域の端部に向かって幅が広がるように同心四角形状に設けられる。すなわち、IGBT領域10aの幅W1aは、周辺のIGBT領域10b、10c、10dの幅以下であり、ダイオード領域20aの幅W2aは、周辺のダイオード領域20b、20cの幅以下である。

10

【0103】

このような構成にすることで、セル領域中心での熱干渉を周辺に比べて高めることで中心の温度上昇を抑え、セル領域の温度均一性を向上させることができる。なお、実施の形態4の他の変形例として図23に示すように、点線で表される同心四角形状の領域内で、ダイオード領域20が点在してもよく、IGBT領域10a、10b、10c、10dがIGBT領域10e、10f、10gによってそれぞれ連結されていてもよい。

20

【0104】

例えば、同心四角形状のIGBT領域10cと同心四角形状のIGBT領域10dはIGBT領域10gによって連結し、同心四角形状に点在するダイオード領域20cと交互にIGBT領域10gが配置される。同心四角形状のIGBT領域10bと同心四角形状のIGBT領域10cはIGBT領域10fによって連結し、同心四角形状に点在するダイオード領域20bと交互にIGBT領域10fが配置される。アイランドであるIGBT領域10aと同心四角形状のIGBT領域10bはIGBT領域10eによって連結し、同心四角形状に点在するダイオード領域20aと交互にIGBT領域10eが配置される。なお、同心四角形状は角部が曲率を有する丸い同心四角形状でもよい。以上のことを換言すれば、島状に複数設けられたダイオード領域20において、セル領域の端部に沿って隣接する島状の領域を結ぶ仮想線を引いた場合に、仮想線を複数引くことができ、複数の仮想線は、セル領域内に中心を有する同心な四角形状となる。例えば、環状のセル領域の端部から第1の距離を離れて配置された複数の島状のダイオード領域20aからなる第1の島群は、ダイオード領域20aのうちセル領域の端部に最も近い部分に接して引いた仮想線を環状に繋げた第1の仮想線と、ダイオード領域20aのうちセル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第2の仮想線と、に囲まれている。環状のセル領域の端部から第2の距離を離れて配置された複数の島状のダイオード領域20bからなる第2の島群は、ダイオード領域20bのうちセル領域の端部に最も近い部分に接して引いた仮想線を環状に繋げた第3の仮想線と、ダイオード領域20bのうちセル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第4の仮想線と、に囲まれている。環状のセル領域の端部から第3の距離を離れて配置された複数の島状のダイオード領域20cからなる第3の島群は、ダイオード領域20cのうちセル領域の端部に最も近い部分に接して引いた仮想線を環状に繋げた第5の仮想線と、ダイオード領域20cのうちセル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第6の仮想線と、に囲まれている。そして、第1の仮想線および第2の仮想線に囲まれる領域と、第3の仮想線および第4の仮想線に囲まれる領域と、第5の仮想線および第6の仮想性に囲まれる領域とは、同一の中心を有す。なお、島群は3種類で説明しているが、2種類以上あればよい。

30

40

【0105】

さらに、図24及び図25に示すようにダイオード領域20が三角形や円形でもよく、

50

島状のアイランド型であれば三角形等の多角形、楕円形等でもよい。また、図 2 4 に示すように三角形の頂点がセル領域の中心を向いて配置されてもよく、セル領域の端部側からセル領域の中心に向けて三角形の底面と平行な方向である幅が狭くなるように設けられることで、セル領域中心での熱抵抗を周辺に比べて下げて中心の温度上昇を抑え、セル領域の温度均一性を向上させることができる。なお、図 2 2 ~ 2 5 では、ダイオード領域 2 0 を島状に設けているが、I G B T 領域 1 0 が島状でもよく、ダイオード領域 2 0 又は I G B T 領域 1 0 のどちらか一方が島状に設けられていればよい。

【 0 1 0 6 】

なお、ダイオード領域 2 0 の数は 2 種類以上であればよく、図 2 2 ~ 2 5 に示す数に限るものではない。なお、特定の箇所を中心とした対象配置だけでなく、セル領域の温度を均一にする配置であれば非対称に設けられてもよい。また、セル領域の中央で面積が最も小さく、セル領域の中心から端部に近づくにつれて面積が徐々に大きくなるように設けられてもよく、セル領域中央での熱抵抗を周辺に比べて下げることでセル領域中央の温度上昇を抑え、放熱性を向上させることができる。

10

【 0 1 0 7 】

実施の形態 4 に係る半導体装置においては、例えば、H - H 断面を含み更に H - H 断面を延長した仮想線上に I G B T 領域 1 0 とダイオード領域 2 0 が直線状に交互に配置された交互領域を有する。この交互領域において、セル領域の中心に最も近い I G B T 領域の交互領域に沿った第 1 方向における幅が、他の I G B T 領域の第 1 方向における幅以下であり、セル領域の中心に最も近いダイオード領域の第 1 方向における幅が、他のダイオード領域の前記第 1 方向における幅以下である。

20

【 0 1 0 8 】

したがって、実施の形態 4 においては、I G B T 領域 1 0 とダイオード領域 2 0 とがセル領域の中心を中心とした同心四角形状に、交互に配置され、I G B T 領域 1 0 及びダイオード領域 2 0 は、セル領域の中心にて幅が狭く、セル領域の端部に向かって幅が広くなるように同心四角形状に設けられるため、セル領域中心での熱抵抗を周辺に比べて下げることで中心の温度上昇を抑え、放熱性を向上させることができる。

【 0 1 0 9 】

実施の形態 4 では、図 2 2 のように同心な四角形状で I G B T 領域 1 0 およびダイオード領域 2 0 が設けられた構成を示したが、同心であれば四角形状で有る必要はなく、三角形形状や八角形状等の多角形状であってもよいし、円形状であってもよい。

30

【 0 1 1 0 】

< 実施の形態 5 >

本実施の形態は、上述した実施の形態 1 ~ 4 にかかる半導体装置を電力変換装置に適用したものである。本開示は特定の電力変換装置に限定されるものではないが、以下、実施の形態 5 として、三相のインバータに本開示を適用した場合について説明する。

【 0 1 1 1 】

図 2 6 は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【 0 1 1 2 】

図 2 6 に示す電力変換システムは、電源 1 0 0、電力変換装置 2 0 0、負荷 3 0 0 から構成される。電源 1 0 0 は、直流電源であり、電力変換装置 2 0 0 に直流電力を供給する。電源 1 0 0 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路や A C / D C コンバータで構成することとしてもよい。また、電源 1 0 0 を、直流系統から出力される直流電力を所定の電力に変換する D C / D C コンバータによって構成することとしてもよい。

40

【 0 1 1 3 】

電力変換装置 2 0 0 は、電源 1 0 0 と負荷 3 0 0 の間に接続された三相のインバータであり、電源 1 0 0 から供給された直流電力を交流電力に変換し、負荷 3 0 0 に交流電力を供給する。電力変換装置 2 0 0 は、図 2 6 に示すように、直流電力を交流電力に変換して

50

出力する主変換回路 201 と、主変換回路 201 の各スイッチング素子を駆動する駆動信号を出力する駆動回路 202 と、駆動回路 202 を制御する制御信号を駆動回路 202 に出力する制御回路 203 とを備えている。

【0114】

負荷 300 は、電力変換装置 200 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 300 は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

【0115】

以下、電力変換装置 200 の詳細を説明する。主変換回路 201 は、スイッチング素子を備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源 100 から供給される直流電力を交流電力に変換し、負荷 300 に供給する。主変換回路 201 の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路 201 は 2 レベルの三相フルブリッジ回路であり、6 つのスイッチング素子から構成することができる。主変換回路 201 の各スイッチング素子には、上述した実施の形態 1 ~ 4 のいずれかにかかる半導体装置を適用する。6 つのスイッチング素子は 2 つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U 相、V 相、W 相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路 201 の 3 つの出力端子は、負荷 300 に接続される。

【0116】

駆動回路 202 は、主変換回路 201 のスイッチング素子を駆動する駆動信号を生成し、主変換回路 201 のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路 203 からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0117】

制御回路 203 は、負荷 300 に所望の電力が供給されるよう主変換回路 201 のスイッチング素子を制御する。具体的には、負荷 300 に供給すべき電力に基づいて主変換回路 201 の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって主変換回路 201 を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路 202 に制御指令（制御信号）を出力する。駆動回路 202 は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

【0118】

本実施の形態に係る電力変換装置では、主変換回路 201 のスイッチング素子として実施の形態 1 ~ 4 にかかる半導体装置を適用するため、セル領域中心での熱抵抗を周辺に比べて下げることで中心の温度上昇を抑え、放熱性を向上させることができる。

【0119】

本実施の形態では、2 レベルの三相インバータに本開示を適用する例を説明したが、本開示は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2 レベルの電力変換装置としたが 3 レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本開示を適用しても構わない。また、直流負荷等に電力を供給する場合には DC / DC コンバータや AC / DC コンバータに本開示を適用することも可能である。

【0120】

また、本開示を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるも

10

20

30

40

50

のではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

【 0 1 2 1 】

上記実施例では、スイッチング素子が珪素によって形成されたものを示したが、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成してもよい。ワイドバンドギャップ半導体としては、例えば、炭化珪素、窒化ガリウム系材料又はダイヤモンドがある。

【 0 1 2 2 】

このようなワイドバンドギャップ半導体によって形成されたスイッチング素子は、耐電圧性が高く、許容電流密度も高いため、スイッチング素子の小型化が可能であり、これら小型化されたスイッチング素子を用いることにより、これらの素子を組み込んだ半導体モジュールの小型化が可能となる。

10

【 0 1 2 3 】

また耐熱性も高いため、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化が可能であるので、半導体装置の一層の小型化が可能になる。

【 0 1 2 4 】

更に電力損失が低いため、スイッチング素子の高効率化が可能であり、延いては半導体装置の高効率化が可能になる。

【 0 1 2 5 】

本開示のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものである。その要旨を逸脱しない範囲で種々の省略、置き換え、変更を行うことができる。また各実施の形態は組み合わせることが可能である。

20

【 0 1 2 6 】

以下、本開示の諸態様を付記としてまとめて記載する。

【 0 1 2 7 】

(付記 1)

第 1 主面と前記第 1 主面に対向する第 2 主面との間に第 1 導電型のドリフト層を有する半導体基板を備えた半導体装置であって、

前記半導体基板の前記第 1 主面から前記第 1 導電型のエミッタ層と前記第 2 導電型のベース層を貫通して設けられたトレンチゲート、及び前記ドリフト層よりも前記第 2 主面側に設けられた第 2 導電型のコレクタ層を有する I G B T 領域と、

30

前記ドリフト層よりも前記第 1 主面側に設けられた第 2 導電型のアノード層、及び前記ドリフト層よりも前記第 2 主面側に設けられた第 1 導電型のカソード層を有するダイオード領域と、

前記 I G B T 領域と前記ダイオード領域とで構成され、平面視において前記 I G B T 領域および前記ダイオード領域の夫々が直線状に交互に配置されている交互領域を有するセル領域と、を備え、

前記交互領域に沿った第 1 方向において、前記 I G B T 領域の幅および前記ダイオード領域の幅は、夫々一定ではなく、夫々が 2 種類以上の幅となるように配置されており、

40

前記交互領域において、前記セル領域の中心に最も近い前記 I G B T 領域の前記第 1 方向における幅が、他の前記 I G B T 領域の前記第 1 方向における幅以下であり、前記セル領域の中心に最も近い前記ダイオード領域の前記第 1 方向における幅が、他の前記ダイオード領域の前記第 1 方向における幅以下である、半導体装置。

(付記 2)

前記交互領域において、前記セル領域の中心に最も近い前記 I G B T 領域から前記第 1 方向における前記セル領域の端部に最も近い前記 I G B T 領域に向かうにつれて、前記 I G B T 領域の前記第 1 方向における幅が徐々に広がる付記 1 に記載の半導体装置。

(付記 3)

前記交互領域において、前記セル領域の中心に最も近い前記ダイオード領域から前記第

50

1方向における前記セル領域の端部に最も近い前記ダイオード領域に向かうにつれて、前記ダイオード領域の前記第1方向における幅が徐々に広がる付記1または2に記載の半導体装置。

(付記4)

前記交互領域において、前記セル領域の中心に最も近い前記IGBT領域および前記第1方向における前記セル領域の端部に最も近い前記IGBT領域を除いた他の前記IGBT領域の前記第1方向における幅が、前記IGBT領域の前記第1方向における幅の中で最も広く、前記セル領域の中心に最も近い前記ダイオード領域および前記第1方向における前記セル領域の端部に最も近い前記ダイオード領域を除いた他の前記ダイオード領域の前記第1方向における幅が、前記ダイオード領域の前記第1方向における幅の中で最も広いことを特徴とする付記1に記載の半導体装置。

10

(付記5)

前記交互領域において、前記セル領域の中心に最も近い前記IGBT領域の前記第1方向における幅が前記半導体基板の厚み以上であることを特徴とする付記1から4のいずれか1項に記載の半導体装置。

(付記6)

前記交互領域において、前記セル領域の中心に最も近い前記ダイオード領域の前記第1方向における幅が前記半導体基板の厚み以上であることを特徴とする付記1から5のいずれか1項に記載の半導体装置。

(付記7)

前記IGBT領域および前記ダイオード領域は、前記第1方向と直交する方向に延伸して設けられ、前記交互領域において、前記第1方向に沿って交互に設けられたことを特徴とする付記1から6のいずれか1項に記載の半導体装置。

20

(付記8)

前記IGBT領域および前記ダイオード領域は、前記セル領域の中心から前記セル領域の端部に向かって前記第1方向における幅が広がる放射状に設けられていることを特徴とする付記1から6のいずれか1項に記載の半導体装置。

(付記9)

平面視において、前記IGBT領域および前記ダイオード領域は、夫々の外周が多角形状もしくは円形状であり、夫々の前記多角形状もしくは前記円形状は、同一な中心を有し、前記同一な中心から前記セル領域の端部に向けて前記IGBT領域および前記ダイオード領域が交互に設けられていることを特徴とする付記1から6のいずれか1項に記載の半導体装置。

30

(付記10)

前記IGBT領域と前記ダイオード領域のうちのいずれか一方の領域が、平面視において周囲を他方の領域に囲まれた複数の島状の領域に分けられて設けられていることを特徴とする付記1から6のいずれか1項に記載の半導体装置。

(付記11)

前記島状の領域は、平面視において多角形状もしくは円形状に設けられたことを特徴とする付記10に記載の半導体装置。

40

(付記12)

環状の前記セル領域の端部から第1の距離を離れて配置された複数の前記島状の領域からなる第1の島群と、

環状の前記セル領域の端部から第2の距離を離れて配置された複数の前記島状の領域からなる第2の島群と、

前記第1の島群に属する前記島状の領域のうち前記セル領域の端部に最も近い部分に接して引いた仮想線を環状に繋げた第1の仮想線と、

前記第1の島群に属する前記島状の領域のうち前記セル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第2の仮想線と、

前記第2の島群に属する前記島状の領域のうち前記セル領域の端部に最も近い部分に接

50

して引いた仮想線を環状に繋げた第 3 の仮想線と、

前記第 2 の島群に属する前記島状の領域のうち前記セル領域の端部から最も遠い部分に接して引いた仮想線を環状に繋げた第 4 の仮想線と、を備え、

前記第 1 の仮想線および前記第 2 の仮想線に囲まれる領域と、前記第 3 の仮想線および前記第 4 の仮想線に囲まれる領域とは、同一の中心を有する付記 10 または 11 に記載の半導体装置。

(付記 13)

付記 1 から 12 に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、

を備えた電力変換装置。

10

【符号の説明】

【0128】

1 n - 型ドリフト層

2 n 型キャリア蓄積層

3 n 型バッファ層

4 層間絶縁膜

5 バリアメタル

6 エミッタ電極

7 コレクタ電極

20

10 (10 a、10 b、10 c、10 d) IGBT 領域

11 アクティブトレンチゲート

11 a ゲートトレンチ電極

11 b ゲートトレンチ絶縁膜

11 c アクティブトレンチゲートの底面

11 d アクティブトレンチゲートの側壁

12 ダミートレンチゲート

12 a ダミートレンチ電極

12 b ダミートレンチ絶縁膜

30

13 n + 型ソース層

14 p + 型コンタクト層

15 p 型ベース層

16 p 型コレクタ層

19 コンタクトホール

20 (20 a、20 b、20 c) ダイオード領域

21 ダイオードトレンチゲート

21 a ダイオードトレンチ電極

21 b ダイオードトレンチ絶縁膜

21 c ダイオードトレンチゲートの底面

21 d ダイオードトレンチゲートの側壁

40

24 p + 型コンタクト層

25 p 型アノード層

26 n + 型カソード層

30 終端領域

31 p 型終端ウェル層

51 境界トレンチゲート

51 a 境界トレンチゲート電極

51 b 境界トレンチゲート絶縁膜

51 c 境界トレンチゲートの底面

50

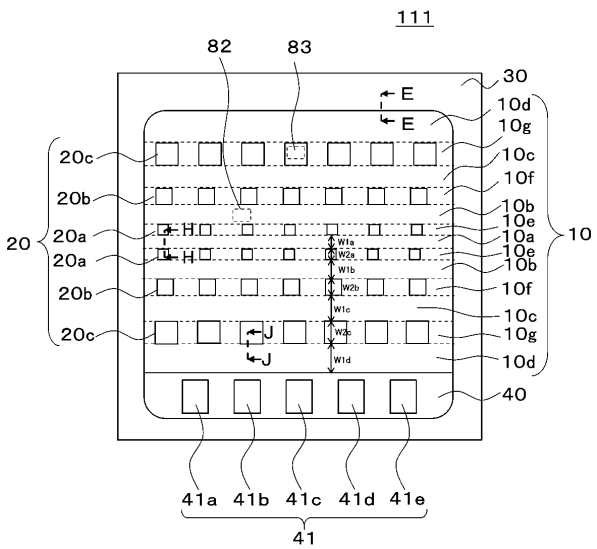
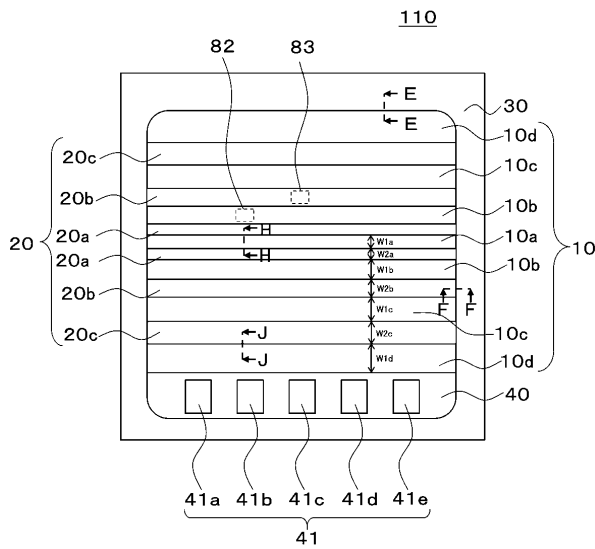
- 5 1 d 境界トレンチゲートの側壁
- 5 2 裏面ダミートレンチゲート
- 5 2 a 裏面ダミートレンチゲート電極
- 5 2 b 裏面ダミートレンチゲート絶縁膜
- 5 2 c 裏面ダミートレンチゲートの底面
- 5 2 d 裏面ダミートレンチゲートの側壁
- 1 0 0 電源
- 1 1 0 ~ 1 1 8 半導体装置
- 2 0 0 電力変換装置
- 2 0 1 主変換回路
- 2 0 2 駆動回路
- 2 0 3 制御回路
- 3 0 0 負荷

10

【図面】

【図 1】

【図 2】



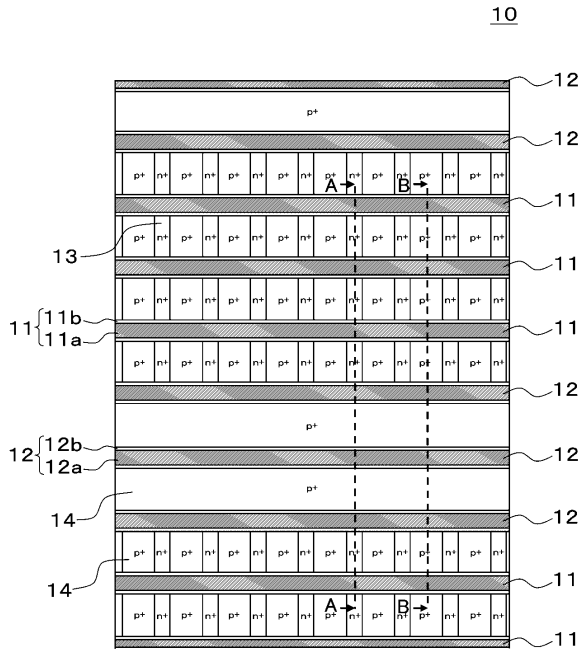
20

30

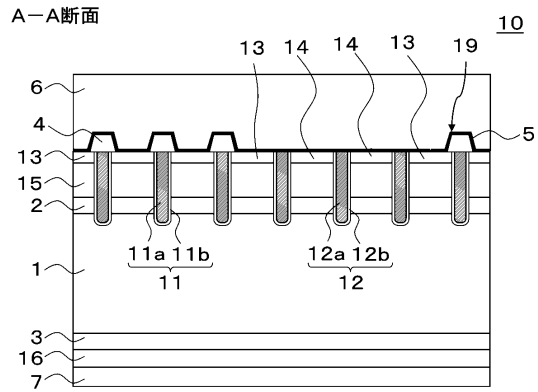
40

50

【図3】



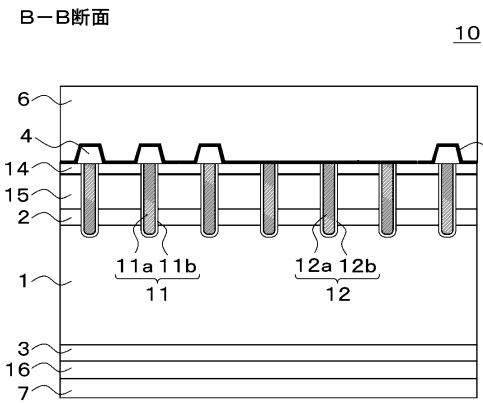
【図4】



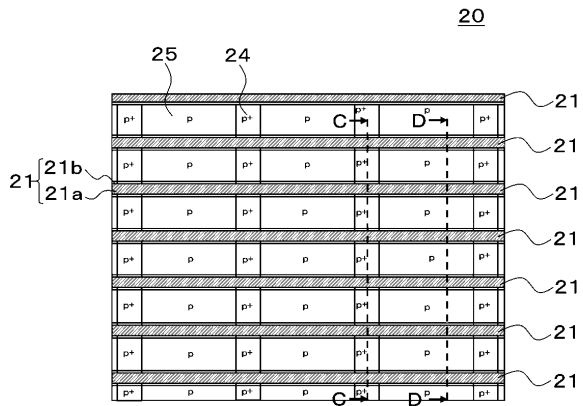
10

20

【図5】



【図6】

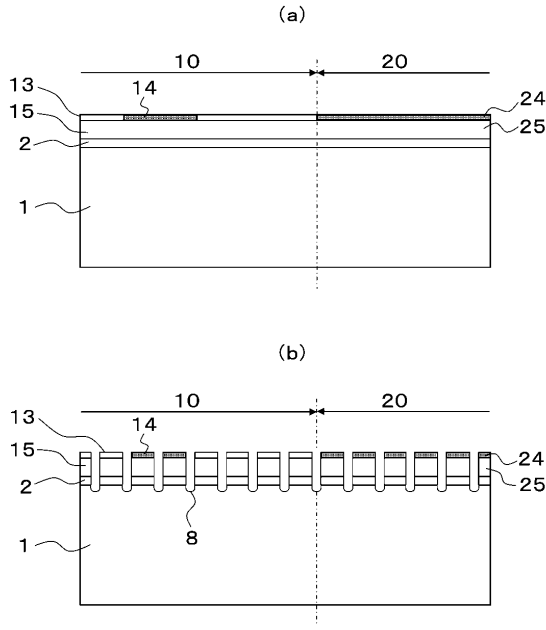


30

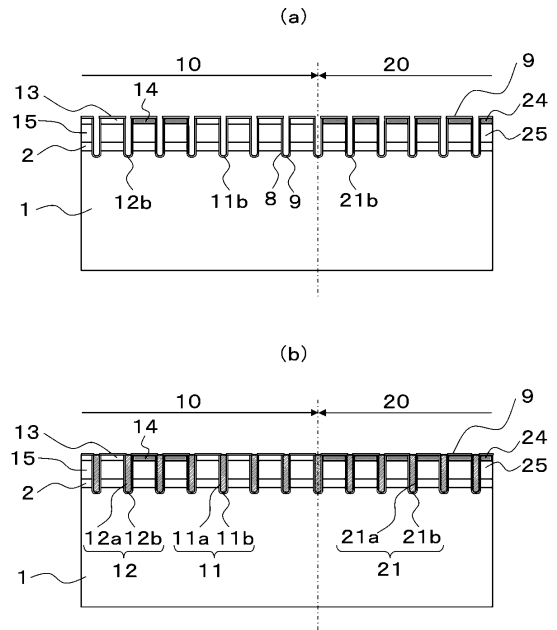
40

50

【図 1 1】



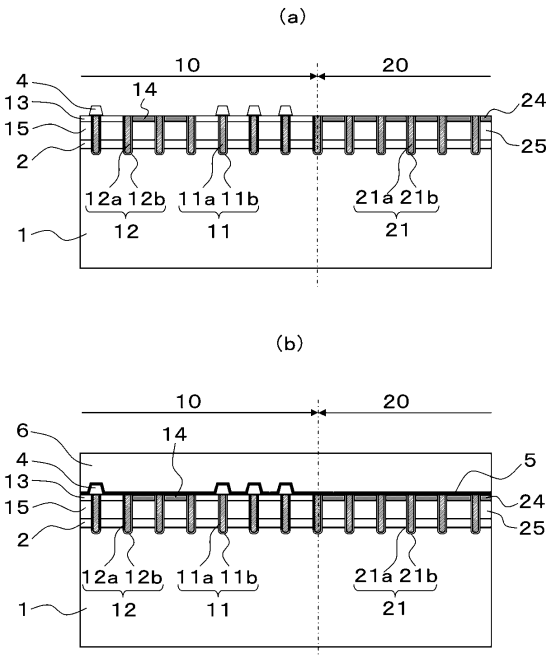
【図 1 2】



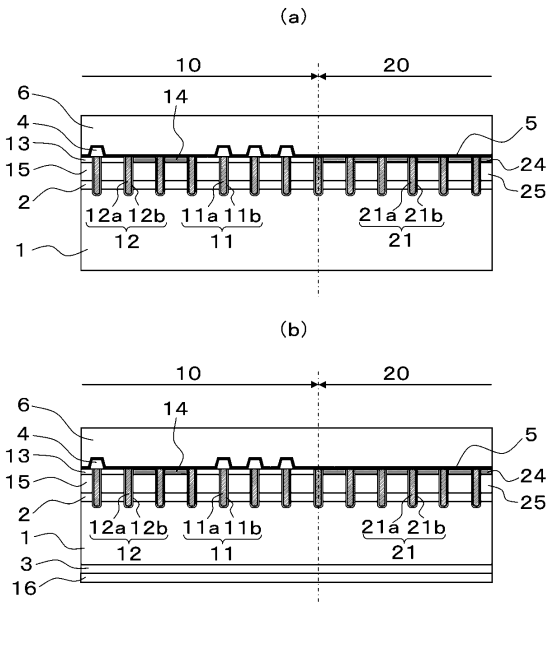
10

20

【図 1 3】



【図 1 4】

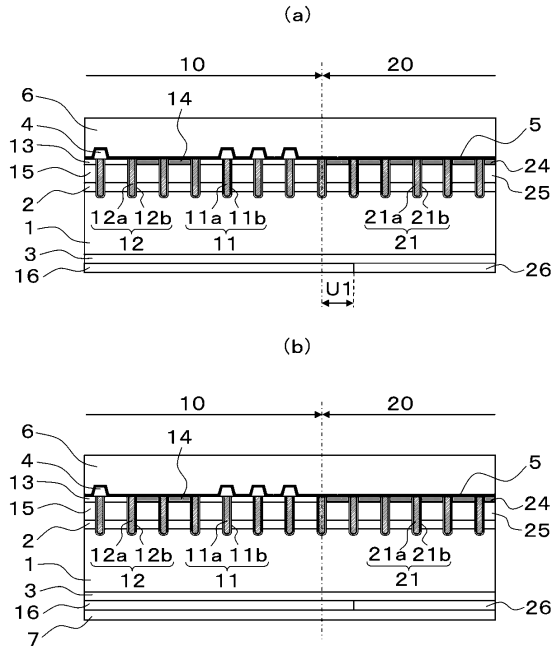


30

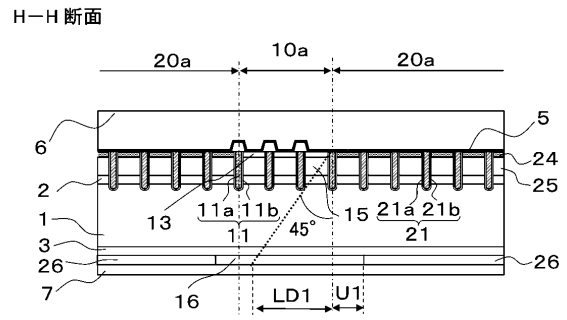
40

50

【図 15】



【図 16】

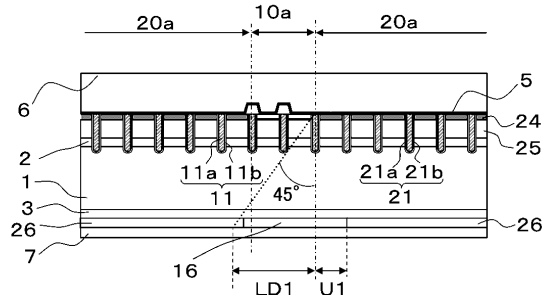


10

20

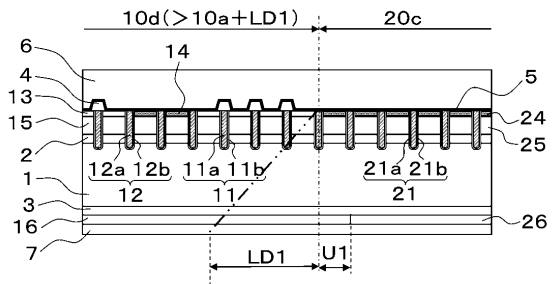
【図 17】

比較例



【図 18】

J-J断面

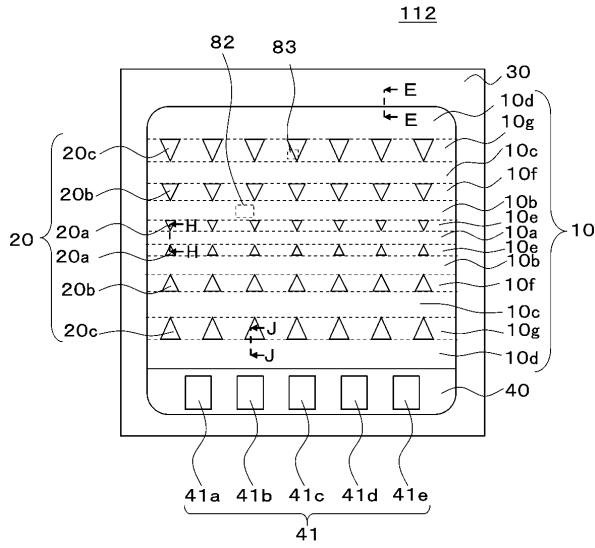


30

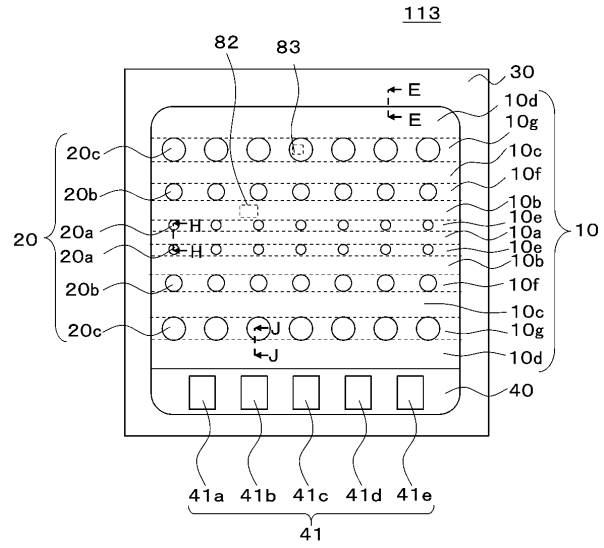
40

50

【図 19】



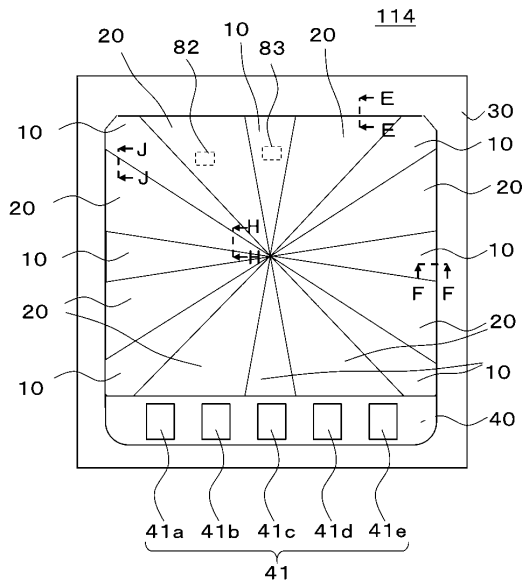
【図 20】



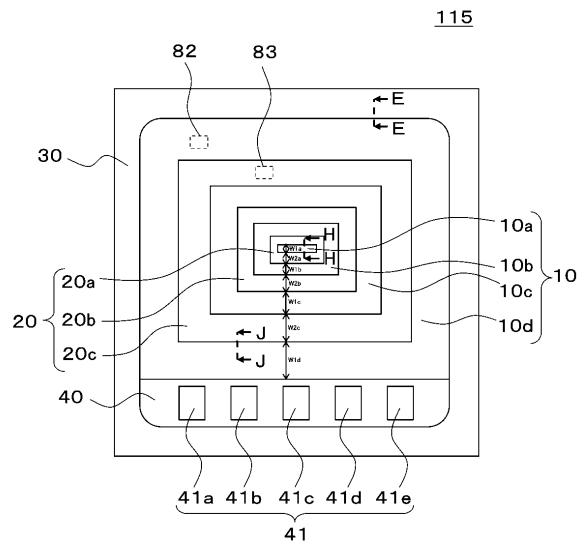
10

20

【図 21】



【図 22】

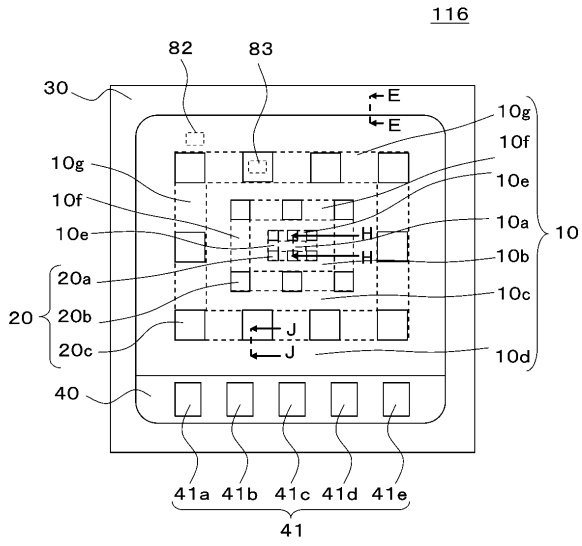


30

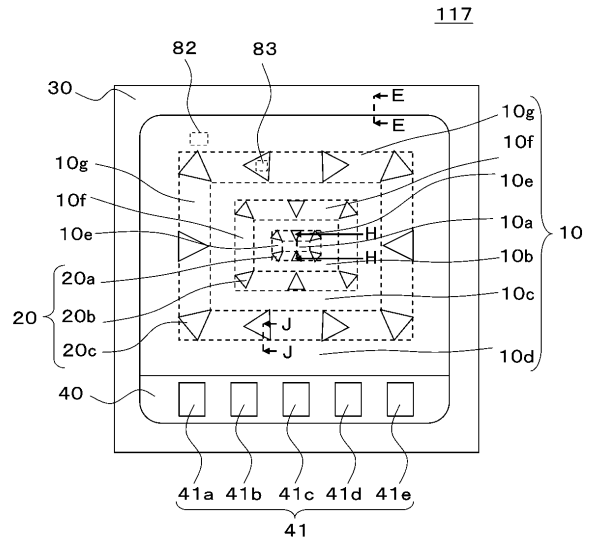
40

50

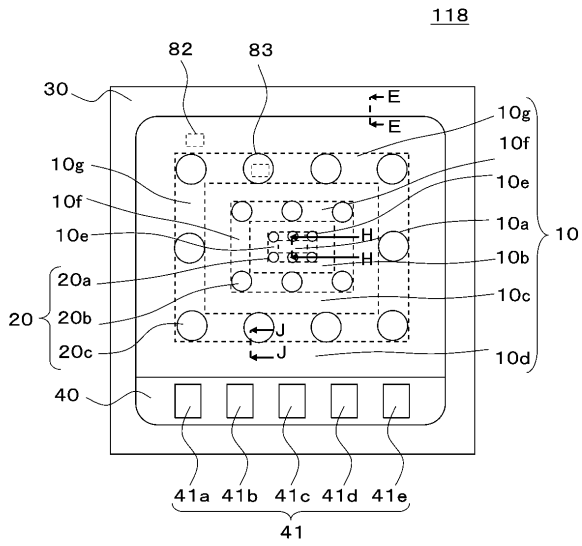
【図 2 3】



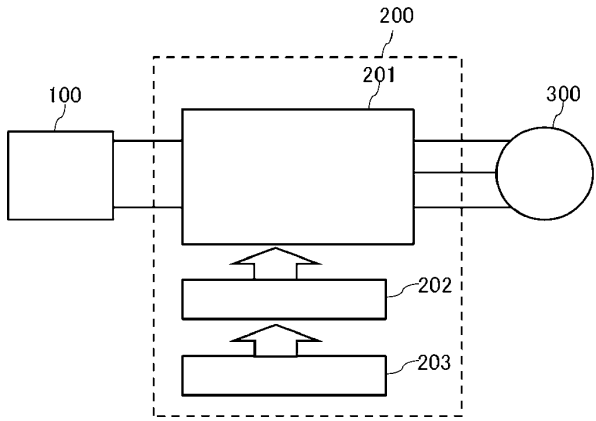
【図 2 4】



【図 2 5】



【図 2 6】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 D	30/66	1 0 1 H
H 1 0 D	12/00	1 0 1 R
H 1 0 D	30/66	1 0 3 B
H 1 0 D	30/66	1 0 1 T
H 1 0 D	8/50	D
H 1 0 D	8/50	F
H 1 0 D	8/50	L
H 1 0 D	62/10	1 0 1 G
H 1 0 D	62/10	1 0 1 V

(56)参考文献

特開 2 0 1 9 - 0 6 8 0 3 6 (J P , A)

特開 2 0 1 4 - 2 1 6 4 6 5 (J P , A)

特開 2 0 1 1 - 1 3 4 9 5 0 (J P , A)

特開 2 0 2 1 - 0 2 8 9 3 0 (J P , A)

特開平 0 6 - 0 4 5 6 1 1 (J P , A)

米国特許出願公開第 2 0 1 5 / 0 0 9 1 0 5 2 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 1 0 D 1 2 / 0 0

H 1 0 D 3 0 / 6 6

H 1 0 D 8 4 / 8 0

H 1 0 D 8 / 5 0

H 1 0 D 6 2 / 1 0