

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5139

(P2017-5139A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 0 3 8
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 E	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/06 3 O 1 F	
HO 1 L 27/095 (2006.01)	HO 1 L 27/06 F	
HO 1 L 29/06 (2006.01)	HO 1 L 27/04 H	

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2015-118380 (P2015-118380)
 (22) 出願日 平成27年6月11日 (2015.6.11)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100123434
 弁理士 田澤 英昭
 (74) 代理人 100101133
 弁理士 濱田 初音
 (74) 代理人 100199749
 弁理士 中島 成
 (74) 代理人 100156351
 弁理士 河村 秀央
 (74) 代理人 100188880
 弁理士 坂元 辰哉
 (74) 代理人 100197767
 弁理士 辻岡 将昭

最終頁に続く

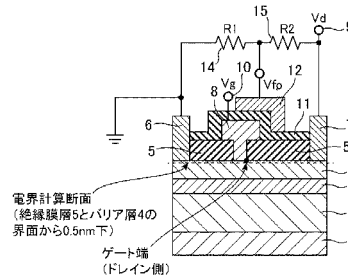
(54) 【発明の名称】 トランジスタ

(57) 【要約】 (修正有)

【課題】リカバリ特性の改善度を高めることができるトランジスタを提供する。

【解決手段】ゲート電極8の上部及びゲート電極8におけるドレイン電極7側の側面を覆うように絶縁膜層11上に形成されているFP12(金属板)を備える。また、FP12とソース電極6の間に抵抗値R1の抵抗14を接続するとともに、FP12とドレイン電極7の間に抵抗値R2の抵抗15を接続するように構成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電子が流れるチャンネル層と、
 2次元電子ガスを前記チャンネル層に形成するために前記チャンネル層の上部に形成されているバリア層と、
 前記バリア層の上部に形成され、グラウンドに接地されているソース電極と、
 前記バリア層の上部に形成され、第1の電圧が印加されるドレイン電極と、
 前記バリア層の上部に形成され、第2の電圧が印加されるゲート電極と、
 前記ソース電極及び前記ドレイン電極が形成されている領域を除く前記バリア層の上部と前記ゲート電極を覆っている絶縁膜層と、
 前記ゲート電極の上部及び前記ゲート電極における前記ドレイン電極側の側面を覆うように前記絶縁膜層上に形成されている金属板と、
 一端が前記金属板と接続され、他端が前記ソース電極と接続されている第1の抵抗と、
 一端が前記金属板と接続され、他端が前記ドレイン電極と接続されている第2の抵抗とを備えたトランジスタ。

10

【請求項 2】

前記バリア層は、イリジウム、アルミニウム及びガリウムの中のいずれか1つ以上と窒素を含んでいることを特徴とする請求項1記載のトランジスタ。

【請求項 3】

前記第1の抵抗に対する前記第2の抵抗の比が、前記第1の電圧の2分の1から1を減算した値以上であることを特徴とする請求項1または請求項2記載のトランジスタ。

20

【請求項 4】

前記第1及び第2の抵抗が、前記チャンネル層が形成されている基板の上にイオン注入抵抗として形成されていることを特徴とする請求項1から請求項3のうちのいずれか1項記載のトランジスタ。

【請求項 5】

前記第1の電圧が印加されている端子と前記ドレイン電極との間に第3の抵抗が接続されていることを特徴とする請求項1から請求項4のうちのいずれか1項記載のトランジスタ。

【請求項 6】

電子が流れるチャンネル層と、
 2次元電子ガスを前記チャンネル層に形成するために前記チャンネル層の上部に形成されているバリア層と、
 前記バリア層の上部に形成され、グラウンドに接地されているソース電極と、
 前記バリア層の上部に形成され、第1の電圧が印加されるドレイン電極と、
 前記バリア層の上部に形成され、第2の電圧が印加されるゲート電極と、
 前記ソース電極及び前記ドレイン電極が形成されている領域を除く前記バリア層の上部と前記ゲート電極を覆っている絶縁膜層と、
 前記ゲート電極の上部及び前記ゲート電極における前記ドレイン電極側の側面を覆うように前記絶縁膜層上に形成されている金属板と、
 入力信号の電力が増加するタイミングでプラスの電圧を前記金属板に印加するスイッチング回路と
 を備えたトランジスタ。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、過電力の信号が入力された直後のドレイン電流の落ち込みを低減することが可能なトランジスタに関し、特に、窒化ガリウム(GaN)に代表される窒化物半導体の高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)に関するものである。

50

【背景技術】

【0002】

窒化ガリウム (Ga N) は、ヒ化ガリウム (Ga A s) やケイ素 (Si) などの半導体材料よりも、耐圧や飽和速度の観点で優れている特徴を有している。

そのため、窒化ガリウム (Ga N) は、高出力高周波増幅器やパワースイッチ回路に用いられることが多いが、近年、窒化ガリウム (Ga N) を低雑音増幅器 (L N A) に用いる研究開発が行われている。

【0003】

例えば、送受信モジュールにおいては、過電力の信号である妨害波から低雑音増幅器を守るため、一般的に、低雑音増幅器の前段に保護スイッチ回路が挿入されるが、低雑音増幅器として、高耐圧な窒化物半導体の低雑音増幅器 (Ga N L N A) を用いれば、保護スイッチ回路を取り除くことができる。

保護スイッチ回路を取り除くことができれば、保護スイッチ回路での電力損失を低減することができるため、送受信モジュールとしての雑音指数 (N F) を改善することができる。

【0004】

ただし、スイッチレスで Ga N L N A を用いる場合、過電力の信号が Ga N L N A に直接入力されることがあるため、過電力の信号が入力された直後においても、 Ga N L N A が正常に動作することが求められる。

一般的に、過電力の信号が Ga N L N A に入力された直後は、窒化ガリウム (Ga N) のトラップ (半導体の格子欠損) の影響でドレイン電流が減少し、その後、過渡的に或る時定数を持って、減少したドレイン電流が回復するという現象が生じる。この現象はリカバリ特性と呼ばれる。

過電力の信号が入力された直後のドレイン電流が減少している状態は、雑音指数 (N F) や利得が低下するため、 Ga N L N A が正常に動作していないことを意味する。

【0005】

窒化物半導体の高電子移動度トランジスタである Ga N H E M T のリカバリ特性 (トラップ) を改善する一般的な技術として、ソースフィールドプレート構造 (S F P 構造) がある。

例えば、以下の非特許文献 1 には、 S F P 構造を有する Ga N H E M T が開示されている。

この Ga N H E M T では、チャンネル層 (Ga N b u f f e r) の上にスペーサ層 (A l N) 及びバリア層 (A l G a N) が結晶成長され、バリア層上に窒化膜 (Si ₃ N ₄) 、電極 (ソース電極、ゲート電極、ドレイン電極) が形成され、ゲート電極の上に窒化膜 (Si ₃ N ₄) が形成されている。

また、ソース電極に接続されている金属板が、ゲート電極の上部に形成されている窒化膜 (Si ₃ N ₄) 上に形成されている。この構造が S F P 構造と呼ばれ、ゲート電極の上部の金属板はソースフィールドプレート (S F P) と呼ばれる。

【0006】

このソースフィールドプレートは、グラウンドに接地されているソース電極と接続されているため、チャンネル層に形成される 2 次元電子ガスからゲート電極に向かう電界の一部がソースフィールドプレートに分散される。

その結果、ゲート電極における電界集中が緩和されてトラップの影響が低減するため、リカバリ特性が改善される。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献 1】 Compound Semiconductor Integrated Circuit Symposium 2005 , pp.170-172 「Field-plated GaN HEMTs and Amplifiers」

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0008】

従来のトランジスタは以上のように構成されているので、SFP構造がトラップの影響を低減して、リカバリ特性を改善している。しかし、SFP構造を有するだけでは、トラップの影響を十分に低減することができず、リカバリ特性の改善度が小さいという課題があった。

【0009】

この発明は上記のような課題を解決するためになされたもので、リカバリ特性の改善度を高めることができるトランジスタを得ることを目的とする。

【課題を解決するための手段】

【0010】

この発明に係るトランジスタは、電子が流れるチャネル層と、2次元電子ガスをチャネル層に形成するためにチャネル層の上部に形成されているバリア層と、バリア層の上部に形成され、グランドに接地されているソース電極と、バリア層の上部に形成され、第1の電圧が印加されるドレイン電極と、バリア層の上部に形成され、第2の電圧が印加されるゲート電極と、ソース電極及びドレイン電極が形成されている領域を除くバリア層の上部とゲート電極を覆っている絶縁膜層と、ゲート電極の上部及びゲート電極におけるドレイン電極側の側面を覆うように絶縁膜層上に形成されている金属板と、一端が金属板と接続され、他端がソース電極と接続されている第1の抵抗と、一端が金属板と接続され、他端がドレイン電極と接続されている第2の抵抗とを備えるようにしたものである。

【発明の効果】

【0011】

この発明によれば、ゲート電極の上部及びゲート電極におけるドレイン電極側の側面を覆うように絶縁膜層上に形成されている金属板を備え、金属板とソース電極の間に第1の抵抗を接続するとともに、金属板とドレイン電極の間に第2の抵抗を接続するように構成したので、リカバリ特性の改善度を高めることができる効果がある。

【図面の簡単な説明】

【0012】

【図1】この発明の実施の形態1によるトランジスタを示す回路図である。

【図2】この発明の実施の形態1によるトランジスタを示す断面図である。

【図3】この発明の実施の形態1によるトランジスタを示す上面図である。

【図4】この発明の実施の形態1によるトランジスタのリカバリ特性を示す説明図である。

【図5】実施の形態1の構造と従来構造において、図2の絶縁膜層5とバリア層4の界面から0.5nm下の電界分布のシミュレーション結果を示す説明図である。

【図6】ドレイン電流 I_d のリカバリ特性のシミュレーション結果を示す説明図である。

【図7】ドレイン電流 I_d のリカバリ特性のシミュレーション結果を示す説明図である。

【図8】この発明の実施の形態2によるトランジスタを示す上面図である。

【図9】この発明の実施の形態2によるトランジスタを示す回路図である。

【図10】この発明の実施の形態2によるトランジスタを示す断面図である。

【図11】この発明の実施の形態3によるトランジスタのリカバリ特性を示す説明図である。

【図12】この発明の実施の形態4によるトランジスタを示す上面図である。

【発明を実施するための形態】

【0013】

以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面にしたがって説明する。

【0014】

実施の形態1.

図1はこの発明の実施の形態1によるトランジスタを示す回路図であり、図2はこの発

10

20

30

40

50

明の実施の形態 1 によるトランジスタを示す断面図である。

図 1 及び図 2 は、トランジスタが、窒化物半導体の高電子移動度トランジスタ (Ga N H E M T) である例を示している。実際には、素子分離領域や配線などがあるが、本発明の動作と関連がないため、図 1 及び図 2 では省略している。

【 0 0 1 5 】

図 1 及び図 2 において、基板 1 はサファイア、炭化ケイ素 (S i C)、ケイ素 (S i)、窒化ガリウム (G a N) などを用いて形成されている。一般的には、熱伝導率が良好な半絶縁性 S i C 基板が利用されるが、半導体基板として非常に一般的な S i 基板も価格が安いので、良く用いられる。

バッファ層 2 はチャンネル層 3 の結晶性の向上や、電子をチャンネル層 3 に閉じ込める目的で、基板 1 とチャンネル層 3 との間に挿入される層であり、例えば、窒化アルミニウム (A l N)、窒化アルミニウムガリウム (A l G a N)、窒化ガリウム (G a N) とインジウム窒化ガリウム (I n G a N) の混晶組成、窒化アルミニウム (A l N) と窒化アルミニウムガリウム (A l G a N) の混晶組成などの材料が用いられる。また、それらの材料の超格子などが用いられる。

【 0 0 1 6 】

チャンネル層 3 はバッファ層 2 の上部に形成され、トランジスタの動作に必要な電子 (電流) が流れる層である。

チャンネル層 3 としては、例えば、窒化ガリウム (G a N) が用いられるが、インジウム窒化ガリウム (I n G a N) や窒化アルミニウムガリウム (A l G a N) のほか、インジウム窒化ガリウム (I n G a N) と窒化アルミニウムガリウム (A l G a N) の多層構造も使うことができる。

また、チャンネル層 3 には、不純物をドーピングすることでゲート電極 8 の制御性を向上させることができ、この不純物としては、半導体を半絶縁性にする遷移金属である鉄 (F e) や銅 (C u) などが用いられる。不純物ドーピングのプロファイルはいかなるものでもよい。

【 0 0 1 7 】

バリア層 4 は 2 次元電子ガスをチャンネル層 3 に形成するために、チャンネル層 3 の上部に形成されている。

バリア層 4 としては、例えば、窒化アルミニウムガリウム (A l G a N) の単層が用いられるが、インジウム (I n)、アルミニウム (A l) 及びガリウム (G a) の中のいずれか 1 つ以上と窒素 (N) を含んでいるものであればよい。

また、組成、層厚や不純物濃度が異なる複数の窒化アルミニウムガリウム (A l G a N)、窒化アルミニウムガリウム (A l G a N) と窒化ガリウム (G a N) 又は窒化アルミニウム (A l N) の組み合わせであってもよい。

なお、チャンネル層 3 とバリア層 4 が接触する界面は、チャンネル層 3 よりバンドギャップが広いヘテロ接合で形成させる。

【 0 0 1 8 】

絶縁膜層 5 はバリア層 4 の表面のトラップを抑制するために、バリア層 4 の上部に形成されている。

絶縁膜層 5 としては、例えば、窒化ケイ素 (S i N) や一酸化ケイ素 (S i O) などのドナーの役割を果たすケイ素 (S i) を含んでいる絶縁膜が用いられる。絶縁膜層 5 がケイ素 (S i) を含んでいれば、ドナーとしてバリア層 4 に電子を供給してバリア層 4 の表面上のトラップ数を減らすことができる。図 2 の例では、絶縁膜層 5 がゲート電極 8 の下部の一部 (図中、ゲート電極 8 の左下及び右下の部分) に設けられている構造であるが、絶縁膜層 5 がゲート電極 8 の下部の一部に設けられていなくても、同様の効果が得られる。

【 0 0 1 9 】

ソース電極 6 及びドレイン電極 7 はチャンネル層 3 中の電子 (電流) を H E M T の外に出すための電極である。

ソース電極 6 はバリア層 4 の上部に形成され、グラウンドに接地されている。

ドレイン電極 7 はバリア層 4 の上部に形成され、第 1 の電圧である電圧 V_d が印加されている端子 9 と接続されている。

なお、ソース電極 6 及びドレイン電極 7 は、チャンネル層 3 に形成される 2 次元電子ガスとの間の抵抗ができるだけ小さくなるように形成される。図 2 の例では、バリア層 4 と接するように形成されているが、2 次元電子ガスと直接的に接するように形成されていてもよい。また、ソース電極 6 及びドレイン電極 7 の下側には、 $n+$ 領域が形成されていてもよい。

【0020】

ゲート電極 8 はバリア層 4 の上部に形成され、バリア層 4 とショットキー接触する金属を含んでいる。ゲート電極 8 は第 2 の電圧である電圧 V_g が印加されている端子 10 と接続されている。

なお、ゲート電極 8 の下側の 2DEG 濃度 (2 次元電子ガスの濃度) を制御することで、トランジスタ動作を実現することができる。

【0021】

絶縁膜層 11 はソース電極 6 及びドレイン電極 7 が形成されている領域を除くバリア層 4 の上部とゲート電極 8 を覆うように形成されている。

絶縁膜層 11 は、カパレッジのための材料として、例えば、窒化ケイ素 (SiN)、二酸化ケイ素 (SiO_2)、酸化アルミニウム (Al_2O_3) が用いられる。

【0022】

FP12 はゲート電極 8 の上部及びゲート電極 8 におけるドレイン電極 7 側の側面を覆うように絶縁膜層 11 上に形成されている金属板である。

ゲート電極 8 の上部だけでなく、ドレイン電極 7 側の側面にも FP12 が取り付けられていなければ、トラップの影響を低減して、リカバリ特性を改善する効果が得られないため、図 2 の例では、FP12 の形状が L 字型になっている。図 2 の例では、ゲート電極 8 におけるソース電極 6 の側面には FP12 が取り付けられていないが、FP12 をソース電極 6 の側面に取り付けても、ドレイン電極 7 側の側面に取り付けていれば、リカバリ特性を改善する効果が得られる。

【0023】

抵抗 14 は一端が FP12 と接続され、他端がソース電極 6 と接続されている抵抗値 R_1 の第 1 の抵抗である。

抵抗 15 は一端が FP12 と接続され、他端がドレイン電極 7 と接続されている抵抗値 R_2 の第 2 の抵抗である。

【0024】

図 3 はこの発明の実施の形態 1 によるトランジスタを示す上面図である。図 2 の断面図は、図 3 における点線部の断面図である。

図 3 の例では、抵抗 14, 15 がチップ抵抗で構成されており、抵抗 14 はワイヤ 16 を介してソース電極 6 と接続され、ワイヤ 17 を介して FP12 と接続されている。

抵抗 15 はワイヤ 18 を介して FP12 と接続され、ワイヤ 19 を介してドレイン電極 7 と接続されている。

なお、図 3 では、ソース電極 6 を設置するためのビアが、ソース電極 6 の直下に直接形成されるピアホール構造 (ISV: Individual Source Via hole) であるが、ビアの構造は ISV に限るものではない。

【0025】

非特許文献 1 に開示されている GaNHEMT と、この実施の形態 1 の GaNHEMT との構造を比較すると、非特許文献 1 に開示されている GaNHEMT では、図 2 の FP12 に相当するソースフィールドプレート (SFP) が、グラウンドに接地されているソース電極と直接接続されている構造であるが、この実施の形態 1 の GaNHEMT では、FP12 が、グラウンドに接地されているソース電極 6 と抵抗 14 を介して接続され、また、ドレイン電極 7 と抵抗 15 を介して接続されている構造である点で相違している。

なお、この実施の形態 1 の GaNHEMT は、低雑音増幅器 (GaNLNA) に限らず

10

20

30

40

50

、例えば、高出力増幅器など、トラップによるリカバリ特性の劣化が問題となる増幅器に対して有効である。

【0026】

次に動作について説明する。

ゲート電極 8 の上部及びゲート電極 8 におけるドレイン電極 7 側の側面を覆うように、FP12 を絶縁膜層 11 上に形成することで、チャンネル層 3 に形成される 2 次元電子ガスからゲート電極 8 に向かう電界の一部が FP12 に分散されるため、ゲート電極 8 における電界集中が緩和されてトラップの影響が低減される。その結果、リカバリ特性が改善される。

このとき、FP12 が抵抗 14 を介さずに、グラウンドに接地されているソース電極 6 と直接接続されている構造（以下、「従来構造」と称する）の場合、FP12 の電位が 0 V に固定されるため、リカバリ特性の改善効果が小さいものとなる。

しかし、この実施の形態では、FP12 が抵抗 14 を介してソース電極 6 と接続されており、また、ドレイン電極 7 と抵抗 15 を介して接続されている。このため、FP12 には、プラスの電圧 V_{fp} が印加される構造になっている。

【0027】

プラスの電圧 V_{fp} が FP12 に印加されると、バリア層 4 の表面の電界が低減されて、バリア層 4 の表面のトラップに電子が捕まり難くなる。そのため、従来構造と比べて、トラップの影響が低減されて、リカバリ特性が改善される。

図 4 はこの発明の実施の形態 1 によるトランジスタのリカバリ特性を示す説明図である。

過電力の信号 (Pin) が GaNHEMT に入力された直後は、図 4 に示すように、窒化ガリウム (GaN) のトラップの影響でドレイン電流 I_d が減少し、その後、ドレイン電流 I_d が徐々に回復するという現象が生じる。

従来構造では、ドレイン電流 I_d の減少が大きいのにに対して、この実施の形態 1 の構造では、バリア層 4 の表面のトラップに電子が捕まり難くなっているため、ドレイン電流 I_d の減少が小さくなっており、リカバリ特性が改善されている。

【0028】

この実施の形態 1 でのリカバリ特性の改善をデバイスシミュレーションで検証しており、以下、この検証内容について説明する。

図 5 は実施の形態 1 の構造と従来構造において、図 2 の絶縁膜層 5 とバリア層 4 の界面から 0.5 nm 下の電界分布（以下、「バリア層表面の電界分布」と称する）のシミュレーション結果を示す説明図である。

このときのバイアス条件は、ドレイン電圧 $V_d = 30$ V、ゲート電圧 $V_g = -5$ V である。ただし、従来構造では、FP12 が抵抗 14 を介さずに、グラウンドに接地されているソース電極 6 と直接接続されているため、 $V_{fp} = 0$ V であるが、実施の形態 1 の構造では、 $V_{fp} = 2$ V である。

図 5 から明らかなように、バリア層表面の電界分布が、従来構造より実施の形態 1 の構造の方が低くなっており、トラップの影響を低減できていることが分かる。

【0029】

図 6 及び図 7 はドレイン電流 I_d のリカバリ特性のシミュレーション結果を示す説明図である。

図 7 は図 6 の縦軸に示すドレイン電流 I_d を Log 表示したものである。

図 6 及び図 7 から明らかなように、従来構造より実施の形態 1 の構造の方が、ドレイン電流 I_d の低減が小さいため、リカバリ特性が改善されていることが分かる。

【0030】

次に、抵抗 14, 15 の抵抗値 R_1, R_2 について説明する。

抵抗 14, 15 の抵抗値 R_1, R_2 は、10 k 以上の高抵抗である必要がある。抵抗 14, 15 の抵抗値 R_1, R_2 が低いと、ドレイン電流 I_d が抵抗 14, 15 側に流れてしまうためである。

10

20

30

40

50

また、F P 1 2 に印加される電圧 V_{fp} は、ドレイン電圧 V_d が抵抗 1 4 と抵抗 1 5 によって分圧された電圧であるため、下記の式 (1) のように表される。

$$V_{fp} = V_d \times \frac{R_1}{R_1 + R_2} \quad (1)$$

F P 1 2 に印加される電圧 V_{fp} は、トラップの影響が低減される効果を得るにはプラスの電圧である必要があるが、2 V を超えると、D C 特性に影響がでる可能性があるため、下記の式 (2) の条件を満足していることが望ましい。

$$0 < V_{fp} \leq 2 \quad (2)$$

10

式 (1) (2) より、抵抗値 R_1 に対する抵抗値 R_2 の比が、下記の式 (3) の条件を満足している必要がある。

$$\frac{R_2}{R_1} \geq \frac{V_d}{2} - 1 \quad (3)$$

【 0 0 3 1 】

以上で明らかのように、この実施の形態 1 によれば、ゲート電極 8 の上部及びゲート電極 8 におけるドレイン電極 7 側の側面を覆うように絶縁膜層 1 1 上に形成されている F P 1 2 を備え、F P 1 2 とソース電極 6 の間に抵抗 1 4 を接続するとともに、F P 1 2 とドレイン電極 7 の間に抵抗 1 5 を接続するように構成したので、リカバリ特性の改善度を高めることができる効果を奏する。

20

【 0 0 3 2 】

実施の形態 2 .

上記実施の形態 1 では、抵抗 1 4 , 1 5 がチップ抵抗で構成されており、抵抗 1 4 がワイヤ 1 6 , 1 7 によってソース電極 6 と F P 1 2 との間に接続され、また、抵抗 1 5 がワイヤ 1 8 , 1 9 によって F P 1 2 とドレイン電極 7 との間に接続されているものを示したが、抵抗 1 4 , 1 5 が基板 1 上にイオン注入抵抗として形成されているものであってもよい。

30

【 0 0 3 3 】

図 8 はこの発明の実施の形態 2 によるトランジスタを示す上面図であり、図 8 において、図 3 と同一符号は同一または相当部分を示すので説明を省略する。

図 8 では、抵抗 1 4 , 1 5 をモノシリックマイクロ波集積回路 (M M I C) として、トランジスタと同じ基板 1 上に形成している構造になっている。

また、抵抗 1 4 , 1 5 は、不純物イオンが注入されることで、n + 層が半導体層で形成されて作られるイオン注入抵抗である。

この実施の形態 2 では、トランジスタと同じ基板 1 上に抵抗 1 4 , 1 5 が形成されるため、上記実施の形態 1 よりも小型化を図ることができる。

【 0 0 3 4 】

実施の形態 3 .

図 9 はこの発明の実施の形態 3 によるトランジスタを示す回路図であり、図 1 0 はこの発明の実施の形態 3 によるトランジスタを示す断面図である。

図 9 及び図 1 0 において、図 1 及び図 2 と同一符号は同一または相当部分を示すので説明を省略する。

抵抗 2 0 は電圧 V_d が印加されている端子 9 とドレイン電極 7 の端子 2 1 との間に接続されている抵抗値 R_3 の第 3 の抵抗である。

なお、抵抗 1 4 , 1 5 , 2 0 は、上記実施の形態 1 のようにチップ抵抗で形成してもよいし、上記実施の形態 2 のように、M M I C としてイオン注入抵抗で形成してもよい。

抵抗 2 0 を実装している点以外は、上記実施の形態 1 , 2 と同様である。

40

50

【 0 0 3 5 】

次に動作について説明する。

図 1 1 はこの発明の実施の形態 3 によるトランジスタのリカバリ特性を示す説明図である。

図 1 1 では、実施の形態 1 , 3 の構造のリカバリ特性と、従来構造のリカバリ特性とを示している。

従来構造では、F P 1 2 が抵抗 1 4 を介さずに、グランドに接地されているソース電極 6 と直接接続されているため、 $V_{fp} = 0V$ である。

上記実施の形態 1 の構造では、常にプラスの電圧 V_{fp} が F P 1 2 に印加されている。

【 0 0 3 6 】

10

この実施の形態 3 では、電圧 V_d が印加されている端子 9 とドレイン電極 7 の端子 2 1 との間に抵抗 2 0 が接続されているため、過電力の信号 (P i n) が Ga N H E M T に入力されているときは、ドレイン電流 I_d が大きくなるため、端子 2 1 の電圧 V_{out} が低下して、F P 1 2 に印加される電圧 V_{fp} も低下する。

ただし、過電力の信号 (P i n) が Ga N H E M T に入力された直後は、ドレイン電流 I_d が急激に低下するため、端子 2 1 の電圧 V_{out} が上昇して、F P 1 2 に印加される電圧 V_{fp} も上昇する。

F P 1 2 に印加される電圧 V_{fp} が高くなると、F P 1 2 による電界低減効果が大きくなり、トラップ効果が低減される。

このため、図 1 1 に示すように、従来構造や上記実施の形態 1 の構造よりも、この実施の形態 3 の方が、リカバリ特性が改善される。

20

【 0 0 3 7 】

実施の形態 4 .

上記実施の形態 1 ~ 3 では、抵抗 1 4 , 1 5 を接続することで、プラスの電圧 V_{fp} が F P 1 2 に印加されるものを示したが、過電力の信号 (P i n) が入力されるタイミングでプラスの電圧 V_{fp} が F P 1 2 に印加されるようにしてもよい。

【 0 0 3 8 】

図 1 2 はこの発明の実施の形態 4 によるトランジスタを示す上面図であり、図 1 2 において、図 3 と同一符号は同一または相当部分を示すので説明を省略する。

スイッチング回路 2 2 は過電力の信号 (P i n) が入力されるタイミング (入力信号の電力が増加するタイミング) で、プラスの電圧 V_{fp} を F P 1 2 に印加する回路である。

30

即ち、スイッチング回路 2 2 は、過電力の信号 (P i n) が入力されるタイミングで、プラスの電圧 V_{fp} を F P 1 2 に印加するために、電圧 V_{fp} をパルス制御する回路である。

【 0 0 3 9 】

この実施の形態 4 では、スイッチング回路 2 2 が、過電力の信号 (P i n) が入力されるタイミングで、プラスの電圧 V_{fp} を F P 1 2 に印加するため、上記実施の形態 1 ~ 3 と同様に、過電力の信号 (P i n) が入力された直後のトラップ効果の低減が図られ、リカバリ特性が改善される。

したがって、上記実施の形態 1 ~ 3 と同様に、リカバリ特性の改善度を高めることができる効果が得られる。また、端子 9 に印加される電圧 V_d に依存せずに、電圧 V_{fp} を F P 1 2 に印加することができる。

40

【 0 0 4 0 】

なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

【 符号の説明 】

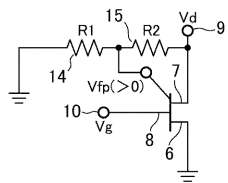
【 0 0 4 1 】

1 基板、2 バッファ層、3 チャネル層、4 バリア層、5 絶縁膜層、6 ソース電極、7 ドレイン電極、8 ゲート電極、9 , 1 0 端子、1 1 絶縁膜層、1 2

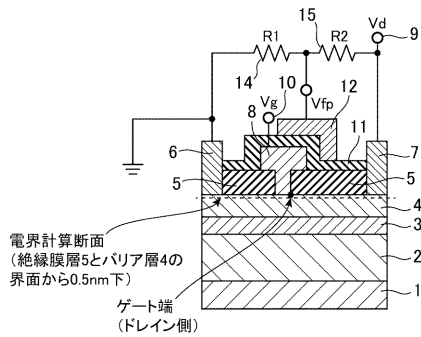
50

F P (金属板)、14 抵抗(第1の抵抗)、15 抵抗(第2の抵抗)、16, 17, 18, 19 ワイヤ、20 抵抗(第3の抵抗)、21 端子、22 スwitching回路。

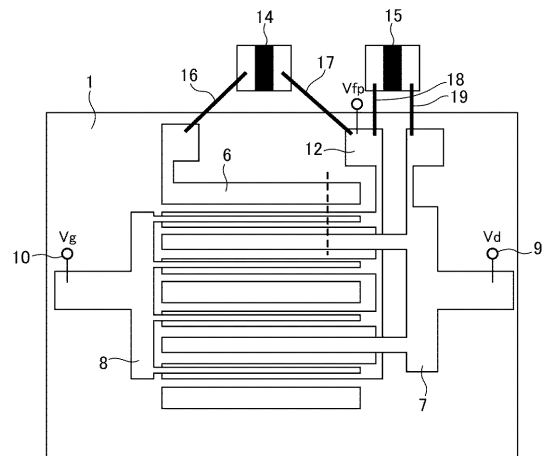
【図1】



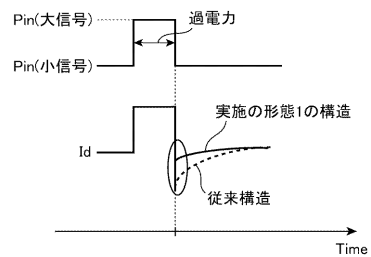
【図2】



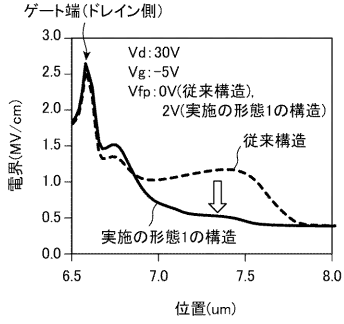
【図3】



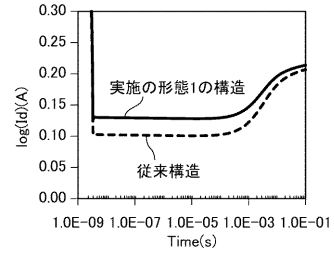
【図4】



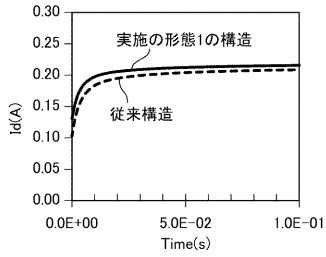
【 図 5 】



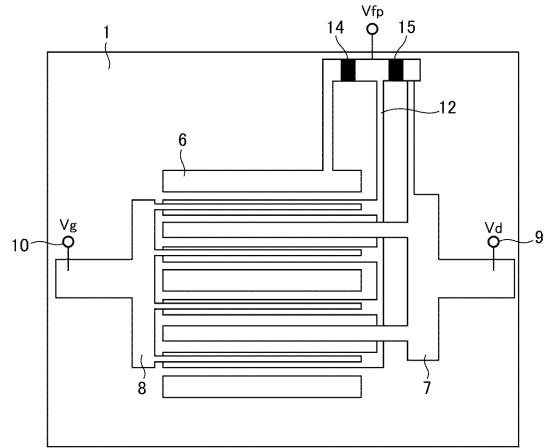
【 図 7 】



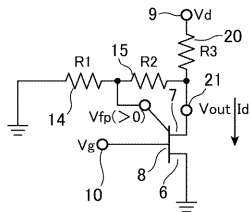
【 図 6 】



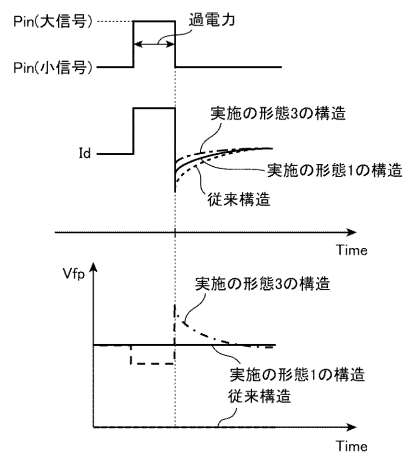
【 図 8 】



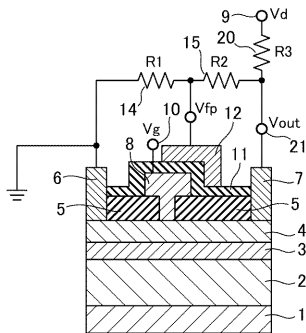
【 図 9 】



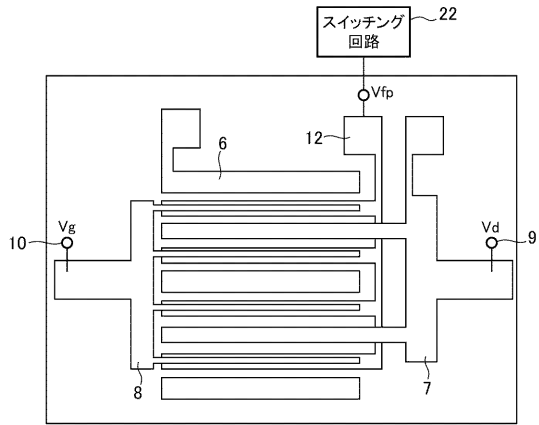
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L 21/8232 (2006.01)</i>		H 0 1 L	27/04	R
<i>H 0 1 L 27/06 (2006.01)</i>				
<i>H 0 1 L 21/822 (2006.01)</i>				
<i>H 0 1 L 27/04 (2006.01)</i>				

(72)発明者 山口 裕太郎
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 桑田 英悟
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 山中 宏治
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 小山 英寿
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 加茂 宣卓
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5F038 AR01 AR12 BE07 BH02 BH19 CD02 DF02 EZ01 EZ02 EZ10
 EZ13 EZ20
 5F102 FA01 GA17 GB01 GB02 GC01 GD01 GJ02 GJ03 GJ04 GJ10
 GK04 GK08 GL04 GL08 GM04 GQ01 GR12 GS04 GS09 GV06
 GV07 GV08