

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-276331
(P2008-276331A)

(43) 公開日 平成20年11月13日(2008.11.13)

(51) Int.Cl.			F I	テーマコード (参考)		
G06F	1/32	(2006.01)	G06F	1/00	332Z	5B011
G06F	1/04	(2006.01)	G06F	1/04	301C	5B079
G06F	1/26	(2006.01)	G06F	1/00	330C	
G06F	9/48	(2006.01)	G06F	9/46	452Z	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2007-116167 (P2007-116167)
(22) 出願日 平成19年4月25日 (2007.4.25)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘

最終頁に続く

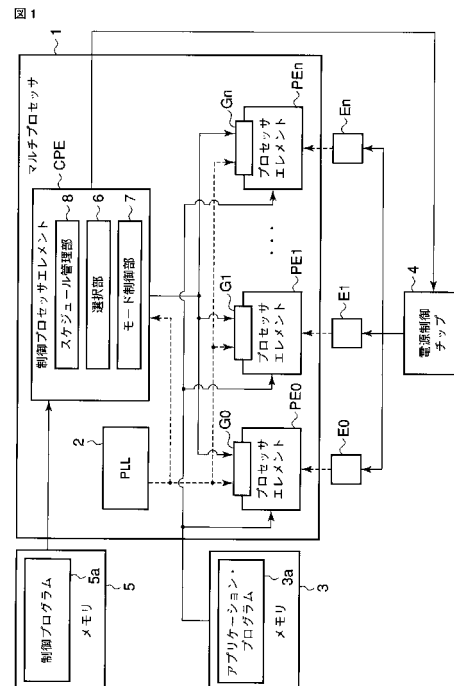
(54) 【発明の名称】 マルチプロセッサの制御装置及び方法

(57) 【要約】

【課題】 マルチプロセッサの消費電力の低減を図る。

【解決手段】 本発明の一態様に係るマルチプロセッサ1の制御装置CPEは、プロセッサエレメントPE₀~PE_nに割り当てられる複数のタスクの実行スケジュールに基づいて、プロセッサエレメントPE₀~PE_nのそれぞれに対して、タスクの実行中に用いられる通常モードと、タスクの実行されていない時間に用いられる通常モードよりも消費電力が抑制される第1のモードと、タスクの実行されていない時間に用いられる第1のモードよりも消費電力の抑制効果が大きいモード切替時間が長い第2のモードとのいずれかを選択する選択手段6と、プロセッサエレメントPE₀~PE_nのそれぞれに対して、選択手段6によって選択されたモードに応じた制御を実行するモード制御手段7とを具備する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のプロセッサエレメントに割り当てられる複数のタスクの実行スケジュールに基づいて、前記複数のプロセッサエレメントのそれぞれに対して、前記タスクの実行中に用いられる通常モードと、前記タスクの実行されていない時間に用いられ前記通常モードよりも消費電力が抑制される第 1 のモードと、前記タスクの実行されていない時間に用いられ前記第 1 のモードよりも消費電力の抑制効果が大きいモード切替時間が長い第 2 のモードとのいずれかを選択する選択手段と、

前記複数のプロセッサエレメントのそれぞれに対して、前記選択手段によって選択されたモードに応じた制御を実行するモード制御手段と

【請求項 2】

請求項 1 記載のマルチプロセッサの制御装置において、

前記選択手段は、前記複数のプロセッサエレメントに対して、

前記タスクの実行時間において前記通常モードを選択し、

前記タスクの実行終了から次のタスクの実行開始までの時間が第 1 のモード適用範囲に含まれる場合、前記タスクの実行終了から前記次のタスクの実行開始までの間に対して、前記第 1 のモードを選択し、

前記タスクの実行終了から次のタスクの実行開始までの時間が前記第 1 のモード適用範囲より長い場合、前記タスクの実行終了から前記次のタスクの実行開始までの間に対して、前記第 2 のモードを選択し、

前記次のタスクの実行時間において前記通常モードを選択することを特徴とするマルチプロセッサの制御装置。

【請求項 3】

請求項 1 又は請求項 2 記載のマルチプロセッサの制御装置において、

前記選択手段は、前記第 2 のモードを選択する場合、前記モード切替時間と前記第 2 のモードの実施時間とが、前記タスクの実行終了から次のタスクの実行開始までの時間を超えない範囲となるように、前記第 2 のモードの実施時間を決定し、

前記モード制御手段は、前記選択手段によって決定された前記第 2 のモードの実施時間だけ、前記第 2 のモードを実施する旨の命令を発することを特徴とするマルチプロセッサの制御装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項に記載のマルチプロセッサの制御装置において、

前記実行スケジュールでは、前記複数のタスクのうち並列に実行される必要のないタスクが、前記複数のプロセッサエレメントのうち特定のプロセッサエレメントに優先的に割り当てられていることを特徴とするマルチプロセッサの制御装置。

【請求項 5】

複数のプロセッサエレメントに割り当てられる複数のタスクの実行スケジュールに基づいて、前記複数のプロセッサエレメントのそれぞれに対して、前記タスクの実行中に用いられる通常モードと、前記タスクの実行されていない時間に用いられ前記通常モードよりも消費電力が抑制される第 1 のモードと、前記タスクの実行されていない時間に用いられ前記第 1 のモードよりも消費電力の抑制効果が大きいモード切替時間が長い第 2 のモードとのいずれかを選択し、

前記複数のプロセッサエレメントのそれぞれに対して、選択されたモードに応じた制御を実行する

ことを特徴とするマルチプロセッサの制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、1チップ上に複数のプロセッサエレメント（内部演算ユニット）が搭載され

10

20

30

40

50

たマルチプロセッサにおいて、低消費電力化を図るマルチプロセッサの制御装置及び方法に関する。

【背景技術】

【0002】

近年のマイクロプロセッサにおいては、周波数の向上よりむしろ、プロセッサエレメントの数の向上で、演算性能向上を図る傾向にある。

【0003】

複数のプロセッサエレメントを備えたマルチプロセッサでは、消費電力が低く抑制されることが好ましい。

【0004】

特許文献1には、チップ上に配置されている複数のプロセッサエレメントにおける消費電力を、各プロセッサエレメントに対しそれぞれ割り当てられたジョブの処理状況に応じて制御できるプロセッサエレメント監視制御手段が開示されている。

【0005】

特許文献2には、命令実行制御部における命令実行状態を監視し、命令アイドルカウンタにて一定時間の連続した停止状態が検出された場合、クロック分配制御部においてプロセッサ内のクロックを停止する発明が開示されている。

【0006】

特許文献3には、マルチタスクオペレーティングシステムが各CPUの利用量を監視し、利用量が少ないCPUに対して停止又はサスペンドさせる発明が開示されている。

【0007】

特許文献4には、待機時間の増減により、並列CPが処理すべきタスク量の増減を知り、実際に並列処理をするCPの数を決定し、残りのCPの動作電源を切断する発明が開示されている。

【0008】

特許文献5には、待機中のマイクロプロセッサがBUSY信号を出力し、待機中のクロックに切替える発明が開示されている。

【特許文献1】特開2004-240669号公報

【特許文献2】特開2000-112559号公報

【特許文献3】特開平11-202988号公報

【特許文献4】特開平6-309288号公報

【特許文献5】特開平4-88515号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

実際のアプリケーションは必ずしも高い並列度を持ったものばかりではない。並列度の低いアプリケーションをマルチプロセッサで実行すると、チップに搭載されている多数のプロセッサエレメントにおいて処理を実行していない時間が増える傾向にある。この場合、マルチプロセッサ全体で、無駄に電力を消費し、熱を発生させるという問題がある。

【0010】

本発明は、以上のような実情に鑑みてなされたもので、実行されるアプリケーションに対して適切な電力消費を実現するマルチプロセッサの制御装置及び方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題は、複数のプロセッサエレメントに割り当てられる複数のタスクの実行スケジュールに基づいて、複数のプロセッサエレメントのそれぞれに対して、タスクの実行中に用いられる通常モードと、タスクの実行されていない時間に用いられ通常モードよりも消費電力が抑制される第1のモードと、タスクの実行されていない時間に用いられ第1のモードよりも消費電力の抑制効果が大きいモード切替時間が長い第2のモードとのいずれ

10

20

30

40

50

かを選択する選択手段と、複数のプロセッサエレメントのそれぞれに対して、選択手段によって選択されたモードに応じた制御を実行するモード制御手段とを具備するマルチプロセッサの制御装置、により解決される。

【発明の効果】

【0012】

本発明により、実行されるアプリケーションに対して適切な電力消費を実現することができる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照しながら本発明の実施の形態について説明する。なお、以下の各図において同様の機能を実現する部分については同一の符号を付して説明を省略する。

【0014】

(第1の実施の形態)

本実施の形態においては、複数のプロセッサエレメントを1チップ上に搭載するマルチプロセッサにおいて、タスクのスケジューリングを行い、各プロセッサエレメントに対して通常モード、2段階で電力消費を抑制するRestモード及びSleepモードの切り替えを行う制御プロセッサエレメント(制御装置)について説明する。

【0015】

図1は、本実施の形態に係る制御プロセッサエレメントを具備するマルチプロセッサの構造の一例を示すブロック図である。

【0016】

マルチプロセッサ1は、1チップ上に複数のプロセッサエレメント $PE_0 \sim PE_n$ を具備する。さらに、マルチプロセッサ1は、クロックを発生するPLL(Phase Locked Loop)2、制御プロセッサエレメントCPEを具備する。

【0017】

プロセッサエレメント $PE_0 \sim PE_n$ は、メモリ3に記憶されているアプリケーション・プログラム3aを実行する。

【0018】

各プロセッサエレメント $PE_0 \sim PE_n$ には、それぞれクロックの供給時にON状態となり、クロックの供給停止時にOFF状態となるクロックゲート $G_0 \sim G_n$ が備えられている。

【0019】

各プロセッサエレメント $PE_0 \sim PE_n$ には、それぞれ電源モジュール $E_0 \sim E_n$ によって電源が供給される。

【0020】

電源制御チップ4は、制御プロセッサエレメントCPEからの命令にそって、電源モジュール $E_0 \sim E_n$ のON/OFFを切り替える。

【0021】

本実施の形態においては、各プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、電源モジュール $E_0 \sim E_n$ が対応付けされている場合を例として説明する。

【0022】

制御プロセッサエレメントCPEは、メモリ5に記憶されている制御プログラム5aを実行し、スケジュール管理部8、選択部6、モード制御部7として機能する。

【0023】

スケジュール管理部8は、プロセッサエレメント $PE_0 \sim PE_n$ に対するジョブ投入スケジュールを管理する。本実施の形態においては、スケジュール管理部8は、複数のタスクのうち並列に実行される必要のないタスクが、プロセッサエレメント $PE_0 \sim PE_n$ のうち特定のプロセッサエレメントに優先的に割り当てられるよう、タスクの実行スケジュールを調整する。

【0024】

10

20

30

40

50

選択部 6 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに割り当てられるアプリケーション・プログラム 3 a に含まれる複数のタスクの実行スケジュールに基づいて、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、通常モード、Rest モード、Sleep モードのいずれかを選択する。

【0025】

ここで、通常モードは、タスクを実行する通常の状態を意味する。

【0026】

Rest モードは、モード切替時間がそれほどかからないが消費電力抑制効果が小さいモードである。すなわち、Rest モードは、タスクが実行されていない時間に用いられ、通常モードよりも消費電力が抑制されるモードである。

【0027】

Sleep モードは、モード切替時間がそれなりにかかる代わりに消費電力抑制効果が大きいモードである。すなわち、Sleep モードは、タスクが実行されていない時間に用いられ、Rest モードよりも消費電力の抑制効果は大きいモード切替時間が長いモードである。

【0028】

なお、本実施の形態においては、Rest モード選択時には、クロックの供給停止を行い、Sleep モード選択時には、電源供給の停止を行う場合について説明する。しかしながら、Rest モードと Sleep モードとしては、上記の関係を有すれば他の消費電力抑制手法を用いるとしてもよい。他の消費電力抑制の手法としては、例えば、電源電圧抑制、周波数抑制、バックバイアス印加などを用いることができる。

【0029】

具体的には、選択部 6 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、タスクの実行時間において通常モードを選択する。

【0030】

また、選択部 6 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、タスクの実行終了から次のタスクの実行開始までの時間が、設定されている Rest モード適用範囲内の場合、このタスクの実行終了から次のタスクの実行開始までの間に対して Rest モードを選択する。

【0031】

さらに、選択部 6 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、タスクの実行終了から次のタスクの実行開始までの時間が、Rest モード適用範囲より長い場合 (Sleep モード適用範囲の場合)、このタスクの実行終了から次のタスクの実行開始までの間に対して Sleep モードを選択する。

【0032】

なお、選択部 6 は、Sleep モードを選択する場合、モード切替時間 (Sleep モードの前と後の双方) と Sleep モードの実施時間とが、タスクの実行終了から次のタスクの実行開始までの時間を超えない範囲となるように、Sleep モードの実施時間を決定する。

【0033】

そして、選択部 6 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、次のタスクの実行時間において通常モードを選択する。

【0034】

モード制御部 7 は、プロセッサエレメント $PE_0 \sim PE_n$ のそれぞれに対して、選択部 6 によって選択されたモードに応じた制御を実行する。

【0035】

具体的には、モード制御部 7 は、選択部 6 によって Rest モードが選択されたプロセッサエレメントのクロックゲートに対して OFF 状態となる旨のモード切替命令を発する。クロックゲートは、このモード切替命令に応じて、このクロックゲートに対応するプロセッサエレメントがタスクを実行していない状態になった後に、OFF 状態となる。また

10

20

30

40

50

、モード制御部7は、Restモードが解消されるプロセッサエレメントのクロックゲートに対してON状態となる旨のモード切替命令を発する。クロックゲートは、モード切替命令に応じて、ON状態となる。

【0036】

このように、クロックゲートにOFF状態となる旨のモード切替命令を発することで、このクロックゲートに対応するプロセッサエレメントで消費されるクロック消費電力をゼロにすることができる。

【0037】

さらに、モード制御部7は、選択部6によってSleepモードが選択されたプロセッサエレメントの識別情報と決定されたSleepモードの実施時間とを含むモード切替命令を電源制御チップ4に発する。

10

【0038】

電源制御チップ4は、モード切替命令の示すプロセッサエレメントに対応する電源モジュールを、モード切替命令の示すプロセッサエレメントがタスクを実行していない状態になった後、モード切替命令の示すSleepモードの実施時間だけ停止させる。

【0039】

このように、プロセッサエレメントに対応する電源モジュールをOFFとし、このプロセッサエレメントへの電源供給を停止することにより、このプロセッサエレメントの消費電力そのものをゼロにすることができる。

【0040】

以下に、上記のような構成の制御プロセッサエレメントCPEを搭載したマルチプロセッサ1を、具体例を用いながら説明する。

20

【0041】

本実施の形態に係るマルチプロセッサ1は、1チップ上に、例えば数百MHz～数GHz級の複数のプロセッサエレメントPE₀～PE_nを備えたチッププロセッサシステムである。

【0042】

マルチプロセッサ1は、プロセッサエレメントPE₀～PE_nに対するジョブ投入スケジュールを管理する制御プロセッサエレメントCPEを具備する。

【0043】

制御プロセッサエレメントCPEは、プロセッサエレメントPE₀～PE_nに対するジョブ投入スケジュールを管理する。なお、制御プロセッサエレメントCPEも、他のプロセッサエレメントPE₀～PE_nと同様にアプリケーション・プログラム3aの実行に用いられるとしてもよい。

30

【0044】

マルチプロセッサ1において消費電力抑制を図る手法としては、例えば、電源電圧抑制、周波数抑制、クロック供給停止、電源供給の停止、バックバイアス印加などがある。

【0045】

このマルチプロセッサ1では、プロセッサエレメントPE₀～PE_n単位、又はその上位のグループで2つの段階の消費電力抑制モードが設定される。

40

【0046】

Restモードでは、プロセッサエレメントPE₀～PE_nが通常に動作する通常モードからの移行、通常モードへの復帰にSleepモードよりも時間がかからないが、消費電力抑制効果はSleepモードよりも小さい消費電力抑制手法が用いられる。

【0047】

これに対して、Sleepモードでは、通常モードからの移行、通常モードへの復帰にRestモードよりも時間がかかるがRestモードより消費電力抑制効果が大きい消費電力抑制手法が用いられる。

【0048】

ここで、制御マルチプロセッサエレメントCPEは、各プロセッサエレメントPE₀～

50

PE_nに対し、ジョブの実行を指示する時に、Restモードへの移行、Sleepモードへの移行、移行しない（通常モードのまま）、のいずれかを選択する選択部6を具備する。

【0049】

制御マルチプロセッサエレメントCPEのモード制御部7は、どのようなタイミングであっても、プロセッサエレメントPE₀～PE_n及び電源制御チップ4に対して、モード切替命令を通知可能とする。すなわち、モード制御部7は、各プロセッサエレメントPE₀～PE_n及び電源制御チップ4に対して、同時であってもモード切替命令を発行可能である。

【0050】

なお、本実施の形態において、Sleepモードへ移行するモード切替命令については、このSleepモードの実施時間情報（例えば、何sec経過後に通常モードに復帰するかを示す時間パラメータなど）が付加される。

【0051】

プロセッサエレメントPE₀～PE_nは、指定されたジョブの処理を完了した場合、制御マルチプロセッサエレメントCPEから命令されたモードに移行する。

【0052】

例えば、Sleepモードへの移行を示すモード切替命令にしたがって電源制御チップ4がいずれかの電源モジュールによる電源供給を停止すると、この電源モジュールに対応するプロセッサエレメントがSleepモードに移行する。このSleepモードのプロセッサエレメントについてSleepモードの実施時間が経過すると、電源制御チップ4がSleepモードのプロセッサエレメントに対する電源供給を開始し、このプロセッサエレメントは自動的に通常モードへ復帰する。

【0053】

また、プロセッサエレメントPE₀～PE_nは、制御マルチプロセッサエレメントCPEからRestモードへの移行を示すモード切替命令を直接受けると、このモード切替命令にしたがってRestモードに移行する。例えば、プロセッサエレメントPE₀～PE_nは、Restモードを示すモード切替命令を受けた場合に、自己のクロックゲートG₀～G_nを閉じ、Restモードに移行する。また、例えば、プロセッサエレメントPE₀～PE_nは、通常モードへの移行を示すモード切替命令を受けた場合に、自己のクロックゲートG₀～G_nを開き、通常モードに移行する。

【0054】

図2は、本実施の形態に係る制御プロセッサエレメントCPEの動作の一例を示すフローチャートである。

【0055】

ステップS1において、制御プロセッサエレメント1の選択部6は、ジョブ投入スケジュールに基づいて、プロセッサエレメントPE₀～PE_nのうちのモード切替対象のプロセッサエレメントに対して、通常モード、Restモード、Sleepモードとのうちのいずれかを選択する。

【0056】

ステップS2において、制御プロセッサエレメント1のモード制御部7は、モード切替対象のプロセッサエレメントに対して、選択部6によって選択されたモードに応じた動作を実行するために、モード切替命令を発する。

【0057】

図3は、本実施の形態に係るマルチプロセッサ1によって実行されるアプリケーション・プログラム3aの一例を示すタスクフローグラフである。

【0058】

タスクフローグラフは、アプリケーション・プログラム3aのコンパイル時に作成される。図3において、丸表示されたものがタスクであり、丸の中の文字がタスク番号であり、丸の右上の数値がそのタスクの見込み実行時間（例えばsec）である。見込み実行時

10

20

30

40

50

間は、コンパイラによる静的解析などによって得られる。

【0059】

<第1例>として、図3のタスクフローに対するRestモードの選択について説明する。

【0060】

図4は、Restモードによるバリア同期時の消費電力抑制の一例を表す図である。

【0061】

タスクT6は、タスクT2, T3の実行結果を必要とし、タスクT7はタスクT3, T4の実行結果を必要とする。

【0062】

このように、複数のタスク実行結果に依存した後続タスクがある場合、先行の複数のタスク(例えば、タスクT2, T3)間でバリア同期が必要になる。

【0063】

タスクT2, T3又はタスクT3, T4のように、バリア同期が必要な同程度の見込み実行時間のタスクが投入される場合、両タスクはなるべく同程度の時期に終了し、時間的にも電力的にもロスなく処理されることが期待される。

【0064】

しかしながら、実際には、プロセッサエレメントのマイクロアーキテクチャ依存の問題、メモリアーキテクチャの問題などにより終了時間にずれが生じる。

【0065】

そこで、このようにバリア同期が必要であり、かつタスクの見込み実行時間が同程度のタスクを投入するようなケースでは、制御プロセッサエレメントCPEは、制御対象のプロセッサエレメントに、そのタスクの終了後Restモードに移行するように、予めRestモードを示すモード切替命令を通知しておく。

【0066】

そして、制御対象のプロセッサエレメントは、タスク実行を完了すると直ちにRestモードに移行する。

【0067】

これにより、バリア同期対象のタスク間において、そのタスクの終了時刻にずれが生じた場合であっても、無駄な電力消費を抑えることができる。

【0068】

Restモード中のプロセッサエレメントに対して新たなタスクを投入する場合、制御プロセッサエレメントは通常モードへ復帰する旨のモード切替命令を、モード切替対象のプロセッサエレメントに通知する。この場合において、Restモードから通常モードへの復帰時間は短いため、ほとんどロスなくタスクを投入できる。

【0069】

次に、<第2例>として、上記の図3のタスクフローに対するSleepモードの選択について説明する。

【0070】

図5は、Sleepモードによるバリア同期時の消費電力抑制の一例を表す図である。

【0071】

タスクT5は、タスクT6~T8と同様に、タスクT10を後続に持つ先行依存タスクである。

【0072】

先で説明した<第1例>にしたがった場合、タスクT5は、タスク実行終了後直ちにRestモードに移行すべきタスクである。

【0073】

しかしながら、静的スケジューリングによりタスクT5がマップされたプロセッサエレメントPE₃には、タスクT5実行終了後、割り当てられる後続タスクがしばらく(あるしきい値を超えて)ないことが認識される。

10

20

30

40

50

【0074】

このような場合、制御プロセッサエレメントCPEは、プロセッサエレメントPE₃に対してタスクT5実行終了後、Sleepモードに46secの間移行する旨のモード切替命令を電源制御チップ4に通知する。

【0075】

通常モードからSleepモードへのモード切替時間、及びSleepモードから通常モードへのモード切替時間は、Restモードの場合と比べて長くなる。すなわち、タスクの処理にプロセッサエレメントPE₃が必要となった時点で、Sleepモードから通常モードに復帰するのでは時間ロスが大きくなるため、この<第2例>では、タスクT5実行終了後から、次のタスクT15の開始前までの間に、通常モードからSleepモードへのモード切替時間、Sleepモードの実施時間、Sleepモードから通常モードへのモード切替時間が含まれるように、Sleepモードの実施時間を特定することが有効である。

10

【0076】

以上説明した本実施の形態においては、投入されるタスクの特性に応じて、通常モードと、消費電力抑制のための2段階のモードとのうちのいずれかが選択される。これにより、アプリケーション・プログラム3aを実行するマルチプロセッサ1を、適切な消費電力により動作させることができる。

【0077】

本実施の形態において、Sleepモードの実施時間は、モード切替時間を考慮して決定される。これにより、タスクの実行スケジュールに影響を与えることなく、消費電力を抑制することができる。

20

【0078】

本実施の形態においては、並列に実行される必要のないタスクをなるべく1つのプロセッサエレメントに集中させて実行させる。これにより、モード切替回数を少なくすることができ、一層の消費電力抑制効果が得られる。

【0079】

上記実施の形態において、各構成要素は同様の動作を実現可能であれば配置を変更させてもよく、また各構成要素を自由に組み合わせてもよく、各構成要素を自由に分割してもよく、いくつかの構成要素を削除してもよい。すなわち、本実施の形態については、上記の構成そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。

30

【0080】

例えば、電源制御チップ4と電源モジュールE₀~E_nを削除し、各プロセッサエレメントPE₀~PE_n自体がモード切替命令に応じて電源ON/OFFを切り替える機能を持つとしてもよい。すなわち、図6に例示するマルチプロセッサ9のように、プロセッサエレメントPE₀~PE_n自体が、モード切替命令を受信し、受信したモード切替命令に応じて自己のモードを切り替える機能を備えるとしてもよい。

【0081】

また、例えば、複数のプロセッサエレメントPE₀~PE_nに一つの電源モジュールが対応付けされており、この一つの電源モジュールが各プロセッサエレメントPE₀~PE_nへの電源の供給をON/OFF可能としてもよい。

40

【0082】

また、例えば、電源モジュールE₀~E_nと電源制御チップ4とを組み合わせた装置により、プロセッサエレメントPE₀~PE_nのいずれかには電源を供給し、プロセッサエレメントPE₀~PE_nの他のいずれかには電源供給を停止可能としてもよい。

【0083】

例えば、図7に示すように、プロセッサエレメントPE₀~PE_nのいずれかが、本実施の形態に係る制御プロセッサエレメントCPEと同様の動作を実施するとしてもよい。この図7のマルチプロセッサ10は、プロセッサエレメントPE₀によりジョブ投入スケジ

50

ユーザが管理され、プロセッサエレメント PE_0 から他のプロセッサエレメント $PE_1 \sim PE_n$ にモード切替命令が通知され、プロセッサエレメント $PE_1 \sim PE_n$ はモード切替命令にしたがってモードを切り替える。プロセッサエレメント PE_0 もアプリケーション・プログラム 3 a の実行に用いられるとしてもよい。

【0084】

(第2の実施の形態)

本実施の形態においては、上記第1の実施の形態の変形例について説明する。本実施の形態では、並列に実行する必要のないタスクを特定のプロセッサエレメントに集中させる最適化を行った場合と、集中させない場合との比較について説明する。

【0085】

本実施の形態では、マルチプロセッサに消費される電力100%のうち、ACで50%、クロックで40%、DCで10%が消費されると仮定する。ここで、ACとは回路が動作することによって消費する電力であり、クロックとはそのブロックに供給されているクロックで消費する電力であり、DCとはその回路のリーク電力である。

【0086】

また、本実施の形態においては、Restモードは動作周波数を1/4に抑制するモードであり、Sleepモードはクロック供給の停止を行う(クロックゲーティング)モードであるとする。

【0087】

この場合、図8に例示するように、Restモードでは、ACの割合50%+クロックの割合40% \times (3/4)=80%の電力を抑制できる。また、Restモードでは、モード切替時間が0.2secかかるとする。

【0088】

一方、Sleepモードでは、ACの消費電力の割合50%とクロックの消費電力の割合40%の全てがカットされ、90%の電力を抑制できる。また、Sleepモードでは、モード切替時間が5secかかるとする。

【0089】

図9は、なるべくプロセッサエレメント PE_2 にタスクが集められているが、各タスク間ではプロセッサエレメント $PE_0 \sim PE_3$ がidle状態となる(モード切替が行われない)場合のタスクフローグラフの一例を示している。

【0090】

この図9のタスクフローグラフに対するトータルの消費電力の評価値は248.9となる。

【0091】

図10は、特定のプロセッサエレメント PE_2 に並列に動作する必要のないタスクを集める最適化を行うとともに、モード切替を行う場合のタスクフローグラフの一例を示している。

【0092】

この図10のタスクフローグラフに対するトータルの消費電力の評価値は218.7となる。

【0093】

図11は、タスク配置の最適化は行われないが、モード切替が行われる場合のタスクフローグラフの一例を示している。

【0094】

この図11のタスクフローグラフに対するトータルの消費電力の評価値は228.5となる。

【0095】

上記図9から図10のタスクフローグラフにおけるシミュレーションによって得られる評価値は、数が少ないほど消費電力が抑制されている状態を表す。

【0096】

10

20

30

40

50

このシミュレーションにより、Restモード及びSleepモードへの切替を行う方が、Restモード及びSleepモードへの切替を行わない場合よりも消費電力が抑制可能であり、さらに、最適化を行うことで消費電力が抑制されることが確認される。

【0097】

なお、上記各実施の形態において、Restモードに周波数抑制を用い、Sleepモードに電源停止を用いるとしてもよい。

【図面の簡単な説明】

【0098】

【図1】本発明の第1の実施の形態に係る制御プロセッサエレメントを具備するマルチプロセッサの構造の一例を示すブロック図。

10

【図2】第1の実施の形態に係る制御プロセッサエレメントの動作の一例を示すフローチャート。

【図3】第1の実施の形態に係るマルチプロセッサによって実行されるアプリケーション・プログラムの一例を示すタスクフローグラフ。

【図4】Restモードによるバリア同期時の消費電力抑制の一例を表す図。

【図5】Sleepモードによるバリア同期時の消費電力抑制の一例を表す図。

【図6】第1の実施の形態に係るマルチプロセッサの第1変形例を示すブロック図。

【図7】第1の実施の形態に係るマルチプロセッサの第2変形例を示すブロック図。

【図8】Restモード及びSleepモードについてのモード切替時間と削減電力の比率との一例を示す図。

20

【図9】特定のプロセッサエレメントに並列に動作しなくてよいタスクを集める最適化がなされているが、モード切替が行われない場合のタスクフローグラフの一例を示す図。

【図10】特定のプロセッサエレメントに並列に動作しなくてよいタスクを集める最適化を行うとともに、モード切替を行う場合のタスクフローグラフの一例を示す図。

【図11】は、タスク配置の最適化は行われないが、モード切替を行う場合のタスクフローグラフの一例を示す図。

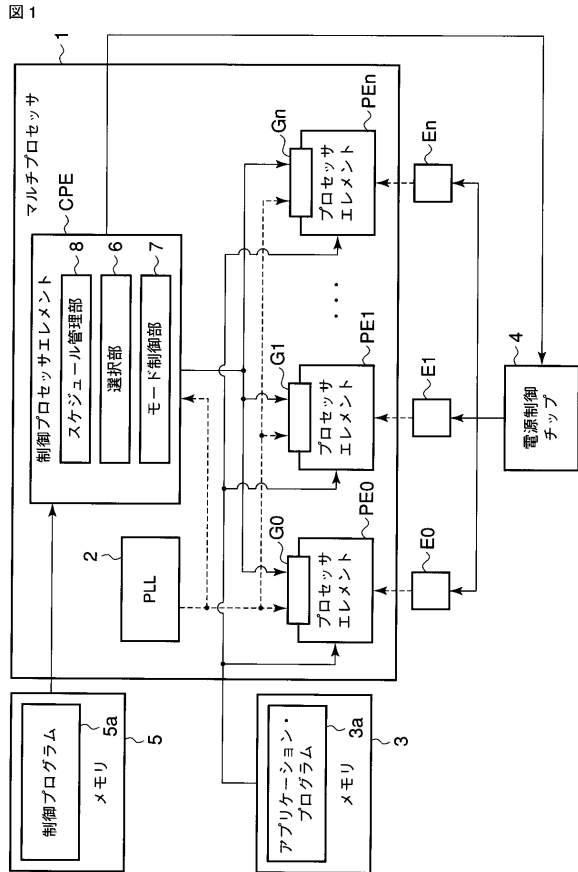
【符号の説明】

【0099】

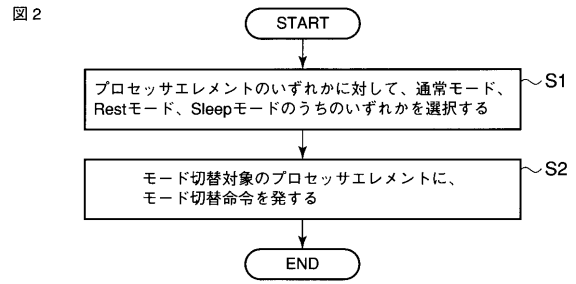
1, 9, 10 ... マルチプロセッサ、2 ... PLL、3, 5 ... メモリ、3a ... アプリケーション・プログラム、4 ... 電源制御チップ、5a ... 制御プログラム、6 ... 選択部、7 ... モード制御部、8 ... スケジュール管理部、CPE ... 制御プロセッサエレメント、PE₀ ~ PE_n ... プロセッサエレメント、G₀ ~ G_n ... クロックゲート、E₀ ~ E_n ... 電源モジュール

30

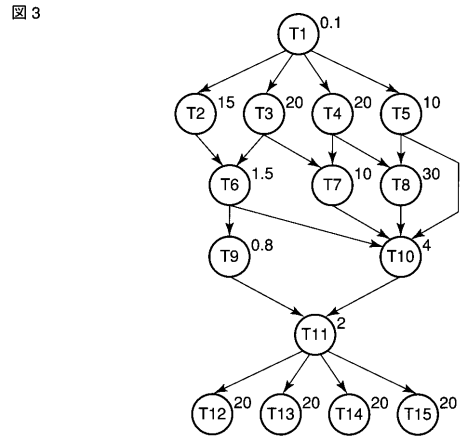
【 図 1 】



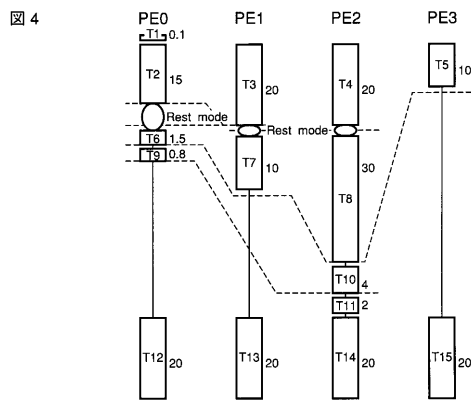
【 図 2 】



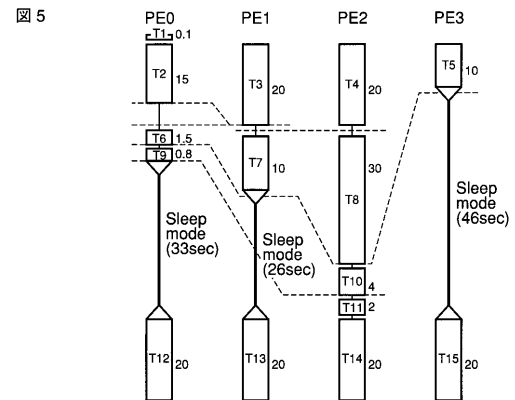
【 図 3 】



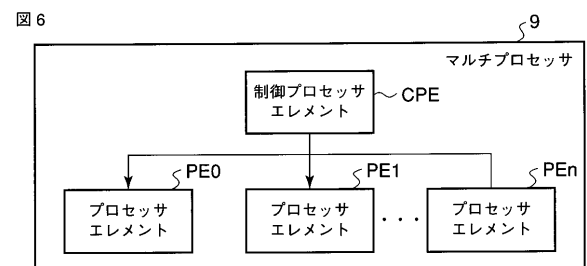
【 図 4 】



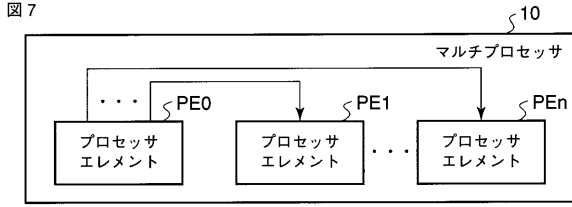
【 図 5 】



【 図 6 】



【 図 7 】



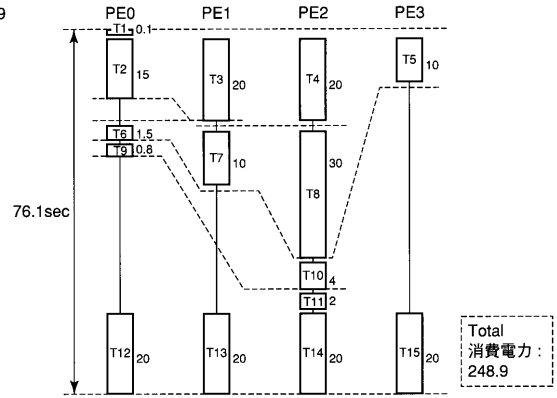
【 図 8 】

図 8

	Restモード	Sleepモード
モード切替にかかる時間	0.2sec	5sec
削減できる電力(比率)	-80%	-90%

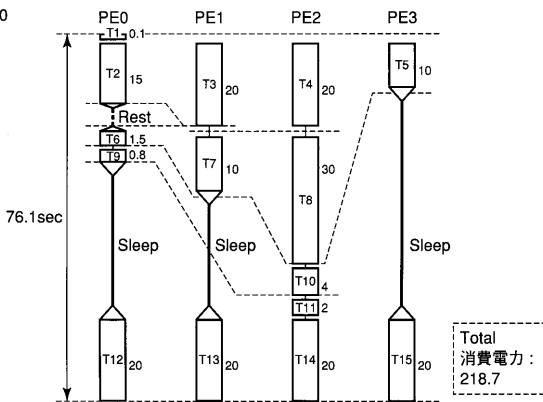
【 図 9 】

図 9



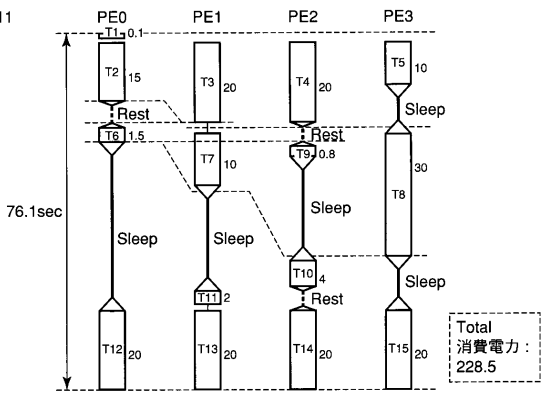
【 図 10 】

図 10



【 図 11 】

図 11



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 安川 英樹

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B011 EA02 FF01 FF02 KK02 KK03 LL12

5B079 AA06 BA11 BC01