

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年1月5日(2017.1.5)

【公表番号】特表2016-522936(P2016-522936A)

【公表日】平成28年8月4日(2016.8.4)

【年通号数】公開・登録公報2016-046

【出願番号】特願2016-513011(P2016-513011)

【国際特許分類】

G 0 6 F 12/08 (2016.01)

G 0 6 F 12/16 (2006.01)

【F I】

G 0 6 F 12/08 5 4 1 A

G 0 6 F 12/16 3 2 0 D

【手続補正書】

【提出日】平成28年11月14日(2016.11.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のデータアクセス経路内に設けられたメモリアクセス論理回路であって、

前記第1のデータアクセス経路内でデータレイ内のデータエントリをアドレス指定するための入力としてメモリアクセス要求のデータエントリアドレスの少なくとも一部分を受け取ることと、

前記第1のデータアクセス経路内の出力としてインデックスを生成することであって、前記インデックスは、前記データエントリアドレスの前記少なくとも一部分に対応する前記データレイ内の前記データエントリにアクセスする目的で前記データレイにインデックスを付けるために、データエントリアドレスインデックスを含む、こと

を行うように構成されたメモリアクセス論理回路と、

不完全データエントリコンパレータ回路およびデータエントリアドレスインデックスセレクトを備えるデータエントリリダイレクション回路であって、

前記不完全データエントリコンパレータ回路は、

前記第1のデータアクセス経路とは別個の第2のデータアクセス経路内に設けられ、前記データレイ内の前記データエントリにインデックスを付ける前に、

第2のコンパレータ入力における前記データレイ内の少なくとも1つの不完全データエントリアドレスを表す不完全データエントリインデックスレジスタから入力として前記少なくとも1つの不完全データエントリアドレスを受け取ることと、

前記データエントリアドレスの前記少なくとも一部分を、前記受け取られた少なくとも1つの不完全データエントリアドレスと比較することと、

前記第2のデータアクセス経路内の出力としてリダイレクションインデックスを生成することであって、前記リダイレクションインデックスは、前記データエントリアドレスの前記受け取られた少なくとも一部分が前記受け取られた少なくとも1つの不完全データエントリアドレスと一致する場合、前記データレイ内の冗長データエントリに対して、リダイレクションデータエントリアドレスインデックスを含む、ことと

を行うように構成され、

前記データエントリアドレスインデックスセレクトは、

前記データエントリアドレスの前記受け取られた少なくとも一部分が前記少なくとも1つの受け取られた不完全データエントリアドレスと一致する場合、前記データアレイにインデックスを付けるために前記リダイレクションインデックスを選択するように構成される、データエントリリダイレクション回路と
を備えるメモリ。

【請求項2】

前記データエントリアドレスインデックスセクタは、前記データエントリアドレスの前記受け取られた少なくとも一部分が前記少なくとも1つの受け取られた不完全データエントリアドレスと一致しない場合、前記データアレイにインデックスを付けるために前記インデックスを選択するようにさらに構成される、請求項1に記載のメモリ。

【請求項3】

前記不完全データエントリコンパレータ回路は、前記データエントリアドレスの前記受け取られた少なくとも一部分を前記受け取られた少なくとも1つの不完全データエントリアドレスと比較するための複数の比較段階を備える、請求項1に記載のメモリ。

【請求項4】

前記受け取られた少なくとも1つの不完全データエントリアドレスは、前記データアレイ内の少なくとも1つの不完全な行または少なくとも1つの不完全な列を示すことができる、請求項1に記載のメモリ。

【請求項5】

前記データエントリアドレスの前記少なくとも一部分は、前記データアレイ内のデータエントリの少なくとも1つの行またはデータエントリの少なくとも1つの列を表す、請求項1に記載のメモリ。

【請求項6】

前記データエントリリダイレクション回路は、第1のコンパレータ入力における前記第2のデータアクセス経路内の前記データアレイ内の前記データエントリをアドレス指定するための入力として前記データエントリアドレスの前記少なくとも一部分を受け取るようにさらに構成される、請求項1に記載のメモリ。

【請求項7】

前記データエントリリダイレクション回路は、第1のメモリアクセス要求のための前記データエントリアドレスの前記受け取られた少なくとも一部分が前記受け取られた少なくとも1つの不完全データエントリアドレスと一致する場合に前記データアレイ内の前記冗長データエントリに対して前記第2のデータアクセス経路内の前記出力として前記リダイレクションインデックスを生成しながら、前記第1のデータアクセス経路内の前記データアレイ内の第2のデータエントリをアドレス指定するための第2の入力として第2のメモリアクセス要求のためのデータエントリアドレスの少なくとも一部分を受け取るように構成される、請求項6に記載のメモリ。

【請求項8】

前記データエントリリダイレクション回路は、前記第2のデータアクセス経路内の前記出力として第2のリダイレクションインデックスを生成するように構成され、前記データエントリアドレスインデックスセクタは、前記データエントリアドレスの前記受け取られた少なくとも一部分が前記受け取られた少なくとも1つの不完全データエントリアドレスと一致する場合、前記データアレイにインデックスを付けるために前記リダイレクションインデックスを選択するように構成される、請求項7に記載のメモリ。

【請求項9】

キャッシュメモリからなり、前記データアレイはSRAMデータアレイからなる、請求項1に記載のメモリ。

【請求項10】

前記メモリアクセス論理回路は、データアレイアクセスの前に前記データアレイにインデックスを付けるためのタグアレイからなる、請求項9に記載のメモリ。

【請求項11】

前記タグアレイは、前記第1のデータアクセス経路内の前記出力として前記インデックスを生成する、請求項10に記載のメモリ。

【請求項12】

前記メモリアクセス論理回路および前記不完全データエントリコンパレータ回路は、第1のタイミングウィンドウ内で前記データアレイ内の前記データエントリにインデックスを付けるための前記入力として前記データエントリアドレスの前記少なくとも一部分を受け取るように構成される、請求項1に記載のメモリ。

【請求項13】

前記不完全データエントリコンパレータ回路は、前記出力として、前記メモリアクセス論理回路がインデックスを付ける前に、第2のタイミングウィンドウ内で前記データエントリアドレスの前記受け取られた少なくとも一部分を前記受け取られた少なくとも1つの不完全データエントリアドレスと比較するように構成され、前記データエントリアドレスの前記少なくとも一部分における前記第1のデータアクセス経路内の前記データアレイ内の前記データエントリは、第3のタイミングウィンドウ内の前記データエントリアドレスの前記受け取られた少なくとも一部分を表す、請求項12に記載のメモリ。

【請求項14】

集積回路に統合された、請求項1に記載のメモリ。

【請求項15】

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、携帯電話、セルラー電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(PDA)、モニター、コンピューモニター、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、携帯型音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、および携帯型デジタルビデオプレーヤからなる群から選択されるデバイスに統合される、請求項1に記載のメモリ。

【請求項16】

第1のデータアクセス経路手段内に設けられたメモリアクセス論理回路手段であって、前記第1のデータアクセス経路手段内でデータアレイ手段内のデータエントリ手段をアドレス指定するための入力としてメモリアクセス要求手段のデータエントリアドレス手段の少なくとも一部分を受け取ることと、

前記第1のデータアクセス経路手段内の出力としてインデックス手段を生成することであって、前記インデックス手段は、前記データエントリアドレス手段の前記少なくとも一部分に対応する前記データアレイ手段内の前記データエントリ手段にアクセスする目的で前記データアレイ手段にインデックスを付けるためのデータエントリアドレスインデックス手段を含む、ことと

を行うためのメモリアクセス論理回路手段と、

不完全データエントリコンパレータ回路手段およびデータエントリアドレスインデックスセクタ手段を備えるデータエントリリダイレクション回路手段であって、

前記不完全データエントリコンパレータ回路手段は、

前記第1のデータアクセス経路手段とは別個の第2のデータアクセス経路手段内に設けられ、前記データアレイ手段内の前記データエントリ手段にインデックスを付ける前に、

第2のコンパレータ入力手段における前記データアレイ手段内の少なくとも1つの不完全データエントリアドレス手段を表す入力手段として、不完全データエントリインデックスレジスタ手段から、前記少なくとも1つの不完全データエントリアドレス手段を受け取ることと、

前記データエントリアドレス手段の前記少なくとも一部分を、前記受け取られた少なくとも1つの不完全データエントリアドレス手段と比較することと、

前記第2のデータアクセス経路手段内の出力としてリダイレクションインデックス手段を生成することであって、リダイレクションインデックス手段は、前記データエント

リアドレス手段の前記受け取られた少なくとも一部分が前記受け取られた少なくとも1つの不完全データエントリアドレス手段と一致する場合、前記データアレイ手段内の冗長データエントリ手段に対して、リダイレクションデータエントリアドレスインデックス手段を備える、ことと

を行うためのものであり、

前記データエントリアドレスインデックスセクタ手段は、

前記データエントリアドレス手段の前記受け取られた少なくとも一部分が前記少なくとも1つの受け取られた不完全データエントリアドレス手段と一致する場合、前記データアレイ手段にインデックスを付けるために前記リダイレクションインデックス手段を選択するためのものである、データエントリリダイレクション回路手段と
を備えるメモリ。

【請求項 17】

データアレイ内の冗長データエントリに不完全データエントリをリダイレクトする方法であって、

データアレイ内のデータエントリにインデックスを付けるために第1のデータアクセス経路および第2のデータアクセス経路内でメモリアクセス要求のデータエントリアドレスの少なくとも一部分を受け取るステップと、

前記データエントリアドレスの前記少なくとも一部分を表すデータエントリインデックスにおいて前記第1のデータアクセス経路内の前記データアレイ内の前記データエントリにインデックスを付けるステップと、

前記データエントリアドレスの前記少なくとも一部分における前記データエントリにインデックスを付ける前に、前記データエントリアドレスの前記少なくとも一部分を、前記第2のデータアクセス経路内の不完全データエントリアドレスコンパレータ回路内の前記データアレイ内の不完全データエントリを表す不完全データエントリアドレスと比較するステップと、

前記比較によって、前記データエントリアドレスの前記少なくとも一部分と前記不完全データエントリアドレスとの間の一致が生成される場合、前記データエントリインデックスとしてリダイレクションインデックスにおける前記データアレイ内の前記データエントリにインデックスを付けるステップと、

前記比較によって、前記データエントリアドレスの前記少なくとも一部分と前記不完全データエントリアドレスとの間に前記一致が生成される場合、前記データエントリインデックスとして前記リダイレクションインデックスにおける前記データアレイ内の前記データエントリにアクセスするステップと

を含む方法。

【請求項 18】

前記データエントリアドレスの前記少なくとも一部分が前記不完全データエントリアドレスに一致しない場合、前記データエントリインデックスとして前記データエントリインデックスにおける前記データアレイ内の前記データエントリにアクセスするステップをさらに含む、請求項17に記載の方法。

【請求項 19】

前記データアレイ内の前記データエントリにインデックスを付けるために前記第1のデータアクセス経路および前記第2のデータアクセス経路内で前記データエントリアドレスの前記少なくとも一部分を受け取るステップをさらに含み、前記データエントリアドレスの前記少なくとも一部分は、前記データアレイ内のデータエントリの少なくとも1つの行またはデータエントリの少なくとも1つの列を表す、請求項17に記載の方法。

【請求項 20】

前記データエントリアドレスの前記少なくとも一部分を、前記不完全データエントリアドレスコンパレータ回路内の前記データアレイ内の前記不完全データエントリを表す前記不完全データエントリアドレスと比較するステップをさらに含み、前記不完全データエントリアドレスコンパレータ回路は、前記データエントリアドレスの前記受け取られた少な

くとも一部分を、複数の比較段階内の前記不完全データエントリを表す前記不完全データエントリと比較するように構成される、請求項18に記載の方法。

【請求項 2 1】

第2のメモリアクセス要求のためのデータエントリアドレスの少なくとも一部分における前記データエントリにインデックスを付ける前に、前記データエントリアドレスの前記少なくとも一部分を、第2のデータアクセス経路内の前記不完全データエントリアドレスコンパレータ回路内の前記データアレイ内の前記不完全データエントリを表す前記不完全データエントリアドレスと比較している間、前記データアレイ内の第2のデータエントリにインデックスを付けるために前記第1のデータアクセス経路および前記第2のデータアクセス経路内で前記データアレイ内の第2のデータエントリをアドレス指定するための第2の入力として、前記データエントリアドレスの前記少なくとも一部分を受け取るステップをさらに含む、請求項17に記載の方法。

【請求項 2 2】

前記比較によって、前記データエントリアドレスの前記少なくとも一部分と前記不完全データエントリアドレスとの間に前記一致が生成される場合、前記データエントリインデックスとして前記リダイレクションインデックスにおける前記データアレイ内の前記データエントリにアクセスしながら、前記第2のメモリアクセス要求のための前記データエントリアドレスの前記少なくとも一部分を、前記第2のデータアクセス経路内の前記不完全データエントリアドレスコンパレータ回路内の前記データアレイ内の第2の不完全データエントリを表す第2の不完全データエントリアドレスと比較するステップをさらに含む、請求項21に記載の方法。

【請求項 2 3】

前記データアレイ内の前記データエントリにインデックスを付けるために前記第1のデータアクセス経路内で前記データエントリアドレスの前記少なくとも一部分を受け取るステップをさらに含み、前記データアレイはキャッシュメモリである、請求項17に記載の方法。

【請求項 2 4】

前記データアレイ内の前記データエントリにインデックスを付けるために前記第1のデータアクセス経路内で前記データエントリアドレスの前記少なくとも一部分を受け取るステップをさらに含み、タグアレイは、前記データエントリアドレスの前記少なくとも一部分を受け取る、請求項21に記載の方法。