

294801

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 1995.11.21 案號： 08/560,758 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明一般而言係相關於兩個具有不同匯流排週期及資料存取之裝置之間的資料傳送。更特別地是，本發明係關於一種適用於如此之資料傳送的匯流排介面邏輯系統。

相關技藝引述

通常，一電腦系統係由至少一處理器而組成，該處理器連接至一或多個處理器及／或一或多個週邊裝置。但是，通常不同的處理器及週邊裝置由於不同的設計需求、技術或架構，具有不同之資料傳輸匯流排保有期間(tenure)。(一資料傳送保有期間係指一裝置在一匯流排上接收或傳送資料之擁有的時間長度。)當此情況發生時，除非該等不同處理器及週邊裝置為同步，以使得資料祇當一特定裝置備妥而接收／傳送資料時方傳送／接收，否則資料傳輸將不會發生。

如此之問題於IBM精簡指令集(Reduced Instruction-Set, RISC)電腦Power系列60X處理器及RISC PowerPC (PowerPC) 400系列之處理器中發生。IBM Power系列60X為一般用途之處理器，而PowerPC 400系列之處理器為應用導向處理或嵌入式控制器。意即，PowerPC 400系列之處理器係用於控制應用程式例如辦公室自動化，消費者電子系統，頂上裝設盒系統(set-top boxes)，或者電子之電源及壓縮必須自動化及簡化之工作。PowerPC 400系列之處理器提供包括至隨機存取記憶體(RAMs)與唯讀記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

(ROMs)之非固定(glueless)介面之單一功能。其亦提供直接記憶體存取(DMA)頻道，串聯埠，岔斷控制器等相同特性之功能。

因此，PowerPC 400系列之處理器必須與Power系列60X之處理器合併使用。但是，不幸地是PowerPC 400系列係由同時輸入一位址及一資料交易而傳送及接收資料，但是Power系列60X之處理器卻是由先輸入位址匯流排交易然後再輸入資料匯流排交易而傳送及接收資料。因此，這兩種處理器無法彼此傳輸資料。

因此，必須有一種技藝，可提供一種匯流排介面登入系統，其可使得Power系列60X之處理器與PowerPC 400系列之處理器之間資料傳輸同步，或具有不同資料傳送匯流排保有期間之任兩個或更多之處理器及／或其週邊裝置之間資料傳輸同步。

發明概要

本發明係由上述之需求而定位的。本發明係提供一種具有不同匯流排交易之兩種處理器之間的同步資料傳送之系統及方法，其藉由提供一緩衝器以儲存資料及一控制邏輯以將一並行位址與資料匯流排交易劃分成一位址匯流排交易再跟隨一資料匯流排交易。控制邏輯亦使資料直接流至緩衝器。在一讀取操作期間，請求裝置被強迫於輸入資料匯流排交易之前必須等待資料之可用性。在一寫入操作期間，資料匯流排交易係使用一儲存裝置來延遲，而該儲存裝置可有效地將資料交易與位址交易分離。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明³)

此外，本發明亦提供一輸入／輸出裝置及一記憶體裝置之間的掃越操作。這些操作係由將一第二匯流排與系統匯流排隔離並當所請求資料於系統匯流排上為可用之時，允許目的裝置獲取所請求之資料。

圖式簡述

圖1為用於本發明之典型的資料處理系統。

圖2為本發明之詳細方塊圖。

圖3為本發明當執行一DMA掃越操作時之詳細方塊圖。

圖4描述一讀取操作時之不同信號及其狀態。

圖5描述一寫入操作時之不同信號及其狀態。

圖6描述一DMA掃越操作時之不同信號及其狀態。

發明詳述

參考圖1標示為30，其顯示一種可於本發明中合併使用之典型的資料處理系統。資料處理系統30包括一中央處理單元(CPU)10，例如一RISC Power系列60X之處理器，其經由系統匯流排12內連接至不同之其他元件。特定之RISC Power系列60X之處理器可要求一連至具有匯流排12之介面的主橋(host bridge，未顯示於圖中)。唯讀記憶體(ROM)16係由匯流排12連接至CPU 10，並包括控制基本電腦功能之基本輸入／輸出系統(BIOS)。該等輸入／輸出(I/O)裝置，例如鍵盤24，軌跡球32，滑鼠26及揚聲器28，係皆由使用者介面協調器22內連至匯流排12。顯示螢幕38係由顯示協調器36連接至系統匯流排12，而印表機13係透過印表機協調器11連至匯流排12。在此狀況下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

，使用者可透過鍵盤24，軌跡球32或滑鼠26來輸入系統，並透過揚聲器28，顯示器38及印表機13而從系統輸出。隨機存取記憶體(RAM)14及I/O協調器18亦內連至系統匯流排12。I/O協調器18可為與一磁碟儲存裝置20通訊之小型電腦系統介面(SCSI)。

資料處理系統30透過匯流排介面邏輯系統34連接至資料處理系統40。資料處理系統包括一CPU 15與一匯流排17。CPU 15連接至匯流排17，而匯流排17並連至匯流排介面邏輯系統34。CPU 15可為一RISC PowerPC 400系列處理器。雖然資料處理系統40顯示其具有一CPU及一匯流排，應可被瞭解的是當於資料處理系統30中，該資料處理系統40可包含任意數目之內連接裝置。

如圖1所示之架構，CPU 10及15與記憶體裝置16及14和I/O裝置13，20，24，26，28及32之間互相處理並傳輸資料。於資料處理系統之間來回傳輸之資料係由匯流排12要求的。同樣地，於CPU 15之間來回傳輸之資料係由匯流排17要求的。然而，因於兩系統之匯流排保有期間不同，匯流排12上的資料若是沒有介面邏輯系統34的命令，是不可在匯流排上傳輸的。例如，CPU 10傳送及接收資料係由首先輸入一位址匯流排交易，然後再輸入一資料匯流排交易。在位址匯流排交易期間，一位址被送至一CPU想要通訊之特定裝置，或送至來自一要求裝置之CPU 10。在資料匯流排交易期間，資料由CPU 10接收或傳送。反之，CPU 15傳送及接收資料係由同時輸入位址及資料匯流排交易。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁵)

接著，匯流排介面邏輯系統34用以提供適當的交易選擇以允許資料處理系統30及40之間的資料傳送。注意，在此架構中，交易請求通常由CPU 15而啟動的。

CPU 15亦具有一晶片上(on-chip) DMA子系統，其包括儲存裝置及頻道以提供一I/O裝置與一記憶體裝置之間的DMA操作。這些DMA操作可於兩種型態中控制：一匯流排主控型態及一掃越型態。在一DMA匯流排主控操作中，DMA子系統由I/O裝置讀取並產生一記憶體之寫入操作。或者，DMA子系統由記憶體中讀取，將讀取於其儲存裝置之資料緩衝儲存，並產生一週期以將資料寫入I/O裝置。

寫入記憶體並從記憶體讀取之DMA掃越操作由下面所述而完成。於DMA寫入記憶體掃越操作時，DMA子系統產生一週期以從I/O裝置讀取資料。當資料讀取於匯流排上時，DMA子系統通知記憶體裝置：一寫入週期已開始且其應從匯流排中將資料拉出。於一DMA自記憶體讀取掃越操作時，DMA子系統產生一記憶體讀取週期，於該週期中記憶體裝置將資料放至匯流排中。當資料在匯流排上時，DMA子系統產生一I/O寫入週期以指示I/O裝置：其應專用來自匯流排的資料。該注意的是在兩種掃越操作期間，資料並未進入子系統之儲存裝置。

如圖1所示，I/O裝置及記憶體裝置皆於一Power系列60X之環境，而為CPU 15一部分之DMA子系統係於一PowerPC 400系列之環境中操作。因此，於上述之正常操

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

作狀態下，匯流排介面邏輯系統34係用以提供兩系統之同步。

圖2顯示一匯流排介面邏輯系統34之詳細方塊圖。匯流排介面邏輯系統34包括一控制邏輯44及一緩衝器42。控制器邏輯44提供介面必須之信號並使得匯流排12與匯流排17之間的傳輸同步。

緩衝器42提供資料之雙向傳輸。緩衝器42包括匯流排傳輸電路及具有三種狀態輸出之暫存器：一邏輯"0"，一邏輯"1"及一高阻抗輸出。高阻抗輸出用以當CPU 15於一DMA掃越操作中操作時，當匯流排12與匯流排17中隔離。該等暫存器係由D-型態之正反器(D-type flip flops)所組成的。緩衝器42具有直接來自輸入匯流排或內部暫存器，由多工資料配置之控制電路。緩衝器42亦於匯流排12及匯流排17兩邊上提供透明門(transparent latches)。(一透明門係指一種門，其當一控制信號於一狀態時，傳遞輸出資料，並當該控制信號於不顧及輸入資料之相反狀態時，保持該輸出資料。)BDATA為來自資料處理系統40之資料(即於匯流排17上的資料)且ADATA為來自資料處理系統30之資料(即於匯流排12上的資料)。BDATA及ADATA兩者皆為32位元的資料。時鐘46用以提供系統時鐘信號。

當CPU 15向CPU 10請求一讀取操作時，其由傳送一晶片選擇(CSn)信號至控制邏輯44開始，以初始化匯流排讀取保有期間。此處之CSn用以選擇RAM/ROM或外部I/O裝置，該等裝置被架構以作為CPU 15內的空白暫存器n，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

其中 $n=0$ 到 7。CPU 15 亦於 R/W 線上傳送一讀取請求，並傳送資料被讀取裝置之位址(此情況下為 CPU 10 之位址)。讀取請求亦送至緩衝器 42 以確保資料由匯流排 12 傳送至匯流排 17。此外，CPU 15 將一寫入位元致能(WBE<3..0>)信號傳送至控制邏輯 44。WBE<3..0>信號藉由展示四位元組資料之有效位元組數目而指示資料傳輸請求之型態(即一位元組，一半字組或一字組)。

反之，控制邏輯 44 當提供一備妥信號(READY)"低"給 CPU 15 時，提供一傳輸開始(TS)信號給 CPU 10。當備妥 READY"低"信號顯示資料尚未備妥傳送時，TS 信號指示 CPU 10 一資料交易之開始。控制邏輯 44 亦傳送一傳輸大小(TSIZE<2..0>)信號給 CPU 10。TSIZE<2..0>信號為由 CPU 15 傳送至邏輯裝置 44 之 WBE<3..0>信號之轉譯。

當 ADATA 為可用時，CPU 10 將其置於匯流排上，並聲明傳輸回應(TA, Transfer acknowledge)信號提供給緩衝器 42 及控制邏輯 44。TA 信號藉由緩衝器以將從匯流排 12 至緩衝器 42 之該等內部門之傳送資料門住。一由控制邏輯 44 偵測到 TA 信號時，立即將 READY 信號驅動為邏輯"1"，以指示資料將於下個時鐘週期備妥。控制邏輯 44 亦保持選擇 A-至-B(SAB)信號於邏輯的"1"，以於匯流排 17 上傳送已儲存之資料。

因此，在一讀取操作期間，匯流排介面邏輯控制 34 有效地將來自 CPU 15 的讀取匯流排交易分解成兩個匯流排交易(即一位址匯流排交易及一資料匯流排交易)。當位址信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

送至 CPU 10 時，系統立即輸入位址匯流排交易。當 READY 信號聲明時輸入資料匯流排交易。因此，在輸入資料匯流排交易之前，CPU 15 被強迫等待，直到資料從 CPU 10 釋放為可用。結果，CPU 15 之讀取保有期間必須延長以補償資料從 CPU 10 釋放為可用之時間。

於一寫入操作中，CPU 15 由傳送一 CS_n 信號至控制邏輯 44 開始，以標示匯流排寫入交易之開始。處理器亦將一 ADDR 信號傳送至 CPU 10 並將寫入請求傳送至 CPU 10 及緩衝器 42。在此情況下，送至緩衝器 42 之寫入請求指示資料係由匯流排 17 傳送至匯流排 12。然後控制邏輯 44 提供一 TS 信號至 CPU 10，以指示匯流排交易的開始。

一經請求寫入操作，CPU 15 將資料放至匯流排 17 上。控制邏輯 44 將 SAB 及輸出致能(OE)信號驅動為邏輯的"0"，以允許匯流排 17 至匯流排 12 之即時資料傳送。控制邏輯亦將 READY 信號驅動為邏輯的"0"，以指示 CPU 10 尚未備妥以接收資料。當備妥時，CPU 10 由聲明 TA 而取樣資料。

因此，當於讀取匯流排保有期間，寫入匯流排保有期間被劃分為一位址及一資料匯流排交易。之後當位址一經送至 CPU 10，則產生位址匯流排保有期間。然而，FIFO 緩衝器用以延遲從 CPU 15 至 CPU 10 之資料可用性，以有效地從位址匯流排交易分離資料匯流排交易。

如圖 3 所示，不同的信號係包含於 DMA 掃越操作中。例如，當顯示協調器 36 為顯示螢幕 38 時，請求一 RAM 14 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽⁹⁾

DMA掃越自記憶體讀取操作，其由傳送一直接記憶體存取請求(DRAM<3..0>)信號至CPU 15開始。注意於頻道上產生之直接記憶體存取係特定為DRAM<3..0>信號中。CPU 15經由於位址匯流排上放置一有效的列位址(RAS<0..3>)及行位址(CAS<0..3>)信號而授權請求。CPU 15亦提供一DMA回應(DMAA<3..0>)信號至控制邏輯44並提供至顯示協調器36。一經接收此信號，控制邏輯44由將OE信號驅動至邏輯的"1"而三狀態化匯流排17。此可將匯流排17由匯流排12中獨立，於其中RAM 14及顯示協調器36之間的DMA掃越讀取交易發生。一旦被請求的資料由匯流排12中釋放為可用的，顯示協調器36便獲取該資料並將它提供給螢幕38。注意，於一DMA寫入記憶體掃越操作中，相同的信號順序發生，除了資料係經由顯示協調器36而放置於匯流排12上，且一經成為可用的，便由RAM 14獲得。

圖4係當CPU 15請求一讀取操作時，描述不同的信號及狀態。信號sysclk為系統時鐘信號且該等時段係時鐘週期。在時鐘週期1時，讀取請求尚未被初始化且系統係處於閒置狀態(即，於執行其最後操作之後的狀態)。在時鐘週期2開始時，信號CSn從一邏輯"1"轉換至一邏輯"0"。而R/W及ADDR信號被適當地轉換。意即，假若最後操作為一寫入操作，則信號R/W於時鐘週期1時將為"低"。因而，信號R/W將必須於時鐘週期2之開始時驅動為邏輯的"1"，以指示一讀取操作(在此情況下，一邏輯的"1"或"高"信

五、發明說明⁽¹⁰⁾

號表示一讀取操作，而一邏輯的"0"或"低"信號表示一寫入操作)。換言之，假若最後操作為一讀取操作，則R/W信號將於時鐘週期1時為邏輯"1"狀態，且不需要再做任何事。

ADDR信號將視那個裝置被定址而驅動為一邏輯的"1"或邏輯的"0"。以簡化之目的，ADDR信號可被顯示為一轉換成邏輯的"1"或邏輯的"0"之信號，然而須注意的是，可能有多個信號藉此每個可成為一邏輯的"1"或邏輯的"0"以形成選定裝置之特定位址。TS信號驅動為"低"，必須注意的是雖然BDATA可能為可用的(active)，但此資料卻不是有效的。

在時鐘週期3之開始時，TS及SAB信號皆驅動為邏輯的"1"。時鐘週期4為一等待週期。即在時鐘週期4時，系統等待ADATA之可用時，沒有任何動作發生。雖然等待週期係以一個時鐘週期來描述，其事實上是視目標(target)裝置之讀取而定，因此時間可能比一個週期還長。

在時鐘週期5時，信號TA變成"低"以顯示ADATA現在是可用的。於是在時鐘週期6時開始將ADATA傳送至緩衝器42，而READY變成"高"以指示CPU 15所請求的資料為可用的。TA及ADATA返回其原始狀態而有效之BDATA開始被傳送。在時鐘週期7時，CSn及READY返回其原始狀態，而於時鐘週期8時，ADDR，R/W及SAB返回其原始狀態。因為CSn指示匯流排傳送之開始及結束，當CSn轉換回邏輯的"1"時，BDATA停止其有效性。於時鐘週期9時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽¹¹⁾

系統返回其閒置裝置。

如圖5所示，於一寫入操作時，不同的信號執行相似之轉換。例如於時鐘週期2時，ADDR將所選定裝置之位址而決定驅動為一邏輯的"1"或邏輯的"0"。R/W將視其前面的狀態而決定變成"低"或保持為"低"。由於一寫入操作之即時資料傳送，ADATA及BDATA兩皆將皆為有效的。於時鐘週期3時，TS返回其原始狀態。如同於讀取週期一般，時鐘週期4為一等待週期。於時鐘週期5時，TA轉換成爲一邏輯的"0"。於時鐘週期6及7時，TA及READY兩者皆改變其狀態，CS、READY、R/W及ADDR返回其原始狀態。ADATA及BDATA停止為有效的。

圖6係於一DMA掃越操作中，描述不同之信號及其狀態。於時鐘週期1時，DMA請求被接收(DMAR<3..0>變為"低")。於時鐘週期2時，未發生任何動作。於時鐘週期3時，列及行位址由聲明RAS<0..3>及CAS(0..3)而選定。於時鐘週期4時發生一些事件。DMAA<3..0>轉換成邏輯的"0"以回應請求。R/W將視其為一讀取或一寫入請求而決定停留在邏輯的"0"或轉換為邏輯的"1"，而DMAR<3..0>將驅動為邏輯的"1"。列位址將放至位址線且OE將變為"高"以隔離CPU 15。然後，RAS<0..3>信號轉換為邏輯的"0"。

於時鐘週期5時，行位址放至位址線，ADATA變為有效的，而且CAS<0..3>驅動為邏輯的"0"。於時鐘週期6時，DMAA<3..0>返回邏輯的"1"，因而結束回應。於時鐘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽¹²⁾

週期7時，RAS<0..3>及CAS<0..3>信號返回邏輯的"1"，且ADATA停止為有效的。於時鐘週期8時，R/W信號返回其原始狀態，且OE，RAS<0..3>及CAS<0..3>信號返回至一邏輯的"0"。於時鐘週期9時系統返回其閒置狀態。

雖然本發明之特殊顯示及說明係參考為較佳實施例，其可為熟知本技藝領域者所瞭解，且在不悖離本發明之精神下加以變化或修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1. 一種匯流排介面邏輯系統包括：
用以儲存資料之儲存裝置；及
控制邏輯裝置，用以將一並行之位址及資料匯流排交易劃分成一位址匯流排交易再跟隨一資料匯流排交易。
2. 根據申請專利範圍第1項之匯流排介面邏輯系統，其中該控制邏輯裝置由提供一第一控制信號至該請求裝置而將來自一請求裝置之讀取請求劃分成該位址交易及該資料交易。
3. 根據申請專利範圍第2項之匯流排介面邏輯系統，其中該控制邏輯裝置產生一第二控制信號，以將該資料從第一匯流排傳送至一第二匯流排。
4. 根據申請專利範圍第3項之匯流排介面邏輯系統，其中該控制邏輯裝置尚包括輸入裝置，用以接收一初始化一匯流排請求交易之第一信號。
5. 根據申請專利範圍第4項之匯流排介面邏輯系統，該裝置用以將一四位元資料大小之請求轉一三位元資料大小之請求。
6. 根據申請專利範圍第5項之匯流排介面邏輯系統，其中該控制邏輯產生一允許直接記憶體掃越操作之第三控制信號。
7. 根據申請專利範圍第6項之匯流排介面邏輯系統，其中該第三控制信號將該第一匯流排與該第二匯流排隔離(isolate)。
8. 根據申請專利範圍第7項之匯流排介面邏輯系統，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

該儲存裝置包括雙向輸入／輸出裝置，以接收及傳送該資料。

9. 一種介面邏輯系統，用以同步具有不同的匯流排週期之一第一及一第二網路之間的資料傳輸，包括：

儲存裝置，用以暫時儲存於第一網路及第二網路之間傳輸的資料，該儲存裝置具有用以接收及傳送該資料之輸入／輸出裝置，及用以接收該等控制信號之輸入信號裝置；及

控制邏輯裝置，用以將同步信號提供給第一網路及第二網路，且用以將該等控制信號提供給儲存裝置，該等同步信號包括諸信號，用以將一並行的位址及資料匯流排交易劃分成一位址匯流排交易再跟隨一資料匯流排交易。

10. 根據申請專利範圍第9項之介面邏輯系統，其中該等同步信號包括一提供給該第一網路之第一信號，及一提供給該第二網路之第二信號。

11. 根據申請專利範圍第10項之介面邏輯系統，其中該等控制信號包括一信號，用以將一第一匯流排與一第二匯流排隔離，及一第二信號，用以於該儲存裝置中導引資料流。

12. 根據申請專利範圍第11項之介面邏輯系統，其中該控制邏輯裝置將一第一網路之信號轉譯成一第二網路之信號。

13. 根據申請專利範圍第12項之介面邏輯系統，其中該控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

邏輯裝置允許一輸入／輸出裝置與一連結至該第二網路之記憶體裝置之間的直接記憶體存取掃越操作。

14. 一種於具有不同匯流排週期之一第一及一第二處理器之間同步傳輸資料之方法，包括下列步驟：

於儲存裝置中接收及儲存該資料；

將一並行的位址及資料匯流排劃分成一位址匯流排交易再跟隨一資料匯流排交易。

15. 根據申請專利範圍第14項之方法，其中劃分該並行的位址及資料匯流排交易之步驟包括產生一用以延遲該資料匯流排交易之控制信號的步驟。

16. 根據申請專利範圍第14項之方法，其中劃分該並行的位址及資料匯流排交易之步驟包括將一第一控制信號提供給該請求裝置之步驟。

17. 根據申請專利範圍第16項之方法，尚包括產生一用以將資料從一第一匯流排傳送至一第二匯流排之第二控制信號的步驟。

18. 根據申請專利範圍第17項之方法，尚包括將一四位元資料大小之請求轉換為一三位元資料大小之請求的步驟。

19. 根據申請專利範圍第18項之方法，尚包括產生一允許直接記憶體存取掃越操作之第三控制信號的步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

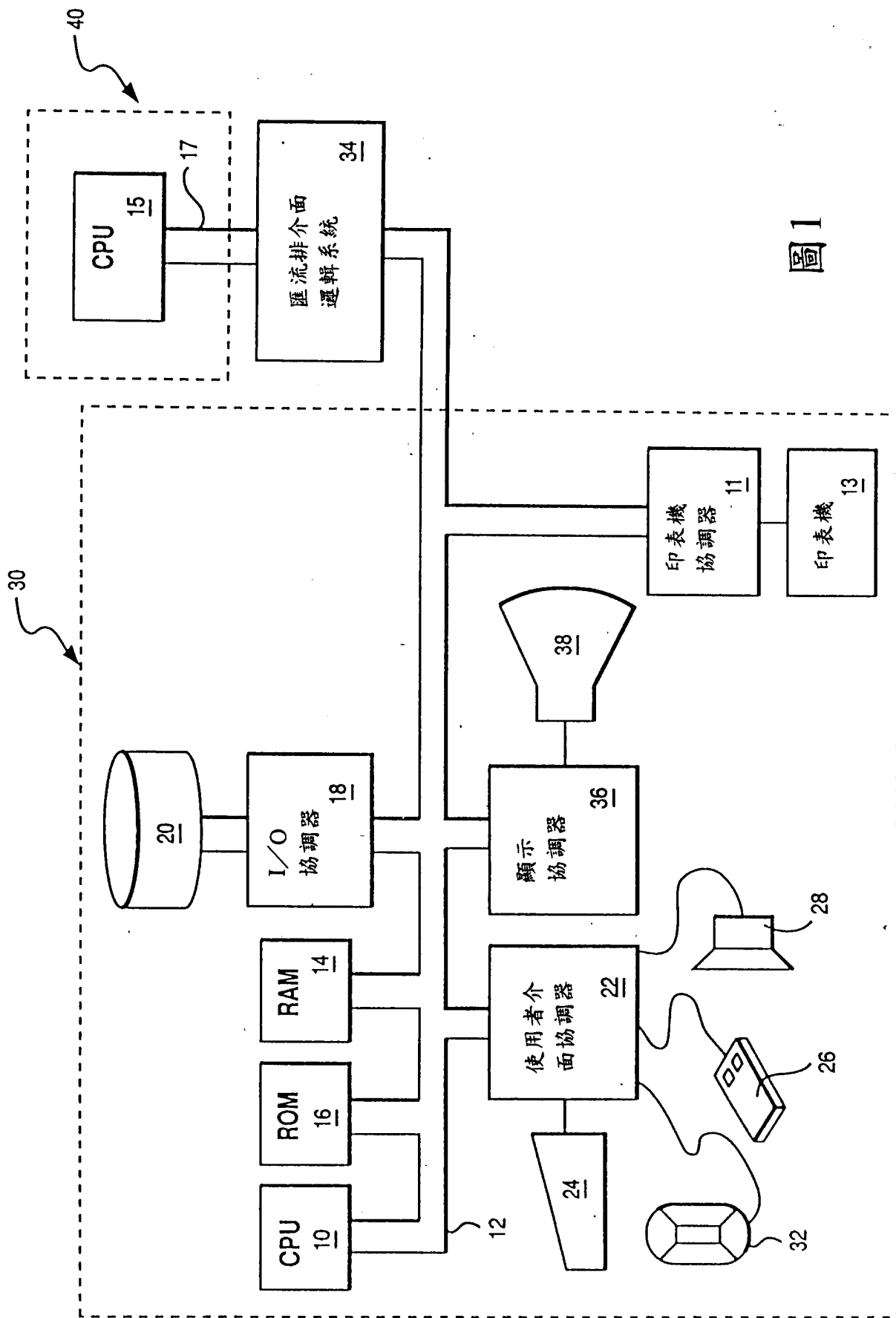


圖1

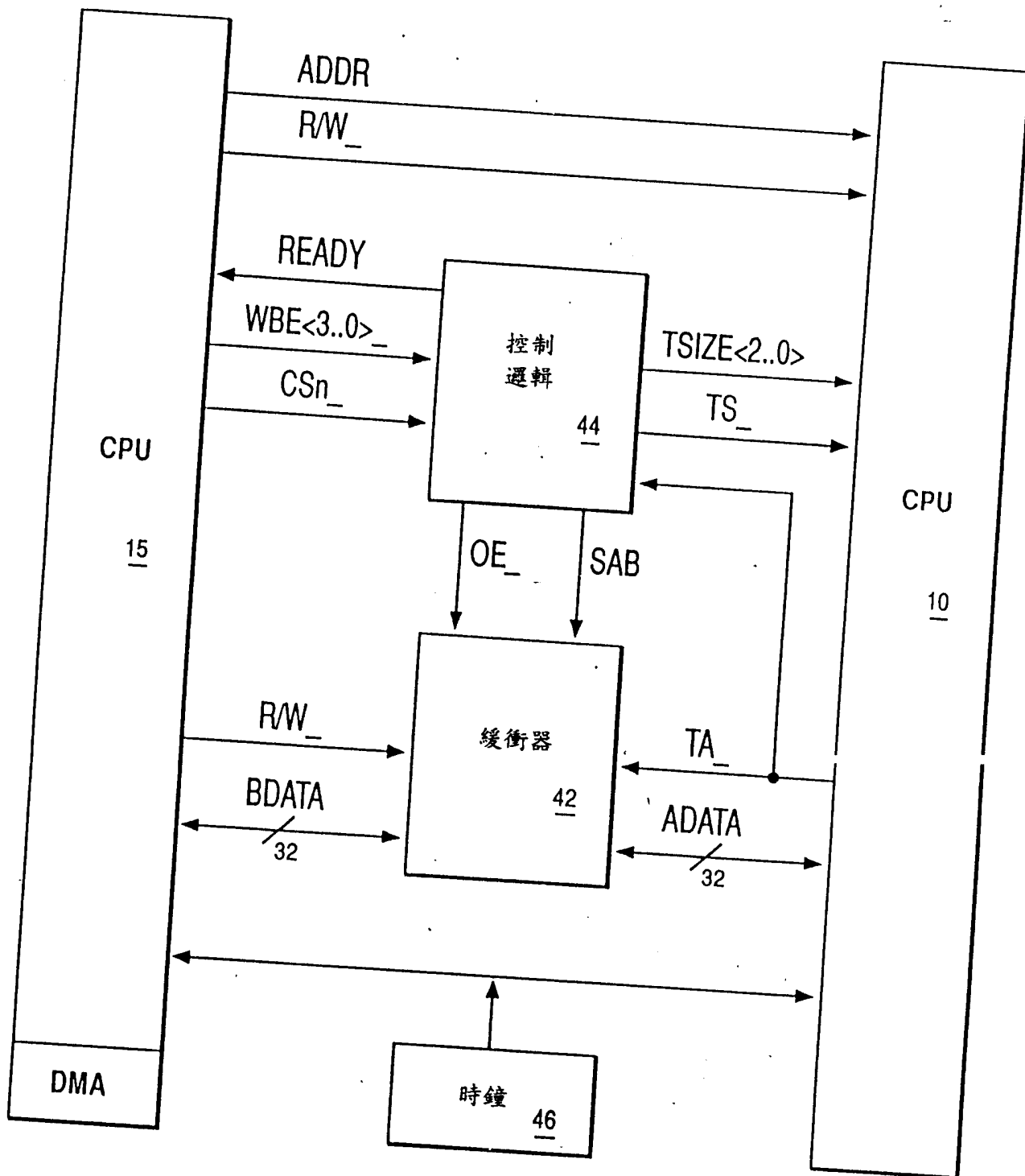


圖2

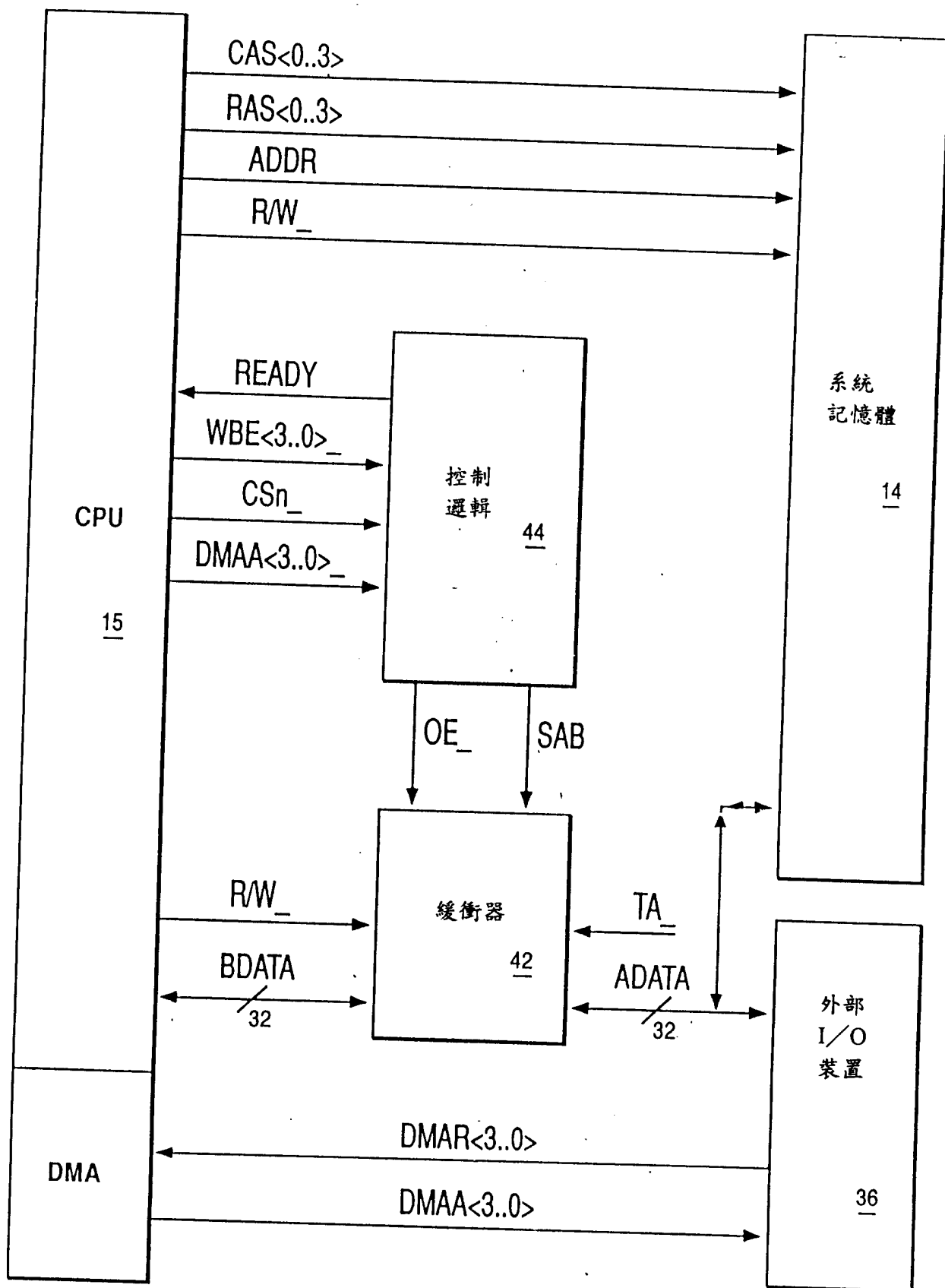


圖3

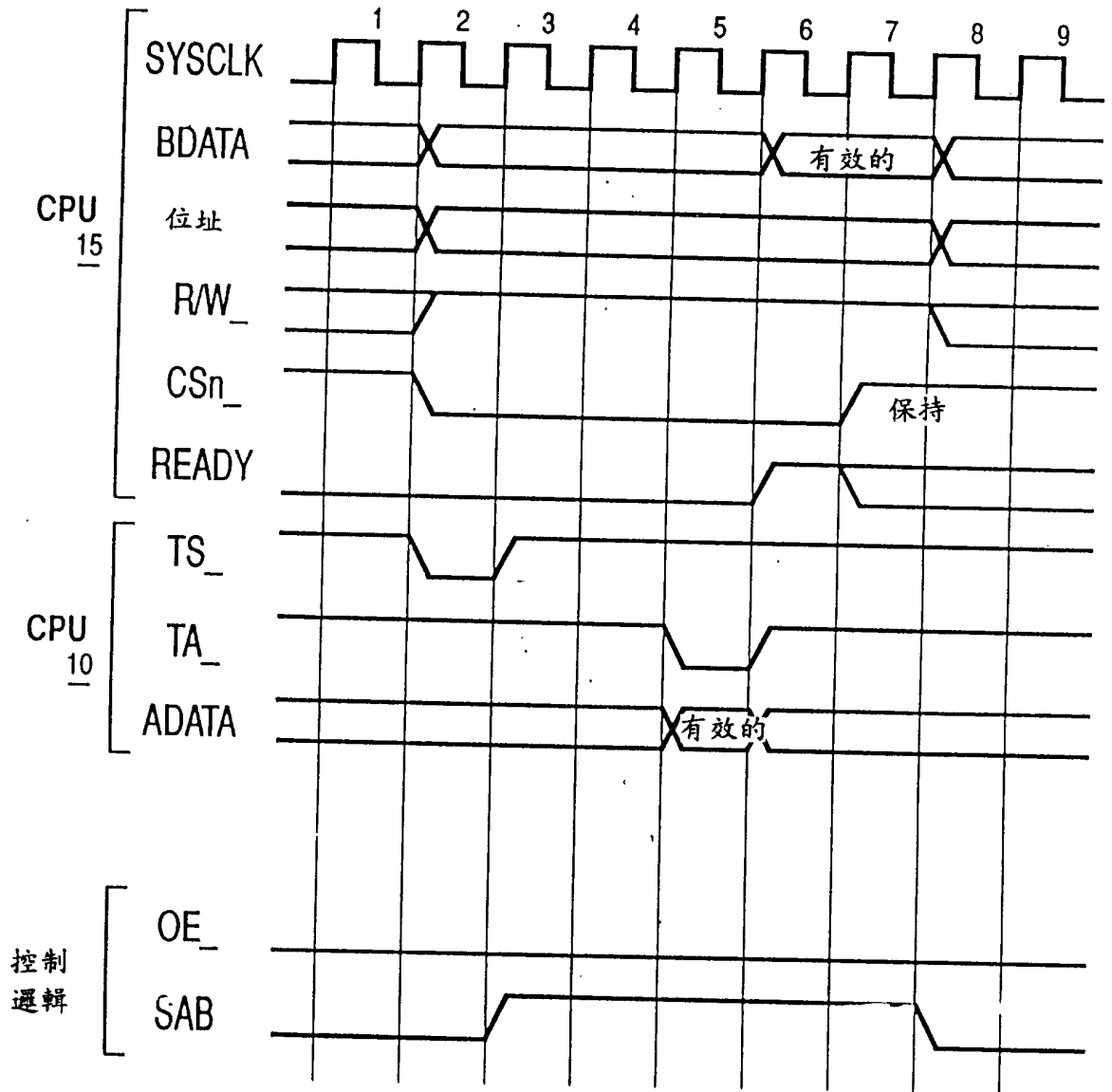


圖4

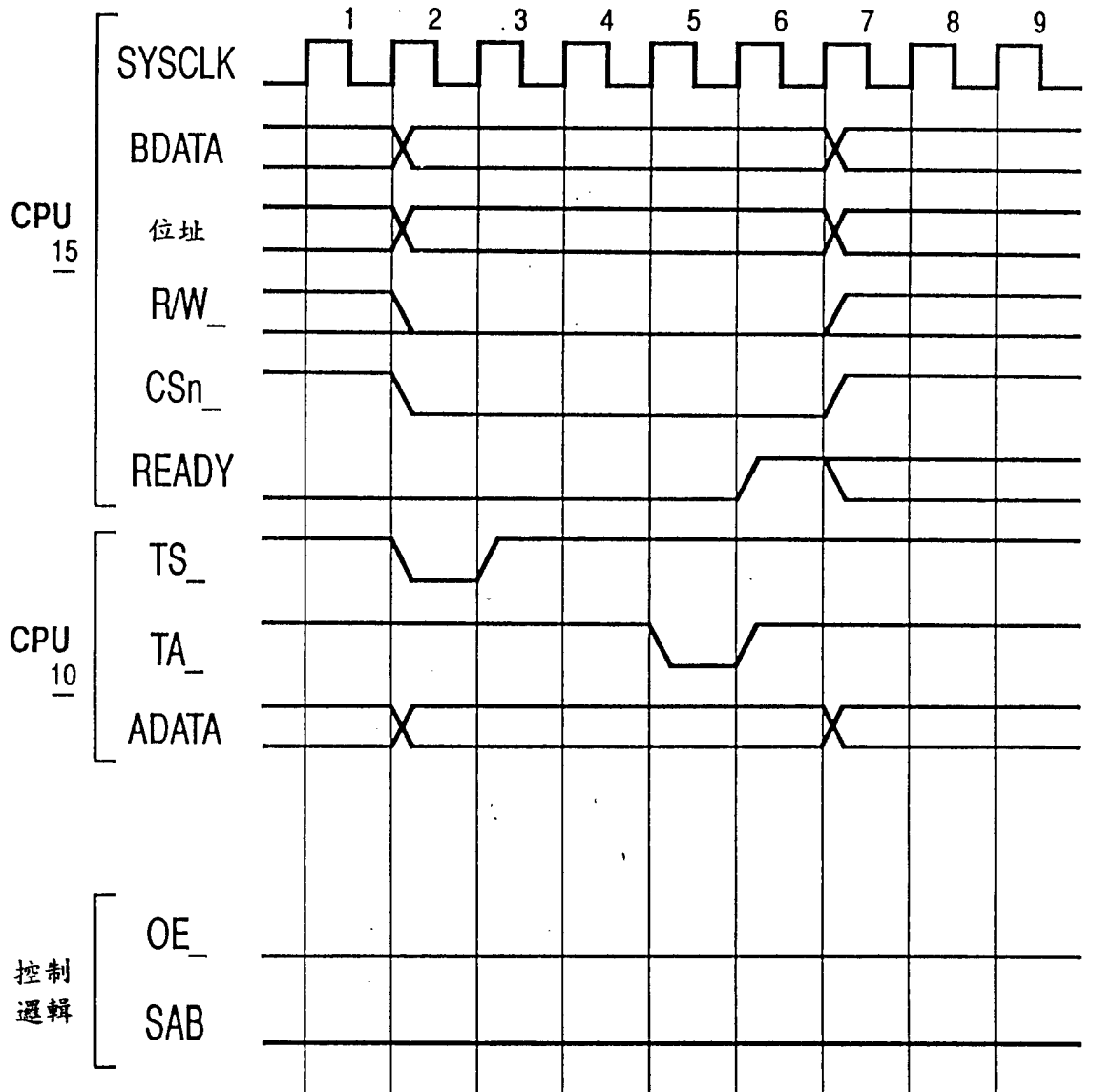


圖5

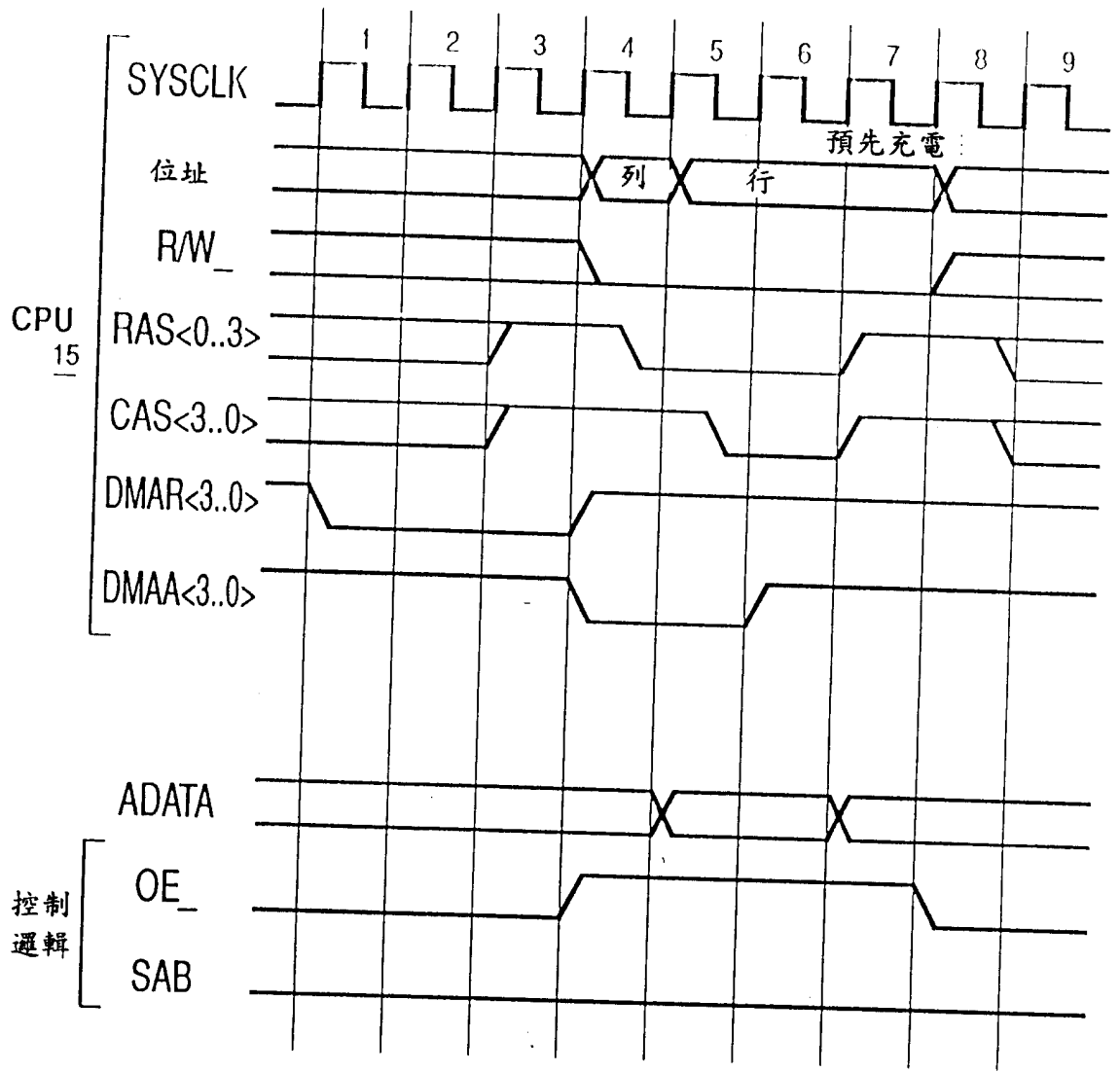


圖6

公 告 本

294801

85.7.2 修正頁

申請日期	85.4.24
案 號	85104898
類 別	G06F 3/00, 13/38 In.

A4
C4

(以上各欄由本局填註)

正 頁 85.7.294801

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	匯流排介面邏輯系統
	英 文	"BUS INTERFACE LOGIC SYSTEM"
二、發明 創作人	姓 名	1.馬克·艾德華·汀 2.渥·尼古燕
	國 籍	均美國
三、申請人	住、居所	1.美國德州奧斯汀市潤桂卓路3610號 2.美國德州奧斯汀市洛何瑞森路6608號
	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費羅普

四、中文發明摘要(發明之名稱:

匯流排介面邏輯系統)

本發明提供一種具有不同匯流排交易之兩種處理器之間的同步資料傳送之系統及方法，其藉由提供一緩衝器以儲存資料及一控制邏輯以將一並行的(concurrent)位址與資料匯流排交易劃分成一位址匯流排交易再跟隨一資料匯流排交易。在一讀取操作期間，請求裝置被強迫於輸入資料匯流排交易之前必須等待資料之可用性。在一寫入操作期間，資料匯流排交易係使用一儲存裝置來延遲，而該儲存裝置可有效地將資料交易與位址交易分離。本發明亦提供一輸入/輸出裝置及一記憶裝置之間的掃越(fly-by)操作。這些操作係由將一第二匯流排與系統匯流排隔離並當所請求資料於系統匯流排上為可用之時，允許目的裝置獲取所請求之資料。

英文發明摘要(發明之名稱:

"BUS INTERFACE LOGIC SYSTEM")

The present invention provides a system and method of synchronizing data transfers between two processors having different bus transactions by providing a buffer for storing the data and a control logic for dividing a concurrent address and data bus transactions into an address bus transaction followed by a data bus transaction. During a read operation, the requesting device is forced to wait for data availability before entering the data bus transaction. During a write operation, the data bus transaction is delayed by using a storage mechanism that effectively separates the address transaction from the data transaction. The present invention also provides direct memory-access fly-by operations between an input/output device and a memory device. These operations are accomplished by isolating a secondary bus from the system bus and allowing the destination device to capture the requested data as soon as it is available on the system bus.