(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4632383号
(P4632383)

(45)発行日　平成23年2月16日(2011.2.16)　(24)登録日　平成22年11月26日(2010.11.26)

(51)Int.Cl.		F I		
G09F 9/30	(2006.01)	G09F	9/30	330Z
G02F 1/133	(2006.01)	G09F	9/30	338
H01L 27/04	(2006.01)	G02F	1/133	550
H01L 21/822	(2006.01)	H01L	27/04	H
H01L 29/786	(2006.01)	H01L	27/04	C

請求項の数 3　(全 13 頁)　最終頁に続く

(21)出願番号　特願平11-235770
(22)出願日　平成11年8月23日(1999.8.23)
(65)公開番号　特開2000-148044(P2000-148044A)
(43)公開日　平成12年5月26日(2000.5.26)
審査請求日　平成18年8月8日(2006.8.8)
(31)優先権主張番号　特願平10-246151
(32)優先日　平成10年8月31日(1998.8.31)
(33)優先権主張国　日本国(JP)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治
(74)代理人　100134175
弁理士　永川　行光

最終頁に続く

(54)【発明の名称】光電変換装置に用いられる半導体装置

(57)【特許請求の範囲】

【請求項１】

第１の電極及び第２の電極を有するコンデンサをそれぞれ含む複数の光電変換素子と、前記複数のコンデンサのうち対応するコンデンサの第１の電極にソース及びドレインの一方がそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタのゲートに電気的に接続された複数のゲートラインと、前記複数のゲートラインの間に接続された複数の第２の抵抗と、前記複数のコンデンサの第２の電極に接続されたバイアスラインと、前記バイアスラインと前記ゲートラインとの間に接続された第３の抵抗と、が配されたマトリックスパネルと、

前記複数のゲートラインのそれぞれへ電圧を供給する第１のドライバと、

前記第１のドライバに最も近い列の薄膜トランジスタのゲートと前記第１のドライバとの間に接続された複数の第１の抵抗と、

前記バイアスラインへバイアスを供給する第２のドライバと、

前記バイアスラインと前記第２のドライバとの間に接続された複数の第４の抵抗と、

を備え、

前記第２の抵抗の値Ｒｓは、前記第１の抵抗の値をＲｏ、前記薄膜トランジスタのスレッショルド電圧をＶｔｈ、前記薄膜トランジスタをオンさせるために前記第１のドライバにより供給される電圧の値をＶｇｈ、前記薄膜トランジスタをオフさせるために前記第１のドライバにより供給される電圧の値をＶｇｌとするとき、

Ｒｓ＞（Ｖｇｌ＋Ｖｇｈ－２Ｖｔｈ）Ｒｏ／（Ｖｔｈ－Ｖｇｌ）

を満たし、
前記第３の抵抗の値Ｒvs-gは、
Ｒvs-g＞Ｒｓ
を満たし、
前記第３の抵抗の値Ｒvs-gは、前記第４の抵抗の値を前記Ｒｏとするとき、
Ｒvs-g＞１００Ｒｏ
を満たす
ことを特徴とする光電変換に用いられる半導体装置。
【請求項２】
前記第２の抵抗は、半導体層であることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記マトリックスパネルは、
前記バイアスラインが複数配され、
さらに、複数の前記バイアスラインの間に接続された第５の抵抗が配され、
前記第５の抵抗の値Ｒvs-vsは、
Ｒvs-vs＞１００Ｒｏ
を満たす
ことを特徴とする請求項１又は２に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置に係わり、特にＴＦＴを用いた液晶パネルや光電変換装置として好適に用いられる半導体装置に係わる。
【０００２】
【従来の技術】
近年、ＴＦＴを用いたパネルの大判化が急速に進んでいる。ＴＦＴを用いた液晶パネルの製造技術の発展や、光電変換素子を有するエリアセンサーの各分野への利用（例えば、Ｘ線撮像装置）の影響によるものである。また、その大判化の流れとともに、パターンピッチの微細化が進んでいる。これに伴い、パネル製造工程における歩留まりの低下がおこっている。その原因として、次のようなことが考えられる。
【０００３】
（１）パネルの大判化が進むにつれ、パネルあたりの配線距離が増加し、断線確率があがった。
【０００４】
（２）パネルの微細化が進むにつれ、パネルあたりのＴＦＴや配線クロス部の面積が増加したため、ショートの確率があがった。
【０００５】
（３）静電気破壊（ＥＳＤ）の発生。パネルサイズの大判化によりパネルとの接触部の面積が大きくなり、静電気の摩擦帯電、剥離帯電量が増加し、かつ、均一で即座な除電が難しくなっている。そして、パターンピッチの微細化により上下のパターンクロス部数が増加することから、ＥＳＤによる不良発生確率が上がった。
【０００６】
【発明が解決しようとする課題】
これらの原因のうち、（３）にあげたパネルのＥＳＤに対しては、共通電極バイアスライン（Vs line）、ゲートライン（Vg line）、もしくは、共通電極バイアスライン（Vs line）、ゲートライン（Vg line）、転送ライン（Sig line）を金属ラインにより接続し、各ラインを接続することが有効であるが、これら接続された各ラインは途中工程で分離することが求められる。この分離はたとえばダイヤモンド粒子を樹脂材料で固めたブレードを用いたパネルスライス工程で行うことができるが、金属配線部の切断を行うことにより、金属部のカケ（チッピング）による配線異常や、金属部の伸びによる金属配線間のショー

ト、また、スライス時の水や熱による金属の疲労や腐食における信頼性に影響を及ぼすなどの問題が出てくる場合がある。

【０００７】

本発明は、ＴＦＴマトリックスパネルを有する半導体装置において、製造工程における静電気破壊（ＥＳＤ）を効果的に防止することができ、より歩留まり向上を実現できる半導体装置を提供することを目的とする。

【０００８】

本発明は、配線ライン間に所望の抵抗を挿入して、つまり、ライン間を所望の抵抗接続してスライス工程による分離工程を必ずしも必要とせず、分離工程が必要な場合も金属配線のない部分で行なうことが可能になる半導体装置を提供することを目的とする。また、金属導体部分のスライス工程による分離で生じる問題を生ずることなく静電気破壊を防止することができる半導体装置を提供することを目的とする。

【０００９】

加えて、本発明は各配線間が抵抗を介して電気的に接続されているため、その静電気破壊の防止効果が最終的な装置内への設置まで充分に効果を発揮することができる半導体装置を提供することを目的とする。

【００１０】

本発明の一つの側面に係る光電変換装置に用いられる半導体装置は、第１の電極及び第２の電極を有するコンデンサをそれぞれ含む複数の光電変換素子と、前記複数のコンデンサのうち対応するコンデンサの第１の電極にソース及びドレインの一方がそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタのゲートに電気的に接続された複数のゲートラインと、前記複数のゲートラインの間に接続された複数の第２の抵抗と、前記複数のコンデンサの第２の電極に接続されたバイアスラインと、前記バイアスラインと前記ゲートラインとの間に接続された第３の抵抗と、が配されたマトリックスパネルと、前記複数のゲートラインのそれぞれへ電圧を供給する第１のドライバと、前記第１のドライバに最も近い列のの薄膜トランジスタのゲートと前記第１のドライバとの間に接続された複数の第１の抵抗と、前記バイアスラインへバイアスを供給する第２のドライバと、前記バイアスラインと前記第２のドライバとの間に接続された複数の第４の抵抗と、を備え、前記第２の抵抗の値Ｒｓは、前記第１の抵抗の値をＲｏ、前記薄膜トランジスタのスレッショルド電圧をＶｔｈ、前記薄膜トランジスタをオンさせるために前記第１のドライバにより供給される電圧の値をＶｇｈ、前記薄膜トランジスタをオフさせるために前記第１のドライバにより供給される電圧の値をＶｇｌとするとき、Ｒｓ＞（Ｖｇｌ＋Ｖｇｈ－２Ｖｔｈ）Ｒｏ／（Ｖｔｈ－Ｖｇｌ）を満たし、前記第３の抵抗の値Rvs-gは、Rvs-g＞Ｒｓを満たし、前記第３の抵抗の値Rvs-gは、前記第４の抵抗の値を前記Ｒｏとするとき、Rvs-g＞１００Ｒｏを満たすことを特徴とする。

【００１５】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【００１６】

〔実施例１〕

以下、本発明の実施例１を図面に基づいて説明する。図１は本発明の第１の実施例に関わる半導体装置の概略的な等価回路図であり、図２は本実施例の半導体装置におけるスライス工程前の概略的等価回路とスライス位置を示す概略的平面図である。

【００１７】

図１に示すように、本実施例の半導体装置は、パネルスライス後のＴＦＴマトリックスパネル１、ドライバ（Driver）２、信号処理ＩＣまたはソースドライバ（Source Driver）３、共通電極ドライバ（Driver）４を有する。また、ｃ11，ｃ12，・・・はコンデンサであり、不図示の光電変換素子により発生した電子と正孔とを、バイアスを印加することにより分離した状態を表している。また、ｔ11，ｔ12，・・・はＴＦＴであり、光電変換素子により発生した電荷を転送する際のスイッチ素子の役割を果たす。

【００１８】
光電変換素子部は、たとえば絶縁基板上にアルミ、クロムなどを真空蒸着等の方法で形成される下部電極と、電子、ホール両方の通過を阻止する窒化シリコンや酸化シリコンで形成される絶縁層、水素化アモルファスシリコンの真性半導体層で形成される半導体層、ホールの注入を阻止するアモルファスシリコンのn^+層で形成される注入阻止層、アルミを真空蒸着等の方法で形成される絶縁層を順に有している。
【００１９】
共通電極バイアスラインVs lineは２系統から制御され、各系統間は抵抗Rvs-vsにより接続されている。各ゲートラインVg line間は抵抗Rsにより接続され、また共通電極バイアスラインVs lineとゲートラインVg line間は抵抗Rvs-gにより接続されている。
【００２０】
第１ラインのゲートラインVg lineを選択する場合、ドライバ２のDr.1には、ＴＦＴ（ｔ11，ｔ21，ｔ31，・・・）のオン電圧Vghがかかり、ドライバ２のDr.2及びDr.3はＴＦＴのオフ電圧Vglがかかっている。各ドライバDr.1～Dr.3から一番目のＴＦＴ（ｔ11，ｔ12，ｔ13，・・・）のゲート電極に至るまでに、抵抗Roを配置し、各ゲートラインVg line間は半導体層による抵抗Rsで接続する。ここで、抵抗RsはＴＦＴのスレッショルド電圧をVthとすると、Dr.2の一番目のＴＦＴ（ｔ12）のゲート電極にかかる電圧がこのVthより低くなるような抵抗値とする。こうすれば、第１ラインのゲートラインVg lineを除く他のラインのＴＦＴがオンすることはない。
【００２１】
以下に、半導体層による抵抗Rsを求める。今、ドライバ２のDr.1には、ＴＦＴ（ｔ11，ｔ21，ｔ31，・・・）のオン電圧Vghがかかり、それ以外にはＴＦＴのオフ電圧Vglがかかっている。第１ラインと第２ラインのゲートラインVg lineだけを考えると、図３（ａ）のような等価回路となり、ａ点の電位Vaは、
$Va = Vgl + (Vgh - Vgl) \cdot Ro / (Rs + 2Ro)$
となる。
【００２２】
また、第１ライン～第３ラインのゲートラインVg lineを考えると、図３（ｂ）のような等価回路となり、ａ点の電位Va′は、
$Va' = Vgl + (Vgh - Vgl) \cdot R / (Rs + Ro + R)$
となる。ここで、$R = Ro(Rs + Ro) / (Rs + 2Ro)$である。
【００２３】
$Va - Va' = (Vgh - Vgl) \cdot Ro / (Rs + 2Ro) - (Vgh - Vgl) \cdot R / (Rs + Ro + R) > 0$
なので、Va＞Va′となり、第１ライン～第ｎラインのゲートラインVg lineを考えても図３（ａ）中のａ点の電位はゲートラインVg lineが増えるごとに低下していく。そして、一つ前のゲートラインVg lineの電位よりも次のラインのゲートラインVg lineの電位の方が低くなる（例えば図３（ｂ）中のｂ点の電位VbはVa′＞Vbとなる。）。したがって、Va＜Vthとなるように抵抗Rsを設定すれば、ゲートラインVg lineの数に係わらず、第２ライン以降のゲートラインVg lineにかかる電圧がVthより低くなる。
【００２４】
すなわち、抵抗Rsは、
$Vgl + (Vgh - Vgl)\ Ro / (Rs + 2Ro) < Vth$
となるような値を持たせる。上式より、
$Rs > (Vgl + Vgh - 2Vth)\ Ro / (Vth - Vgl)$
なる抵抗Rsを持たせた場合、各ドライバーに接続され、かつDr.1の駆動電圧に対し、Dr.2、Dr.3、・・・に接続されたすべてのＴＦＴは、ゲート電極の電位がVthより小さくなるためオフの状態となり、各Vg lineを接続し、かつ制御が可能となる。
【００２５】
本実施例で、Vgl　－５Ｖ、Vgh　１５Ｖ、Vth　２Ｖ、Ro　１００Ωとしたときに、

抵抗Ｒｓは、
Ｒｓ＞８５．７Ω
であればよいことになる。ただし、製造工程のバラツキやマージンを考慮するとＲｓは１ＭΩ程度が好ましい。
【００２６】
また、抵抗Rvs-gの抵抗値の範囲は次の通りである。
【００２７】
Vs lineのバイアスに関しては、半導体層の光吸収による電子または正孔の蓄積時の共通電極バイアス（蓄積バイアス）は９Ｖであり、また蓄積された電子または正孔の除去時のリフレッシュバイアス（除去バイアス）は３Ｖである。このため、Vg line（Ｖgh＝１５Ｖ，Ｖgl＝－５Ｖ）とVs lineとのバイアス差は、最大で１４Ｖであり、Vg line間のバイアス差（Ｖgh－Ｖgl＝２０Ｖ）と比較すると小さいため、Vs lineのバイアス印加部とVg lineのバイアス印加部との間の抵抗Rvs-gがＲｓ＋Ｒoより大きければ、Rvs-gにより接続されているVg lineにより駆動しているＴＦＴが、Vg lineにＶghのバイアスを印加した際はＴＦＴが駆動し、Ｖglのバイアスを印加した際はＴＦＴがスレッショルド電圧まで到達せず、ＴＦＴがオフとなる。つまり、ＥＳＤ対策として、抵抗Rvs-gはVg lineの駆動を考慮すると、
Ｒvs-g＞Ｒｓ
を満たす抵抗を持たせることにより正常に駆動する。
【００２８】
また、Vs lineの駆動に関しては、ＥＳＤ対策の接続による印加バイアスのバイアス変動がVg lineとVs line間のバイアス差の１％より小さい範囲では正常に駆動することが確認された。よって、Rvs-gは、
Ｒvs-g＞１００×Ｒo
を満たす範囲においては、バイアス変動を１％程度より小さく抑え、正常に駆動することができる。
【００２９】
よって、Rvs-gに関しては、
Ｒvs-g＞Ｒｓ、かつ、Ｒvs-g＞１００×Ｒo
であることが好ましい。
【００３０】
本実施例では、
Ｒvs-g＞１０ｋΩ
であればよいことになる。
【００３１】
Rvs-vsに関しても同様で、２系統別駆動（別々のバイアスを印加）において、Rvs-vsの接続によるバイアス変動が２系統別駆動のVs line間のバイアス差の１％より小さければ正常に駆動するため、Rvs-vsは、
Ｒvs-vs＞１００×Ｒo
であればよい。
【００３２】
本実施例では、
Ｒvs-vs＞１０ｋΩ
であればよいことになる。
【００３３】
本実施例では上記式を満足するようにRvs-g、Rvs-vsを１０ＭΩとすることにより、Vs lineの各系統と各Vg lineを制御可能としている。
【００３４】
これにより、パネルスライス後のパネル製造工程において発生する静電気に対し、各系統の共通電極バイアスラインVs lineと各ゲートラインVg lineの帯電電位差によるパネルの

ＥＳＤがなくなり、歩留まりの向上につながる。
【００３５】
図２は本実施例のＴＦＴマトリックスパネルのスライス前の等価回路である。
【００３６】
共通電極バイアスラインVs lineは２系統から制御され、各系統間は抵抗Rvs-vsにより接続されている。各ゲートラインVg line間は抵抗Rsにより接続され、各転送ラインSig line間は抵抗Rs-sにより接続され、また共通電極バイアスラインVs lineとゲートラインVg line間は抵抗Rvs-gにより接続されている。これにより、ＴＦＴパネルにおける全Vg line、全Vs line、そして全Sig lineは電気的に接続されており、常に同電位が保たれることになる。このため、パネル製造工程において発生する静電気に対し各配線の帯電電位差によるパネルのＥＳＤがなくなり、歩留まりの向上につながる。
【００３７】
また、光電変換素子により発生した電荷の転送用である配線（Sig line）は、パネルスライス工程までは半導体層により接続されており、パネルのスライスとともに各ラインが分離される。
【００３８】
〔実施例２〕
以下、本発明の実施例２を図面に基づいて説明する。図４は本発明の第２の実施例に関わる半導体装置の概略的等価回路であり、図５は本実施例の半導体装置のスライス工程前の概略的等価回路とスライス位置を示す。
【００３９】
図４は本実施例２の半導体装置であり、パネルスライス後のＴＦＴマトリックスパネル１とドライバ（Driver）２、信号処理ＩＣまたはソースドライバ（Source Driver）３、共通電極ドライバ（Driver）４からなる。また、ｃ11，ｃ12…はコンデンサであり、液晶部を表している。また、ｔ11，ｔ12…はＴＦＴであり、Source Driverから液晶に電界強度を与える際のスイッチ素子の役割を果たす。共通電極バイアスラインVs lineは２系統から制御され、各系統は電気的に分離されている。また、全Vg line、全Vs line、及び全Sig lineも同様に電気的に分離されている。
【００４０】
図５は本実施例２のＴＦＴマトリックスパネルのスライス前の概略的等価回路である。
【００４１】
共通電極バイアスラインVs lineは２系統から制御されている。各系統の共通電極バイアスラインVs lineと各ゲートラインVg lineと各転送ラインSig lineは各半導体層に接続されており、前記各半導体層は、前記複数のＴＦＴと複数のコンデンサが配置されている素子が形成されている領域の外周部に配置された金属配線により接続されている。
【００４２】
図６はパネルスライス部の一例を示す模式的断面図で、絶縁基板５上に半導体層６と金属配線７が形成されているパネルをＴＦＴマトリックス配置側を半導体層部（スライス領域８）でスライスしている様子を表す図である。図５における各系統のVs lineと各Vg lineと各Sig lineと接続されている各半導体層部で図６のようにスライス領域８でスライスすることにより各ラインが分離される。
【００４３】
図７はパネルスライス後のスライス部の断面図である。ＴＦＴマトリックス側は半導体層部によりスライスされている。９はスライス端部を示している。
【００４４】
〔実施例３〕
以下、本発明の実施例３を図面に基づいて説明する。図８は本発明の第３の実施例に関わる半導体装置の概略的等価回路である。
【００４５】
図８は本実施例３の半導体装置であり、パネルスライス後のＴＦＴマトリックスパネル１

、ドライバ（Driver）２、信号処理ＩＣまたはソースドライバ（Source Driver）３、共通電極ドライバ（Driver）４からなる。また、ｃ11，ｃ12…はコンデンサであり、光電変換素子により発生した電子と正孔とを、バイアスを印加することにより分離された状態を表している。また、ｔ11，ｔ12…はＴＦＴであり、光電変換素子により発生した電荷を転送する際のスイッチ素子の役割を果たす。

【００４６】

Vs lineは２系統から制御され、各系統のVs lineには配線抵抗低減のために、共通電極ドライバーから複数の配線を通じてバイアスを印加している。またVs lineの各系統間は抵抗Rvs-vsにより接続されている。各Vg line間は抵抗Ｒsにより接続され、またVs lineとVg line間はRvs-gにより接続されている。

【００４７】

Dr.1には、ＴＦＴ（ｔ11，ｔ21，ｔ31…）のオン電圧Ｖghがかかり、Dr.2及びDr.3はＴＦＴのオフ電圧Ｖglがかかっている。各ドライバから一番目のＴＦＴのゲート電極に至るまでに抵抗をＲｏ配置し、各Vg lineは半導体層により抵抗ＲｓでＲｓで接続されている。ここで、ＲｓはＴＦＴのスレッショルド電圧をＶthとすると、Dr.2の一番目のＴＦＴ（ｔ12）のゲート電極にかかる電圧がこのＶthより低い抵抗とする。

【００４８】

以下に半導体層による抵抗Ｒｓを求める。実施例１で説明したように、

Ｖgl＋（Ｖgh－Ｖgl）Ｒｏ／（Ｒｓ＋２Ｒｏ）＜Ｖth

上記式より、

Ｒｓ＞（Ｖgl＋Ｖgh－２Ｖth）Ｒｏ／（Ｖth－Ｖgl）

なるＲｓを持たせた場合、各ドライバーを接続し、かつDr.1の駆動電圧に対し、Dr.2、Dr.3、・・・に接続されたすべてのＴＦＴは、ゲート電極の電位がＶthより小さくなるためオフの状態となり、各Vg lineを接続し、かつ制御が可能となる。

【００４９】

本実施例では、Ｖgl　－５Ｖ、Ｖgh　１５Ｖ、Ｖth　２Ｖ、Ｒｏ　１００Ωであり、

Ｒｓ＞８５．７Ω

を満たす１ＭΩとする。

【００５０】

また、Rvs-gの抵抗値の範囲は次のようになった。

【００５１】

Vs lineのバイアスに関しては、転送するもしくはされる電子または正孔の蓄積時の共通電極バイアス（蓄積バイアス）は９Ｖであり、また転送後の蓄積された電子または正孔の除去時のリフレッシュバイアス（除去バイアス）は３Ｖである。このため、Vg line（Ｖgh＝１５Ｖ，Ｖgl＝－５Ｖ）とVs lineとのバイアス差は、最大で１４Ｖであり、Vg line間のバイアス差（Ｖgh－Ｖgl＝２０Ｖ）と比較すると小さいため、Vs lineのバイアス印加部とVg lineのバイアス印加部との間の抵抗Rvs-gがＲｓ＋Ｒoより大きければ、Rvs-gにより接続されているVg lineにより駆動しているＴＦＴが、Vg lineにＶghのバイアスを印加した際はＴＦＴが駆動し、Ｖglのバイアスを印加した際はＴＦＴがスレッショルド電圧まで到達せず、ＴＦＴがオフとなる。つまり、ＥＳＤ対策として、抵抗Rvs-gはVg lineの駆動を考慮すると、

Ｒvs-g＞Ｒｓ

を満たす抵抗を持たせることにより正常に駆動する。

【００５２】

また、Vs lineの駆動に関しては、ＥＳＤ対策の接続による印加バイアスのバイアス変動がVg lineとVs line間のバイアス差の１％より小さい範囲では正常に駆動することが確認された。よって、Rvs-gは、

Ｒvs-g＞１００×Ｒo

を満たす範囲においては、バイアス変動を１％程度より小さく抑え、正常に駆動する。

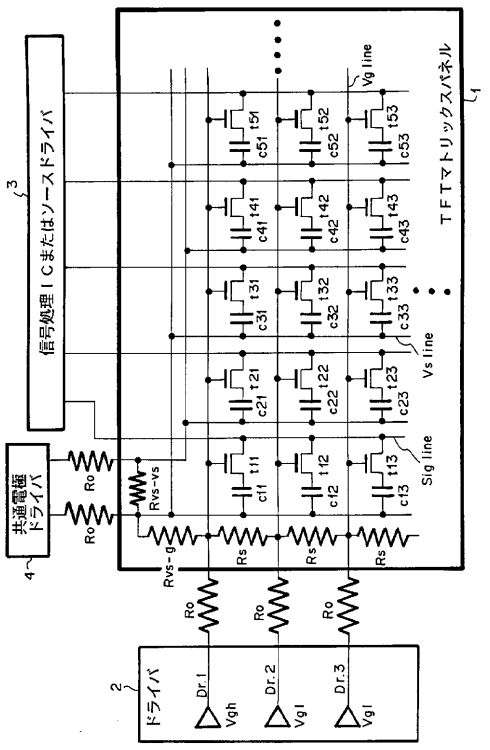
【００５３】

よって、Rvs-gに関しては、
Rvs-g＞Rs、かつ、Rvs-g＞１００×Ro
であることが好ましい。
【００５４】
Rvs-vsに関しても同様で、２系統別駆動（別々のバイアスを印加）において、Rvs-vsの接続によるバイアス変動が２系統別駆動のVs line間のバイアス差の１％より小さければ正常に駆動するため、Rvs-vsは、
Rvs-vs＞１００×Ro
であればよい。
【００５５】
本実施例では、上記の式を満たすように、Rvs-g、Rvs-vsを１０MΩとすることにより、Vs lineの各系統と各Vg lineを制御可能としている。
【００５６】
これにより、パネルスライス後のパネル製造工程において発生する静電気に対し、各系統のVs lineと各Vg lineの帯電電位差によるパネルのＥＳＤがなくなり、歩留まりの向上につながる。
【００５７】
〔実施例４〕
以下、本発明の実施例４を図面に基づいて説明する。図９は本発明の第４の実施例に関わる半導体装置の概略的等価回路である。
【００５８】
ｃ11，ｃ12…はコンデンサであり、光電変換層により発生した電荷を転送する際のスイッチ素子の役割を果たす。
【００５９】
Vs lineは２系統から制御され、Vs lineの各系統間は抵抗Rvs-vsにより接続されている。各Vg line間は抵抗Rs により接続され、また、Vs lineとVg line間はRvs-gにより接続されている。
【００６０】
各配線には検査パッド１０が設けられており、パネル検査時にプローブなどを通じてバイアス電圧を印加することができ、電気実装前の検査工程により良品／不良品の判定をすることが可能となっている。
【００６１】
Dr.1には、検査パッドよりＴＦＴ（ｔ11，ｔ21，ｔ31，…）のオン電圧Vghを印加しており、Dr.2及びDr.3はＴＦＴのオフ電圧Vglを印加している。各検査パッド部から一番目のＴＦＴのゲート電極にいたるまでに抵抗Roを配置し、各Vg lineは半導体層により抵抗Rsで接続されている。ここで、RsはＴＦＴのスレッショルド電圧をVthとすると、Dr.2の一番目のＴＦＴ（ｔ12）のゲート電極にかかる電圧がこのVthより低い抵抗となる十分に高い抵抗Rsを持たせる。本実施例においてはRs＝１MΩとする。
【００６２】
また、Rvs-gの抵抗値は、Vg line－Vs lineのバイアス差とVgh－Vglのバイアス差を考慮すると
Rvs-g＞Rs
を満たす抵抗を持たせることにより正常に駆動する。
【００６３】
また、Vs lineの駆動に関しては、ＥＳＤ対策の接続による印加バイアスのバイアス変動がVg lineとVs line間のバイアス差の１％より小さい範囲では正常に駆動することが確認された。よって、Rvs-gは、
Rvs-g＞１００×Ro
を満たす範囲においては、バイアス変動を１％程度より小さく抑え、正常に駆動する。
【００６４】

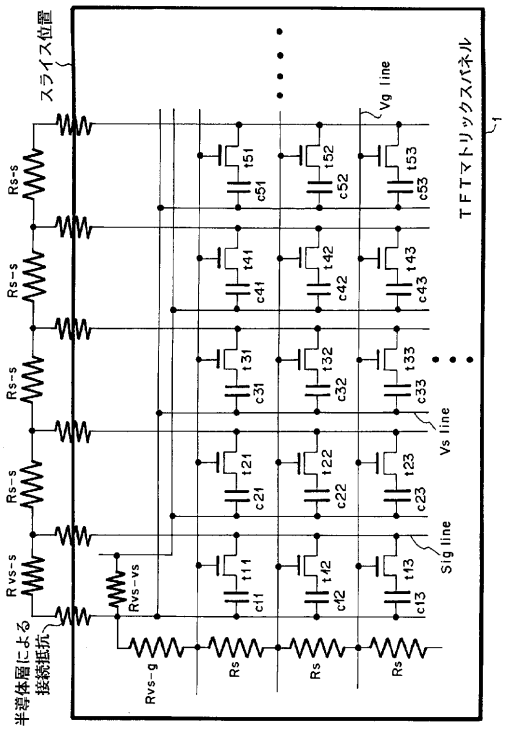
よって、Rvs-gに関しては、
Rvs-g＞Rs、かつ、Rvs-g＞１００×Ro
であることが好ましい。
【００６５】
Rvs-vsに関しても同様で、
Rvs-vs＞１００×Ro
であればよい。
【００６６】
本実施例では、上記式を満たす十分に高い抵抗値として、Rvs-g、Rvs-vsを１０MΩとすることにより、Vs lineの各系統と各Vg lineを制御可能としている。
【００６７】
ここで、検査パッドを用いてパネル検査を行うにあたり、全パッドを一括に測定することが困難で、特定のブロックごとの測定を複数回行い１枚のパネルを検査する場合、次のような現象が起こることがある。
【００６８】
図９のように、検査領域がDr.1～3、未検査領域がDr.4～において、Dr.1にＴＦＴのオン電圧Vgh、Dr.2、3にＴＦＴオフ電圧Vglが印加された場合は、Dr.4以降の電気的にフローティング電位であるVg lineには、Dr.3のリーク電流により電圧が決定するため、各Vg lineはＴＦＴのオフ電圧となり、Dr.1に接続された光電変換素子の検査を行うことができる。しかし、図１０の概略的回路図に示されるように、Dr.1, 2がＴＦＴのオフ電圧Vgl、Dr.3がＴＦＴのオン電圧Vghとなった場合、Dr.4以降の電気的にフローティング電位であるVg lineは、Dr.3のリーク電流によりＴＦＴのオン電圧となるため、結果Dr.3に接続された光電変換素子の検査ができなくなる。つまり、Dr側の検査領域の端部の電圧が、未検査領域側にリークすることにより検査領域端部の光電変換素子の評価が不可となる現象が発生することがある。
【００６９】
これに対し、本実施例４では図１１の概略的回路に示されるように検査領域と未検査領域となるブロックの境界に定常的にVglもしくはＧＮＤ電位をプローブから供給できるダミーパッド部１１を設けることにより、未検査領域のVg lineの電位をダミーパッドからのリーク電流で制御し、VglもしくはＧＮＤ電位とし、未検査領域のＴＦＴをオフ電圧で維持する。結果、ブロックごとの検査においても、静電気対策として設けた抵抗Rsを有する配線のリーク電流が問題とならず、検査可能となる。
【００７０】
また、これにより、パネルスライス後のパネル製造工程において発生する静電気に対し、各系統のVs lineと各Vg lineの帯電電位差によるパネルのＥＳＤがなくなり、歩留まりの向上につながり、かつ、検査工程特有の問題をも除去できる。
【００７１】
【発明の効果】
以上に説明したように、本発明によれば、ＴＦＴマトリックスパネルを用いた半導体装置において、製造工程における静電気破壊（ＥＳＤ）を効果的に防止することができ、より歩留まり向上を実現できる。
【００７２】
本発明によれば、配線ライン間に所望の抵抗を挿入してある、つまり、ライン間を所望の抵抗接続しているため、スライス工程による分離工程を必ずしも必要とせず、分離工程が必要な場合も金属配線のない部分で行なうことが可能となる。したがって、金属導体部分のスライス工程による分離で生じる問題を生ずることなく静電気破壊を防止することができる。
【００７３】
加えて、本発明によれば各配線間が抵抗を介して電気的に接続されているため、その静電気破壊の防止効果は最終的な装置内への設置まで充分に効果を発揮することができる。

【００７４】
尚、本発明は上記実施例に限定されるものでなく、本発明の主旨の範囲で適宜変形、組合せ可能であることはいうまでもない。
【図面の簡単な説明】
【図１】本発明の半導体装置の一例を説明するための概略的等価回路図である。
【図２】本発明の半導体装置の一例を説明するための概略的平面図である。
【図３】（ａ）、（ｂ）は動作の一例を説明するための等価回路図である。
【図４】本発明の半導体装置の一例を説明するための概略的等価回路図である。
【図５】本発明の半導体装置の一例を説明するための概略的平面図である。
【図６】スライス部の一例を示す模式的断面図である。
【図７】スライス部の一例を示す模式的断面図である。
【図８】本発明の半導体装置の一例を説明するための概略的等価回路図である。
【図９】本発明の半導体装置の一例を説明するための概略的平面図である。
【図１０】本発明の半導体装置の一例を説明するための概略的平面図である。
【図１１】本発明の半導体装置の一例を説明するための概略的平面図である。
【符号の説明】
1　ＴＦＴマトリックスパネル
2　ドライバ
3　ソースドライバ
4　共通電極ドライバ
5　絶縁基板
6　半導体層
7　金属配線
8　スライス領域
9　スライス端部

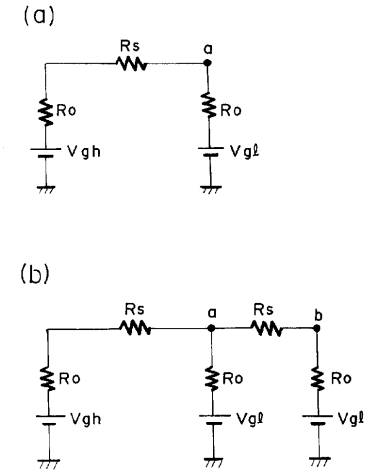
【図１】



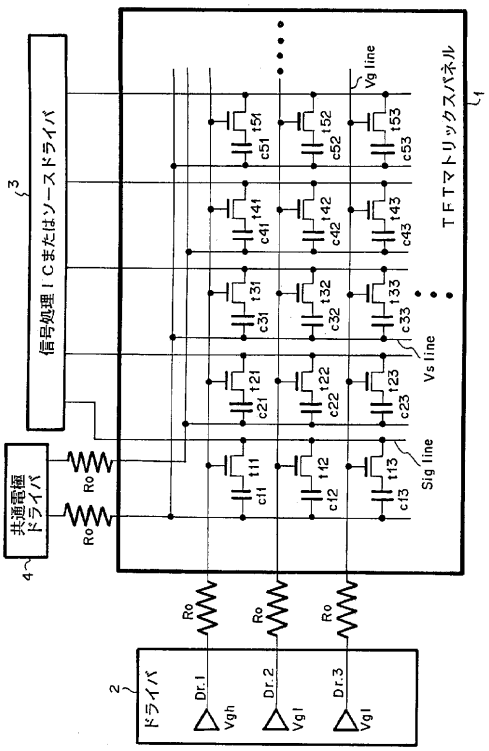
【図２】



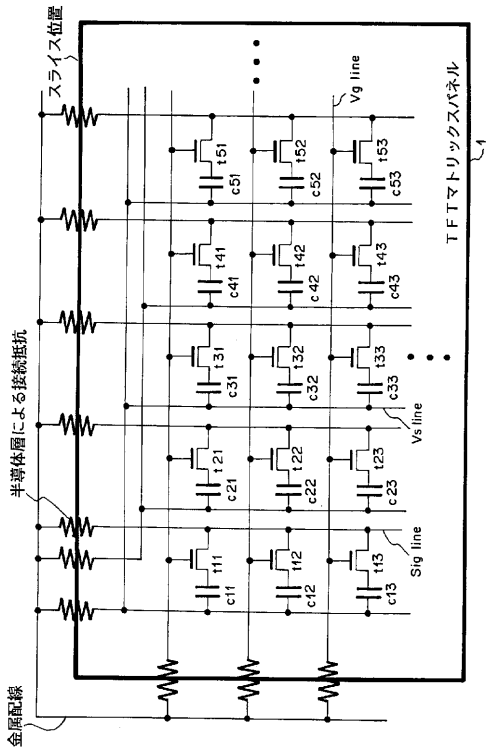
【図３】


(a)
Rs
a
Ro
Ro
Vgh
Vgl
(b)
Rs
a
Rs
b
Ro
Ro
Ro
Vgh
Vgl
Vgl

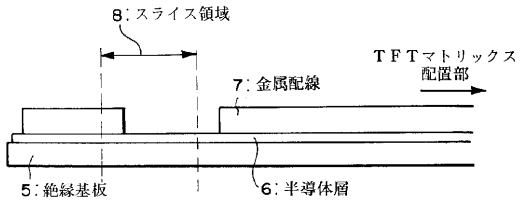
【図４】


信号処理ＩＣまたはソースドライバ
3
ＴＦＴマトリックスパネル
1
Vg line
Vs line
Sig line
共通電極ドライバ
4
Ro
ドライバ
2
Dr.1
Dr.2
Dr.3
Vgh
Vgl
Vgl

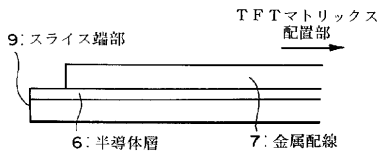
【図５】


スライス位置
半導体層による接続抵抗
金属配線
Vg line
Vs line
Sig line
ＴＦＴマトリックスパネル
1

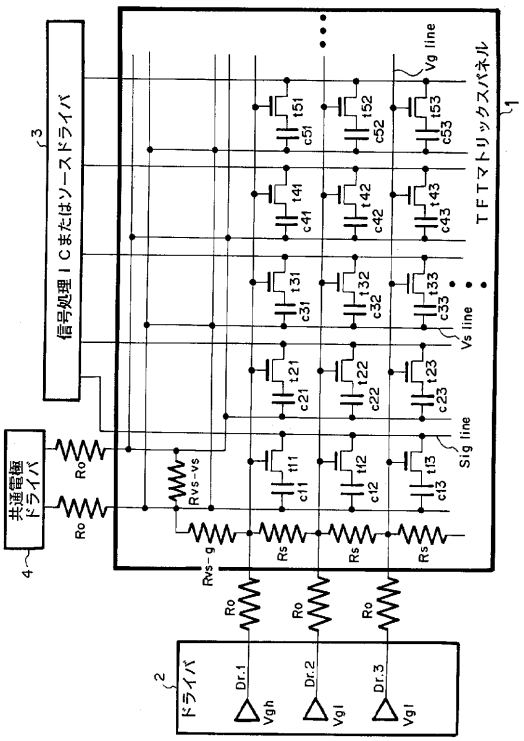
【図６】


8：スライス領域
ＴＦＴマトリックス配置部
7：金属配線
5：絶縁基板
6：半導体層

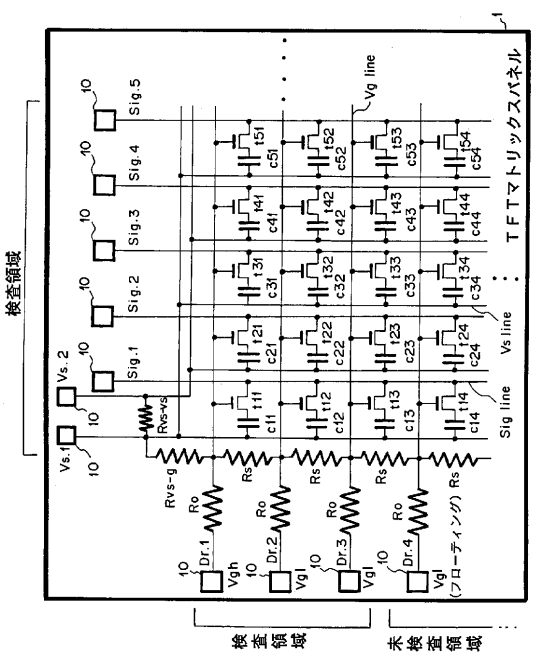
【図７】


ＴＦＴマトリックス配置部
9：スライス端部
6：半導体層
7：金属配線

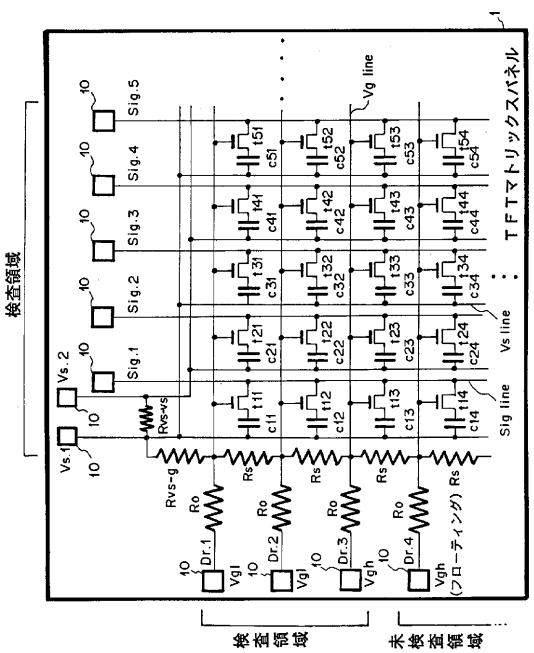
【図８】


信号処理ＩＣまたはソースドライバ
共通電極ドライバ
ドライバ
TFTマトリックスパネル
Vg line
Vs line
Sig line
Rvs-vs
Rvs-g
Ro
Rs
Dr.1
Dr.2
Dr.3
Vgh
Vgl

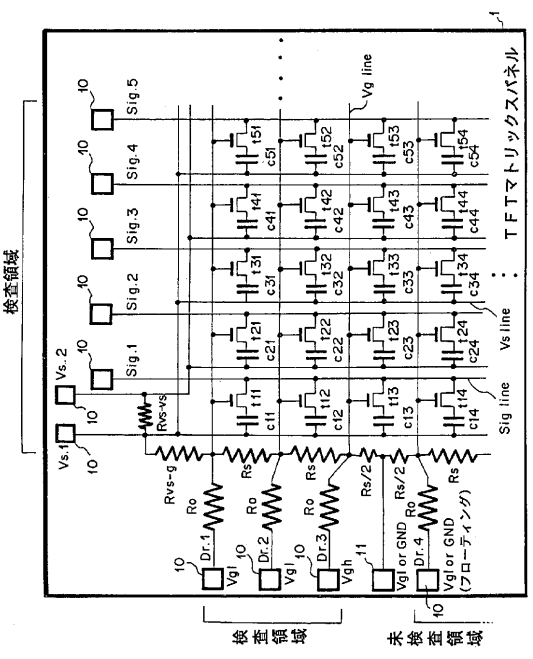
【図９】


検査領域
未検査領域
TFTマトリックスパネル
Vg line
Vs line
Sig line
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
Vs.1
Vs.2
Rvs-vs
Rvs-g
Ro
Rs
Dr.1
Dr.2
Dr.3
Dr.4
Vgh
Vgl
(フローティング)

【図１０】


検査領域
未検査領域
TFTマトリックスパネル
Vg line
Vs line
Sig line
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
Vs.1
Vs.2
Rvs-vs
Rvs-g
Ro
Rs
Dr.1
Dr.2
Dr.3
Dr.4
Vgh
Vgl
(フローティング)

【図１１】


検査領域
未検査領域
TFTマトリックスパネル
Vg line
Vs line
Sig line
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
Vs.1
Vs.2
Rvs-vs
Rvs-g
Ro
Rs
Rs/2
Dr.1
Dr.2
Dr.3
Dr.4
Vgh
Vgl
Vgl or GND
(フローティング)

フロントページの続き

(51)Int.Cl. F I
H04N 5/374 (2011.01) H01L 29/78 612C
H04N 5/335 740

(72)発明者 渡辺 実
東京都大田区下丸子３丁目３０番２号 キヤノン株式会社内
(72)発明者 海部 紀之
東京都大田区下丸子３丁目３０番２号 キヤノン株式会社内
(72)発明者 望月 千織
東京都大田区下丸子３丁目３０番２号 キヤノン株式会社内

審査官 佐竹 政彦

(56)参考文献 特開平８－３３０５５９（ＪＰ，Ａ）
特開平６－３１７８１０（ＪＰ，Ａ）
特開平１０－２１３６６４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G01S7/52、15/89
G02F1/13-1/141
G09F9/00-9/46
H01L21/336、21/339、21/822、27/04、
27/14、27/146-27/148、27/32、
29/762、29/786
H04N5/30-5/335