



Patent dodatkowy
do patentu nr _____

Zgłoszono: 21.08.78 (P. 209152)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 21.04.80

Opis patentowy opublikowano: 25.04.1983

Int. Cl.³ H03K 13/20



Twórcy wynalazku: Zbigniew Kulka, Franciszek Sikora

Uprawniony z patentu: Instytut Badań Jądrowych, Warszawa (Polska)

**Układ przetwornika analogowo-cyfrowego
pracujący w oparciu o metodę czasową**

1

Przedmiotem wynalazku jest układ przetwornika analogowo-cyfrowego pracujący w oparciu o metodę czasową, przeznaczony do cyfrowego pomiaru amplitudy impulsów otrzymywanych z detektorów promieniowania jądrowego o statystycznym rozkładzie czasowym. Przetwornik może być również wykorzystany do przetwarzania napięć wolnozmiennych lub stałych uzyskiwanych z innych źródeł przy użyciu techniki próbkowania.

Znane są przetworniki analogowo-cyfrowe pracujące w oparciu o metodę czasową, stosowane do pomiaru amplitudy impulsów, które zawierają zwykle wejściowy stopień separujący, napięciową bramkę liniową, konwerter amplituda-czas z diodowo-pojemnościowym układem wydłużającym, konwerter czas-cyfra, logikę sterującą oraz wejściowe układy wyboru impulsów na podstawie kryteriów amplitudowych i czasowych, współpracujące z logiką sterującą przetwornik.

W tego rodzaju przetwornikach, pomiary impulsów o małych amplitudach obarczone są błędami pogarszającymi liniowość procesu przetwarzania w typowym zakresie amplitudowej dynamiki wejściowej. Błędy te powstają w diodowo-pojemnościowym układzie wydłużającym wartość szczytową impulsu, na skutek nieliniowości początkowej części prądowo-napięciowej charakterystyki diody nawet pomimo tego, że dioda objęta jest pętlą ujemnego sprzężenia zwrotnego w konwerterze amplituda-czas.

2

Znana jest metoda poprawy liniowości przetwarzania analogowo-cyfrowego impulsów o małych amplitudach, polegająca na zwiększaniu ich amplitudy o stałą, ściśle określoną wartość. Dzięki powiększeniu amplitudy impulsów, błędy powstające w diodowo-pojemnościowym układzie wydłużającym konwertera amplituda-czas są mniejsze, co prowadzi do poprawy liniowości procesu przetwarzania. Aby wynik przetwarzania na wyjściu przetwornika analogowo-cyfrowego odpowiadał rzeczywistej amplitudzie impulsu wejściowego, przeprowadza się następnie korekcję cyfrową wyniku przetwarzania w konwerterze czas-cyfra.

Znane są dwa układy praktycznej realizacji zwiększania bezwzględnej amplitudy impulsów przetwarzanych. W pierwszym układzie, pomiędzy wejściowym stopniem separującym a bramką liniową umieszczony jest dodatkowy wzmacniacz sumujący, w którym do amplitudy impulsu wejściowego dodaje się schodek napięciowy o dokładnie określonej amplitudzie, co w efekcie prowadzi do zwiększania bezwzględnej amplitudy impulsu wejściowego.

W drugim układzie, tak konstruuje się konwerter amplituda-czas aby w fazie ładowania kondensatora pamięciowego impulsem wejściowym pracował on jako wzmacniacz ładujący, a po przekroczeniu wartości szczytowej impulsu wejściowego działał jako przerzutnik Schmitta z histerezą czasową. Wprowadzenie histerezy opóźnia moment zakoń-

3

czenia liniowego rozładowania kondensatora pamięciowego, co wywołuje efekt równoważny zwiększeniu amplitudy impulsu wejściowego.

Układ przetwornika według wynalazku jest odmienną od wyżej wymienionych realizacją praktyczną metody zwiększania bezwzględnej amplitudy impulsów przetwarzanych. Układ przetwornika według wynalazku zawiera wejściowy stopień separujący połączony z symetrycznie zrównoważoną napięciową bramką liniową, konwerter amplituda-
5 czas, który współpracuje z konwerterem czas-cyfra, napięciowo-czasowy układ wyboru impulsów przetwarzanych współpracujący z logiką sterującą, która organizuje pracę bramki liniowej i obydwu wspomnianych konwerterów.

W układzie przetwornika zastosowano wysokostabilne źródło napięcia piedestału połączone z pierwszym wejściem symetrycznie zrównoważonej napięciowej bramki liniowej. Wyjście bramki liniowej połączone jest z wejściem analogowym konwertera amplituda-czas. Wejściowy stopień separujący jest natomiast połączony z drugim wejściem symetrycznie zrównoważonej napięciowej bramki liniowej.

Wysokostabilne źródło napięcia piedestału jest zespołem utworzonym z równoległego połączenia wysokostabilnej diody Zenera, kondensatorów filtrujących, rezystora z potencjometrem. Zespół ten jest zasilany przez rezystor z ujemnego biegunu napięcia zasilania. Wyjście zespołu stanowi suwak potencjometru, do którego dołączony jest rezystor. Do kondensatora pamięciowego konwertera amplituda-czas dołączone jest poprzez tranzystor unipolarny źródło prądu stałego oraz przez rezystor dołączony jest tranzystor bipolarny, przy czym pomiędzy tranzystorem unipolarnym a źródłem prądu stałego dołączona jest dioda, której druga końcówka połączona jest z masą układu.

W układzie przetwornika analogowo-cyfrowego według wynalazku, działającego w oparciu o metodę czasową przetwarzania, dzięki zastosowaniu wysokostabilnego źródła napięcia piedestału, z którego określona wartość napięcia jest wprowadzana przez symetrycznie zrównoważoną napięciową bramkę liniową do kondensatora pamięciowego konwertera amplituda-czas, uzyskuje się zwiększenie bezwzględnej wartości amplitudy impulsu przetwarzanego. W wyniku tego maleją błędy wprowadzane przez diodowo-pojemnościowy układ wydłużający i poprawia się liniowość przetwarzania impulsów o małej amplitudzie.

Na skali czasowej, moment wprowadzania określonej wartości napięcia piedestału odpowiada momentowi wykrycia szczytu impulsu przetwarzanego i także momentom zamknięcia wejścia przetwornika przez bramkę liniową i wyłączenia prądu stałego do liniowego rozładowania kondensatora pamięciowego.

Jednocześnie rozwiązany został problem techniczny szybkiego przełączania prądu stałego do liniowego rozładowania kondensatora pamięciowego oraz problem techniczny kluczkowania kondensatora pamięciowego, co zabezpiecza układ wydłużający przed przyjęciem impulsów zakłócających, które

4

mogą się pojawić na wejściu przetwornika wcześniej niż impuls wybrany do przetwarzania.

Układ przetwornika analogowo-cyfrowego według wynalazku zostanie bliżej objaśniony na przykładzie wykonania odtworzonym na rysunku, na którym fig. 1 przedstawia schemat blokowy przetwornika i fig. 2 schemat ideowy wysokostabilnego źródła napięcia piedestału i konwertera amplituda-czas.

Wejściowy stopień separujący 1 jest połączony z konwerterem amplituda-czas 4 poprzez symetrycznie zrównoważoną napięciową bramkę liniową 3, z wykorzystaniem drugiego wejścia B. Do pierwszego wejścia A bramki liniowej 3 dołączone jest wysokostabilne źródło napięcia piedestału 2. Wyjście G konwertera amplituda-czas 4 połączone jest z wejściem czasowym konwertera czas-cyfra 5. Logika sterująca 7 kieruje pracą poszczególnych wyżej wymienionych układów oraz jest połączona z napięciowo-czasowym układem wyboru impulsów 6 do przetwarzania.

Wejście A symetrycznie zrównoważonej napięciowej bramki liniowej 3 połączone jest przez rezystor 13 z dzielnikiem oporowym złożonym z rezystora 11 i potencjometru 12, który jest zasilany napięciem z wysokostabilnej diody Zenera D₁ dołączonej do ujemnego biegunu napięcia zasilającego poprzez rezystor 10. Kondensatory 8 i 9 dołączone są równolegle do diody Zenera D₁ i tworzą układ filtrujący.

Wyjście C symetrycznie zrównoważonej napięciowej bramki liniowej 3 połączone jest z wejściem analogowym konwertera amplituda-czas 4 zbudowanego ze wzmacniacza napięciowego A₁ zawierającym w pętli ujemnego sprzężenia zwrotnego diodę ładującą D₂ i kondensator pamięciowy 14, do którego dołączone jest źródło prądu stałego I₀, poprzez przełącznik prądu złożony z tranzystora unipolarnego T₁ i diody D₃. Rezystor 15 i tranzystor bipolarny T₂ tworzą obwód kluczkujący kondensator pamięciowy 14.

Proces przetwarzania impulsu wejściowego, który pojawia się na drugim wejściu B symetrycznie zrównoważonej napięciowej bramki liniowej 3, poprzedza sygnał F podany z napięciowo-czasowego układu wyboru 6 poprzez logikę sterującą 7. Sygnał F blokuje tranzystor T₂ i umożliwia naładowanie kondensatora 14. W fazie ładowania kondensatora pamięciowego 14 impulsem przetwarzanym, bramka liniowa 3 jest otwarta. W czasie fazy ładowania na pierwsze wejście A symetrycznie zrównoważonej napięciowej bramki liniowej 3 podawane jest napięcie z wysokostabilnego źródła napięcia piedestału 2, ale nie wpływa ono na proces ładowania kondensatora 14. W chwili wykrycia szczytu impulsu wejściowego w układzie konwertera amplituda-czas 4, sygnał D zamyka bramkę liniową 3, a napięcie na kondensatorze pamięciowym 14 zostaje powiększone o wartość napięcia piedestału podawanego na pierwsze wejście A bramki liniowej 3. W tej samej chwili sygnał E blokuje tranzystor T₁, a prąd źródła prądu stałego I₀ przejmują dioda D₃ i rozpoczyna się faza pamiętania napięcia na kondensatorze 14, będącego sumą amplitudy napięcia impulsu wejściowego

i napięcia piedestału wprowadzonego przez bramkę liniową 3.

Wyjście wzmacniacza napięciowego A_1 połączone jest z jednym wejściem komparatora napięcia A_2 , na którego drugie wejście podane jest napięcie progowe. Sygnał G jest wynikiem konwersji amplitudy na czas.

Zastrzeżenia patentowe

1. Układ przetwornika analogowo-cyfrowego pracujący w oparciu o metodę czasową przetwarzania, zawierający wejściowy stopień separujący połączony z symetrycznie zrównoważoną napięciową bramką liniową, konwerter amplituda-czas który współpracuje z konwerterem czas-cyfra, napięciowo-czasowy układ wyboru impulsów przetwarzanych, i logikę sterującą **znamienny tym**, że zawiera wysokostabilne źródło napięcia piedestału (2), połączone z pierwszym wejściem (A) symetrycznie zrównoważonej napięciowej bramki liniowej (3), której wyjście połączone jest z wejściem analogowym konwertera amplituda-czas (4), natomiast

wejściowy stopień separujący (1) połączony jest z drugim wejściem (B) symetrycznie zrównoważonej napięciowej bramki liniowej (3).

2. Układ według zastrzeżenia 1 **znamienny tym**, że wysokostabilne źródło napięcia piedestału (2) stanowi zespół utworzony z równoległego połączenia wysokostabilnej diody Zenera (D_1), kondensatorów filtrujących (8), (9) i rezystora (11) z potencjometrem (12), przy czym zespół ten połączony jest przez szeregowy rezystor (10) z ujemnym biegunem napięcia zasilania, natomiast wyjście zespołu stanowi suwak potencjometru (12) połączony przez rezystor (13).

3. Układ według zastrzeżenia 1 **znamienny tym**, że w konwerterze amplituda-czas (4) do kondensatora pamięciowego (14) dołączone jest poprzez tranzystor unipolarny (T_1) źródło prądu stałego (I_0), a przez rezystor (15) dołączony jest tranzystor bipolarny (T_2), przy czym pomiędzy tranzystorem unipolarnym (T_1) i źródłem prądu stałego (I_0) a masą układu dołączona jest dioda (D_3).

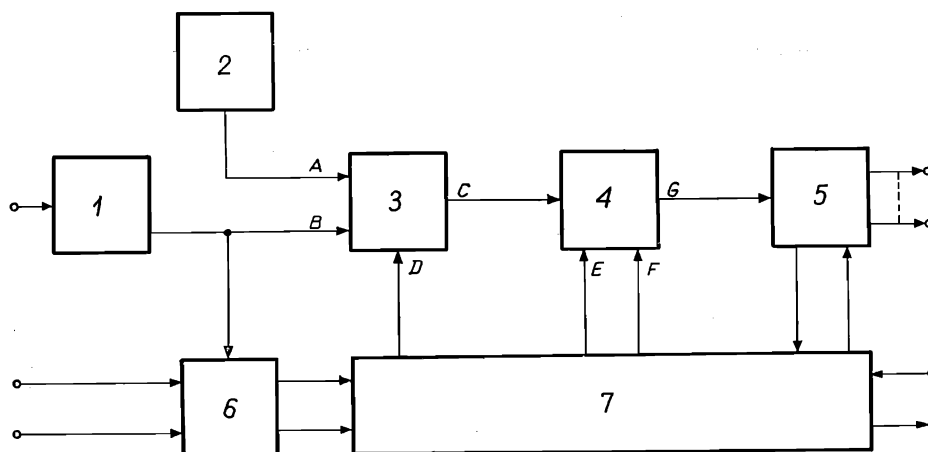


Fig. 1

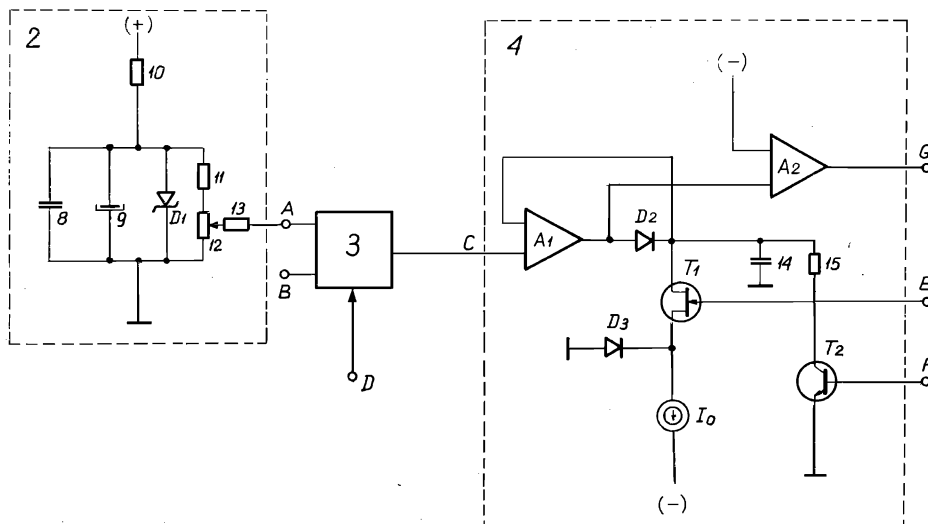


Fig. 2