

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)

H01L 43/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02154049.7

[45] 授权公告日 2007 年 8 月 1 日

[11] 授权公告号 CN 1329917C

[22] 申请日 2002.12.6 [21] 申请号 02154049.7

[30] 优先权

[32] 2002. 4. 3 [33] JP [31] 100806/02

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 国清辰也

[56] 参考文献

US5793697A 1998. 8. 11

US5940319A 1999. 8. 17

审查员 邓 茜

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 岳 梁 永

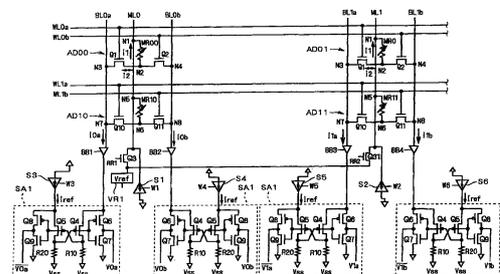
权利要求书 2 页 说明书 58 页 附图 42 页

[54] 发明名称

磁存储装置

[57] 摘要

提供一种能按照任意的时序读出连接在同一位线上的不同地址的存储单元的信息的 MRAM。地址为 AD00 的存储单元备有串联连接在位线 BL0a 和 BL0b 之间的 MOS 晶体管 Q1 及 Q2；以及磁隧道电阻元件 MR00，MOS 晶体管 Q1 及 Q2 的栅极连接在字线 WL0a 及 WL0b 上。存储线 ML0 及 ML1 分别通过 N 沟道型的 MOS 晶体管 Q3 及 Q31，共同连接在参考电压源 VR1 上，同时分别连接在带有开关的电流源 S1 及 S2 上。位线 BL0a、BL0b、BL01a 及 BL1b 分别连接在带有开关的缓冲器 B1 ~ B4 的输入端上，各自的输出供给读出放大器 SA1。



1. 一种磁存储装置，备有将多个存储单元排列成矩阵状构成的存储单元阵列，上述存储单元至少有多条位线、多条字线、以及磁隧道结元件，该磁存储装置的特征在于：

上述存储单元有：

导电性地连接在成对的第一及第二位线上，具有至少作为对上述磁隧道结元件的信息读出用的电流路径功能的第一电流路径；

上述第一电流路径有：

配置在上述第一电流路径内的第一及第二开关元件；

上述第一及第二开关元件共同连接到上述磁隧道结元件的一个节点，

上述第一开关元件中，通过第一字线上述第一位线和上述磁隧道结元件的导电性连接、非连接被控制；

上述第二开关元件配置成通过第二字线上述第二位线和上述磁隧道结元件的导电性连接、非连接被控制。

2. 根据权利要求1所述的磁存储装置，其特征在于：

上述第一电流路径还具有作为对上述磁隧道结元件的信息写入用的电流路径的功能；

上述存储单元还有：

第二电流路径，该第二电流路径具有作为对上述磁隧道结元件的信息写入及读出用的电流路径的功能；

上述第一及第二电流路径在俯视图中非接触地正交地配置；

上述磁隧道结元件导电性地连接在上述第一及第二电流路径之间。

3. 根据权利要求1所述的磁存储装置，其特征在于：上述第一及第二开关元件根据分别从第一及第二字线供给的控制信号，进行开关工作。

4. 根据权利要求1所述的磁存储装置，其特征在于：

上述存储单元还有：

具有作为对上述磁隧道结元件的信息写入用的电流路径的功能的第二电流路径；以及

对上述磁隧道结元件进行信息写入时，具有作为控制构成上述磁

隧道结元件的磁性体的磁化方向用的电流路径的功能的第三电流路径；

上述磁隧道结元件导电性地连接在上述第一及第二电流路径之间。

5. 根据权利要求1所述的磁存储装置，其特征在于：上述多条位线及上述多条字线是构成分级位线结构及分级字线结构的支线。

6. 根据权利要求1所述的磁存储装置，其特征在于：上述磁隧道结元件配置在上述第一及第二位线的配置层的上层中。

磁存储装置

技术领域

本发明涉及磁存储装置，涉及具有在各个存储单元中使用磁隧道电阻元件的非易失性存储阵列的磁存储装置。

背景技术

将用两个强磁性体把绝缘体夹在中间的结构称为磁隧道结 (MTJ)。

图 39 中示出了 MTJ 的略图。在图 39 中，绝缘层 TB 被夹在强磁性体层 FM1 及 FM2 之间。端电压分别通过端子 T1 及 T2 加在强磁性体层 FM1 及 FM2 上，将端子 T1 和 T2 之间的电阻称为磁隧道电阻元件的电阻。

在该结构中，测定通过绝缘层 TB 的电流，可以观测到电流值随着两个强磁性体层的磁化方向而变的现象、即磁隧道电阻元件的电阻不同的现象。另外，也可以用非磁性体层代替绝缘层 TB。

该现象称为隧道磁阻 (TMR) 效应。

< 隧道磁阻效应 >

用图 40 及图 41 说明隧道磁阻效应的概念。

图 40 表示在强磁性体层 FM1 及 FM2 中，磁化矢量的方向一致的状态 (平行状态: Parallel)，在此情况下，端子 T1 及 T2 之间的电阻最小。

图 41 表示在强磁性体层 FM1 及 FM2 中，磁化矢量的方向相差 180° 的状态 (反平行状态: Antiparallel)，在此情况下，端子 T1 及 T2 之间的电阻最大。

因此，可以作成：固定强磁性体层 FM1 及 FM2 中的一个的磁化矢量方向，使另一个的磁化矢量方向在与前一个的磁化矢量方向一致或正相反的两个方向中任意变化的结构，来使两个强磁性体层的磁化方向对应于位 0 或位 1，进而进行信息存储，这种装置即是 MRAM (磁随机存取存储器)。

即，可以通过在两个强磁性体层的磁化方向的两个组合中，将电阻高的组合设定为位 1，将电阻低的组合设定为位 0，或者相反，来存

储信息。

图 42 中示出了利用隧道磁阻效应的旋转阀型磁隧道结元件的基本结构。

在图 42 中，绝缘层（非磁性体层也可以）TB 被夹在强磁性体层 FM1 及 FM2 之间，反强磁性体层 AFM 配置在强磁性体层 FM2 的下部。

这里，用矫顽磁力大的 CoFe 构成强磁性体层 FM2，用矫顽磁力较小的坡莫合金构成强磁性体层 FM1，用 IrMn 构成反强磁性体层 AFM，利用反强磁性体层 AFM 使强磁性体层 FM2 的磁化方向固定，另外由于强磁性体层 FM2 的矫顽磁力大，所以其磁化方向不易随外部磁场反转。另一方面，强磁性体层 FM1 的磁化方向容易随外部磁场变化，所以通过用外部磁场改变强磁性体层 FM1 的磁化方向，能改变磁隧道电阻元件的电阻。

由于 MRAM 技术具有通用性，且成本低，所以正在研究用来代替快速存储器、SRAM（静态 RAM）、DRAM（动态 RAM）等存储技术。

< MRAM 的结构例 >

在 MRAM 中，存储在构成存储单元的磁隧道电阻元件中的信息，可以通过给单元以设定电流、读出磁道电阻元件两端电压的方法来读出。因此，隧道磁阻（TMR）的变化率（TMRR）越大越容易读出，所以旋转极化率（对隧道概率有影响）大的强磁性体材料有利于 MRAM。

另外，利用使规定的电流流过布线（字线及位线）发生的磁场，确定两个强磁性体层中一层的磁化矢量的方向，对 MRAM 的磁隧道电阻元件进行信息的写入。

以下，作为 MRAM 的一例，用图 43～图 46 说明美国专利 USP5,793,697 及 USP5,640,343 中公开的 MRAM 的结构及工作。

图 43 是表示 MRAM 单元阵列和单元的斜视图。在图 43 中，位线 4、5 及 6 互相平行配置，以便在互相平行配置的字线 1、2 及 3 的上部交叉。

而且，在被字线及位线夹在中间各交点上形成 MRAM 单元（以下，有时简称单元）9。在图 43 中如放大图所示，MRAM 单元 9 的结构为：在字线上层叠了硅 pn 结二极管 7 和磁隧道结元件（MTJ）8。

图 44 是表示 MRAM 单元 9 的剖面结构的模式图。另外，在图 44 中例举了字线 3 上的 MRAM 单元 9，字线 3 配置在硅衬底 80 上，n⁺硅层 10

和 p⁺硅层 11 层叠在字线 3 上，形成 pn 结二极管 7。用氧化硅膜 13 等绝缘膜覆盖 pn 结二极管 7。

而且，钨接线柱 12 配置在 pn 结二极管 7 的上部，pn 结二极管 7 通过钨接线柱 12 导电性地连接在 MTJ8 上。另外，硅氧化膜 13 覆盖着钨接线柱 12，通过 CMP（化学机械抛光）使钨接线柱 12 和硅氧化膜 13 的表面平坦化。

MPJ8 是层叠结构，从下至上依次备有：由白金（Pt）构成的模板层 15（厚 10nm）、由 Ni₈₁Fe₁₉ 坡莫合金构成的初始强磁性体层 16（厚 4nm）、由 Mn₅₄Fe₄₆ 构成的反磁性体层 18（厚 10nm）、由 CoFe 或 Ni₈₁Fe₁₉ 坡莫合金构成的磁化方向固定的强磁性体层（FMF 层）20（厚 8nm）、由 Al₂O₃ 构成的隧道阻挡层 22、由厚度为 2nm 的 CoFe 和厚度为 20nm 的 Ni₈₁Fe₁₉ 多层膜构成的软强磁性体层（FMS 层）24、由 Pt 构成的接触层 25。

另外，淀积厚度为 1~2nm 的 Al 后，采用等离子体氧化法，在 100mTorr 的氧气压力下，用 25W/cm² 的功率密度，处理 60~240 秒，形成隧道阻挡层 22。

另外，图 44 中虽然未示出，但实际上在衬底 80 上的硅氧化膜 13 的全部表面上形成一个大的 MTJ，用光致抗蚀剂掩模，通过氩离子刻蚀，对该 MTJ 进行构图，形成多个图 44 所示的小的 MTJ8。用硅氧化膜 26 覆盖各个 MTJ8。另外，图 44 中虽然未示出，但接触层 25 连接在位线上。

如上所述，软强磁性体层 24 的磁化方向与强磁性体层 20 的磁化方向相同时、以及方向相反时，在这两种情况下 MTJ8 的磁隧道电阻不同。软强磁性体层 24 的磁化方向能在由流过位线和字线的电流生成的磁场中变化。

另外，MTJ8 的磁隧道电阻的大小与隧道阻挡层 22 的厚度、该阻挡层高度、以及结下面的界面的粗糙度等膜的材料特性有很大关系。

软强磁性体层 24 的磁化方向为被称为易磁化轴的容易磁化的方向。沿着该易磁化轴的磁化方向呈两个方向，能分别对应于存储单元的两个数据 0 及 1。

另一方面，强磁性体层 20 的磁化方向与软强磁性体层 24 的易磁化轴相同，而且，不随 MRAM 的工作状态的不同而变化。

将该磁化方向称为单向各向异性方向。将 MTJ8 的本征各向异性、应力感应各向异性、起因于形状的各向异性组合起来，决定软强磁性体层 24 的易磁化轴。

这里，所谓本征各向异性，意味着强磁性体具有的物性本身的磁化各向异性，所谓应力感应各向异性，意味着将应力加在强磁性体上时产生的磁化各向异性。

另外，如图 43 所示，MTJ8 的俯视形状呈长边长度为 L、短边长度为 W 的长方形。这是为了利用起因于 MTJ8 的形状的各向异性，规定软强磁性体层 24 的易磁化轴。

其次，说明强磁性体层 20 的固定磁化方向的设定方法。在模板层 15 上淀积形成的初始强磁性体层 16 使晶体方位为 {111} 的面朝上生长。另外，在初始强磁性体层 16 上淀积由 MnFe 构成的反磁性体层 18。

在朝向与后淀积的软强磁性体层 24 的易磁化轴方向相同的方向的磁场的作用下，淀积这些磁性体层，由此，规定强磁性体层 20 的固定磁化方向。

另外，由于在强磁性体层 20 和反磁性体层 18 之间磁通闭合，所以强磁性体层 20 的磁化方向与软强磁性体层 24 相比，不容易被外部磁场改变方向，在由流过字线和位线的电流产生的磁场大小的范围内，强磁性体层 20 的磁化方向是固定的。另外，由于 MTJ8 的俯视形状呈长方形，所以，发生起因于强磁性体层 20 的形状的磁化各向异性，这也对强磁性体层 20 的磁化方向的稳定有作用。

< MRAM 的写入/读出工作的概要 >

说明图 43 及图 44 所示的 MRAM 的写入及读出工作。

如果规定的电流流过进行地址选择用的字线及位线（称为选择字线及选择位线），则在各线的周围产生电场，在两线的交叉部（选择地址）产生各磁场耦合的耦合磁场。如果施加该磁场，则设置在两线的交叉部上的 MTJ8 的软强磁性体层 24 的磁化方向便在层所在的平面内旋转，进行数据的写入。

该磁场的大小设计得比软强磁性体层 24 的转换磁场（磁化方向开始反转的磁场）大，主要由软强磁性体层 24 的顽磁力和磁化各向异性决定。

另外，在选择字线及选择位线的周围产生的磁场必须设计得足够

小，以便不使强磁性体层 20 的固定磁化的方向旋转。这是为了不改变半选择 (Half select) 单元的磁化方向。另外，所谓半选择单元，是位于其上下的字线及位线两者中只有一者流过电流的单元。

这样，为了降低写入时的功耗，存储单元阵列的结构设计使写入电流不直接流过 MTJ8。

另外，通过读出垂直接流过 pn 结二极管 7 和 MTJ8 的电流，读出被写入 MRAM 单元 9 中的数据。另外，工作时隧道电流沿纵向流入 MRAM 单元 9 中，所以能减少 MRAM 单元 9 的占有面积。

MTJ8 的由 Al_2O_3 构成的隧道阻挡层 22 的电阻相对于厚度大致呈指数关系变化。即，流过隧道阻挡层的电流随着厚度的增加而减少，只有通过结的电流相对于结垂直接流过。

而且，通过监视比写入电流小很多的读出电流垂直接流过 MTJ8 时发生的 MRAM 单元 9 的电压，读出 MRAM 单元 9 中的数据。

如上所述，与开始状态下的软强磁性体层 24 中的旋转极性极性相同的旋转状态密度，在结束状态下的强磁性体层 20 中存在得越多，MTJ8 的通过概率越大。

因此，在软强磁性体层 24 和强磁性体层 20 的旋转状态相同的情况下，即，在两层的磁化方向相同的情况下，MTJ8 的磁隧道电阻低，在磁化方向相反的情况下，MTJ8 的磁隧道电阻高。因此，如果用微小的电流监视 MTJ8 的电阻，就能读出 MRAM 单元 9 的数据。

另外，可以忽视读出电流产生的磁场，因为其不会影响 MRAM 单元 9 的磁化状态。另外，由于 MRAM 单元 9 的读出/写入所必要的布线只是图 43 所示的位线和字线阵列，所以能构成效率好的存储单元阵列。

< 写入工作 >

以下，再用图 45 及图 46 说明 MRAM 的写入工作。

图 45 是图 43 所示的存储单元阵列的等效电路图，字线 1~3 的两端分别连接在字线控制电路 32 上，位线 4~6 的两端分别连接在位线控制电路 31 上。另外，有时将字线 1~3 表示成字线 WL1~WL3，将位线 4~6 表示成位线 BL4~BL6。

而且，在字线 1~3 及位线 4~6 的交点上配置用电阻符号表示的 MTJ8 及用二极管符号表示的 pn 结二极管 7。

这里，如果设想选择字线 1 及位线 4 的情况，则选择位于两者的

交点上的 MRAM 单元 9a。

利用由流过位线 4 的电流 I_b 和流过字线 1 的电流 I_w 产生的耦合磁场，写入被选择的 MRAM 单元 9a。

电流 I_b 及 I_w 两者中的任意一者在单元区域内单独产生的磁场，都比改变 MTJ8 的软强磁性体层 24 的磁化方向所需要的磁场小。

因此，在作为半选择单元的 MRAM 单元 9b ~ 9e（电流 I_b 或 I_w 两者中只有一个流过字线及位线的单元）中不进行写入。

可是，如果由电流 I_b 及 I_w 产生的磁场相耦合，则足以改变被选择的存储单元 9a 的软强磁性体层 24 的磁化方向。

另外，电流 I_b 及 I_w 两者中的至少一者设计得能双向流动，以便能使单元 9a 的软强磁性体层 24 的磁化方向呈相反的两个不同的磁化方向。另外，在图 45 中，由于位线控制电路 31 和字线控制电路 32 都由两个线对构成，电流 I_b 及 I_w 两者都能改变电流方向。

图 46 表示位线 4 ~ 6（位线 BL4 ~ BL6）及字线 1 ~ 3（字线 WL1 ~ WL3）的电压及电流的时序图。

如图 46 所示，写入时位线 BL4 ~ BL6 的电压设定成为能使电流易于双向流动的电压 V_b 。另外，字线 WL1 ~ WL3 的电压设定得比电压 V_b 大，而且呈正电压 V_w 。

准备时，这些电压被设定，使逆偏压加在所有单元 9 的 pn 结二极管 7 上。因此，准备时电流 I_b 及 I_w 不流过存储单元内。

< 读出工作 >

其次，再用图 45 及图 46 说明 MRAM 的读出工作。如图 46 所示，字线 WL1 的电压从 V_w 下降到 V_b ，位线 BL4 的电压从 V_b 上升到 V_w ，将偏压依次加在被选择的单元 9a 的 pn 结二极管 7 上。

读出过程中，非选择位线 5 及 6 仍然呈准备电压 V_b ，非选择字线 WL2 及 3 仍然呈准备电压 V_w 。

另外，在半选择单元 9b ~ 9e 中，由于从字线到位线没有电压降（即，0V 加在 pn 结二极管 7 上），所以没有电流流过单元内。

选择单元 9a 的磁隧道电阻，决定从位线 BL4 通过单元 9a 流到字线 WL1 的读出电流 30（参考图 45）的大小。在构成位线控制电路 31 的一部分的读出电路中，将对应于单元的两个状态预测的两个电流值的平均值作为参考电流，与读出电流进行比较。然后，将两个电流的

差放大，读出存储在单元 9a 中的数据。

另外，如图 46 中的读出电流 30 的波形所示，读出电流 30 呈相当于 MTJ8 的两个磁化状态的两种电流波形。

读出数据后，位线 BL4 和字线 WL1 的电压虽然返回各自的准备值，但存储单元 9a 的磁化状态在读出工作后，仍然维持。

< MRAM 存储单元阵列的结构例 >

图 47 模式地表示美国专利 USP6,272,040“System and Method for programming a magnetoresistive memory device”中公开的 MRAM 存储单元阵列的结构。

图 47 表示 MRAM 存储单元阵列的一部分结构，分别有磁隧道电阻元件 MR91、MR92、MR93 及 MR94，示出了 4 个存储单元。

磁隧道电阻元件 MR91 及 MR92 各自的位线端子都连接在列存储线 C1 上，列存储线 C1 通过 N 沟道型的 MOS 晶体管 Q91，导电性地连接在参考电源 VR91 上。

另外，磁隧道电阻元件 MR91 及 MR92 的选择线端子分别通过 N 沟道型的 MOS 晶体管 Q93 及 Q94，共同连接在输出线上，输出线连接在输出缓冲器 B91 上。

而且，磁隧道电阻元件 MR91 及 MR92 各自的数字线端子共同连接在存储线 R91 上，存储线 R91 连接在电流源 S93 上。

另外，磁隧道电阻元件 MR93 及 MR94 各自的位线端子共同连接在列存储线 C2 上，列存储线 C2 通过 N 沟道型的 MOS 晶体管 Q92 导电性地连接在参考电源 VR91 上。

另外，磁隧道电阻元件 MR93 及 MR94 的选择线端子分别通过 N 沟道型的 MOS 晶体管 Q95 及 Q96 共同连接在输出线上，输出线连接在输出缓冲器 B91 上。输出线的连接节点是节点 N1。

而且，磁隧道电阻元件 MR93 及 MR94 各自的数字线端子共同连接在存储线 R92 上，存储线 R92 连接在电流源 S94 上。

这里，列存储线 C1 及 C2 分别连接在双向电流源 S91 及 S92 上。

双向电流源 S91 及 S92 分别配置在地 (GND) 和列存储线 C1 及 C2 之间，是能进行三种模式工作的电源。即，如果以双向电流源 S91 为例，则在控制信号 C91 为 + 的情况下，例如在列存储线 C1 中使电流在图面内向右流，在控制信号 C91 为 - 的情况下，使电流向左流。另外，

在控制信号 C91 既不为+也不为-的情况下，双向电流源不工作，保持准备状态。

其次，参考图 47，说明 MRAM 存储单元阵列的工作。

电流源 S93 根据信号 RR1，使中间电平和阈值电平电流流向存储线 R91。另外，在存储线 R91 中电流只沿一个方向流。

这里，所谓阈值电平电流，是指发生使强磁性体的磁化方向反转所必要的磁场的电流的大小，所谓中间电平电流，是指不使强磁性体的磁化方向反转的电流的大小。

MOS 晶体管 Q91 及 Q92 两者都接收写入/读出控制信号 R/W，根据控制信号 R/W，将参考电压 V_{ref} 加在列位线 C1 及 C2 上的开关工作。

在读出磁隧道电阻元件 MR91 的信息时，首先，将读出控制信号供给 MOS 晶体管 Q1，MOS 晶体管 Q91 导通，参考电压 V_{ref} 加在列位线 C1 上。

接着，MOS 晶体管 Q93 导通，电流流过磁隧道电阻元件。其他 MOS 晶体管呈截止状态，所以流过磁隧道电阻元件 MR1 的电流流到节点 N1。这时，磁隧道电阻元件 MR1 的电流值由保持在磁隧道电阻元件 MR1 中的信息、即隧道磁阻值决定。

而且，流到节点 N1 的电流被缓冲器 B91 放大后作为输出电流 I_{out} 输出，利用图中未示出的读出放大器，读出电流或电压，判断保持在磁隧道电阻元件 MR1 中的信息是 0 还是 1。

在将数据写入磁隧道电阻元件 MR91 时，控制信号 C91 和信号 RR91 接通，电流流过列位线 C1 及存储线 R91。

由流过列位线 C1 的电流 I_{c1} 的方向决定写入磁隧道电阻元件 MR91 的信息(0 或 1)。而且，控制电流 I_{c1} 的方向的是供给双向电流源 S91 的控制信号 C91。

然后，从双向电流源 S91 供给的电流 I_{c1} 和从电流源 S93 供给的电流 I_{R1} 在磁隧道电阻元件 MR91 的附近产生交变磁场，决定构成电阻元件 MR91 的强磁性体的磁化矢量的方向。

这样的读出、写入工作在磁隧道电阻元件 MR92 ~ MR94 中也一样。

[发明欲解决的课题]

在以上说明的常规的 MRAM 中，不能同时读出连接在同一位线上的不同地址的存储单元中的信息。

本发明就是为了解决上述的问题而完成的，目的在于提供一种能在任意的时刻读出连接在同一位线上的不同地址的存储单元中的信息的MRAM。

[解决课题用的方法]

本发明的第一方面所述的磁存储装置是一种备有将多个存储单元排列成矩阵状构成的存储单元阵列的磁存储装置，上述存储单元至少有多条位线、多条字线、以及磁隧道结元件，上述存储单元有导电性地连接在成对的第一及第二位线上、至少具有作为对上述磁隧道结元件的信息读出用的电流路径功能的第一电流路径，上述第一电流路径有配置在上述第一电流路径内的第一及第二开关元件，上述第一开关元件配置，可以控制上述第一位线和上述磁隧道结元件的导电性连接、非连接，上述第二开关元件配置，可以控制上述第二位线和上述磁隧道结元件的导电性连接、非连接。

本发明的第二方面所述的磁存储装置的上述第一电流路径还具有作为对上述磁隧道结元件的信息写入用的电流路径的功能，上述存储单元还有第二电流路径，该第二电流路径具有作为对上述磁隧道结元件的信息写入及读出用的电流路径的功能，上述第一及第二电流路径在俯视图中非接触地正交地配置，上述磁隧道结元件导电性地连接在上述第一及第二电流路径之间。

本发明的第三方面所述的磁存储装置的上述存储单元还有第三电流路径，该第三电流路径导电性地连接在成对的第三及第四位线上，具有作为对上述磁隧道结元件的信息写入及读出用的电流路径的功能，上述第三电流路径有配置在上述第三电流路径内的第三及第四开关元件，上述第三开关元件的配置，可以控制上述第三位线和上述磁隧道结元件的导电性连接及非连接，上述第四开关元件的配置，可以控制上述第四位线和上述磁隧道结元件的导电性连接及非连接。

本发明的第四方面所述的磁存储装置的呈矩阵状配置的多个上述存储单元中、位列不同且相邻配置的上述存储单元之间，共有配置在其间的上述第一及第二位线中的至少一者。

本发明的第五方面所述的磁存储装置的上述第一及第二开关元件分别根据从第一及第二字线供给的控制信号，进行开关工作。

本发明的第六方面所述的磁存储装置的上述第一及第二开关元件

分别根据从第一及第二字线供给的控制信号，进行开关工作，上述第三及第四开关元件分别根据从第三及第四字线供给的控制信号，进行开关工作。

本发明的第七方面所述的磁存储装置的上述第一及第二开关元件根据从第一字线供给的控制信号，进行开关工作，上述第三及第四开关元件分别根据从第二及第三字线供给的控制信号，进行开关工作。

本发明的第八方面所述的磁存储装置还备有连接在上述第二电流路径上的电压源及电流源，有选择地进行对上述第二电流路径的来自上述电压源的电压供给、以及来自上述电流源的电流供给。

本发明的第九方面所述的磁存储装置的上述存储单元还有导电性地连接在第三位线上、具有作为对上述磁隧道结元件的信息读出用的电流路径的功能的第三电流路径，上述第三电流路径有配置在上述第三电流路径内的第三开关元件，上述第三开关元件配置，可以控制上述第三位线和上述磁隧道结元件的导电性地连接及非连接。

本发明的第十方面所述的磁存储装置的上述第一及第二开关元件根据从第一字线供给的控制信号，进行开关工作，上述第三开关元件根据从第二字线供给的控制信号，进行开关工作。

本发明的第十一方面所述的磁存储装置的上述存储单元还有具有作为对上述磁隧道结元件的信息写入用的电流路径的功能的第二电流路径；以及对上述磁隧道结元件的信息写入时，具有作为控制构成上述磁隧道结元件的磁性体的磁化方向用的电流路径的功能的第三电流路径，上述磁隧道结元件导电性地连接在上述第一及第二电流路径之间。

本发明的第十二方面所述的磁存储装置的上述磁隧道结元件备有层叠得至少构成一个磁隧道结的磁性体的多层膜，上述第一电流路径导电性地连接在上述多层膜的最上层及最下层中的一层上，上述第二电流路径导电性地连接在上述多层膜的最上层及最下层中的另一层上，上述第三电流路径与上述第二电流路径绝缘，配置在上述第二电流路径附近，在俯视图中与上述第一电流路径正交。

本发明的第十三方面所述的磁存储装置还备有连接在上述第二电流路径上的电流源及电压源，上述电流源是能选择流过上述第二电流路径的电流的方向的双向电流源，有选择地进行对上述第二电流路径

的来自上述电压源的电压供给及来自上述电流源的电流供给。

本发明的第十四方面所述的磁存储装置的上述多条位线及上述多条字线是构成分级位线结构及分级字线结构的支线。

本发明的第十五方面所述的磁存储装置的上述第一及第二位线分别连接在读出放大器上。

本发明的第十六方面所述的磁存储装置的连接在上述读出放大器上的电源供给线是构成分级功率线路结构的支线。

本发明的第十七方面所述的磁存储装置的上述磁隧道结元件配置在与上述第一及第二开关元件的配置层相同的层中。

本发明的第十八方面所述的磁存储装置的上述磁隧道结元件配置在上述第一及第二位线的配置层的上层中。

[附图的简单说明]

图 1 是模式地表示一般的磁隧道电阻元件的断面结构的图；

图 2 是说明磁隧道电阻元件的符号标记的图；

图 3 是表示强磁性体的磁化方向变化所必要的磁场的大小及其方向的图；

图 4 是表示双端口 MRAM 的示意结构的框图；

图 5 是表示本发明的实施方案 1 的 MRAM 的平面布局图；

图 6 是表示本发明的实施方案 1 的 MRAM 的结构的剖面图；

图 7 是表示本发明的实施方案 1 的 MRAM 的磁隧道电阻元件的结构的剖面图；

图 8 是表示本发明的实施方案 1 的 MRAM 的磁隧道电阻元件的变形例的结构的剖面图；

图 9 是表示本发明的实施方案 1 的 MRAM 的结构的剖面图；

图 10 是表示本发明的实施方案 1 的 MRAM 的电路结构图；

图 11 是说明本发明的实施方案 1 的 MRAM 的工作的时序图；

图 12 是表示本发明的实施方案 1 的 MRAM 的变形例的结构的剖面图；

图 13 是表示本发明的实施方案 2 的 MRAM 的电路结构图；

图 14 是说明本发明的实施方案 2 的 MRAM 的工作的时序图；

图 15 是表示本发明的实施方案 3 的 MRAM 的电路结构图；

图 16 是表示本发明的实施方案 3 的 MRAM 的平面布局图；

- 图 17 是表示本发明的实施方案 3 的 MRAM 的结构的剖面图；
- 图 18 是说明本发明的实施方案 3 的 MRAM 的工作的时序图；
- 图 19 是说明本发明的实施方案 3 的 MRAM 的工作的时序图；
- 图 20 是表示本发明的实施方案 3 的 MRAM 的变形例的结构的剖面图；
- 图 21 是表示本发明的实施方案 4 的 MRAM 的电路结构图；
- 图 22 是说明本发明的实施方案 4 的 MRAM 的工作的时序图；
- 图 23 是说明本发明的实施方案 4 的 MRAM 的工作的时序图；
- 图 24 是表示本发明的实施方案 4 的 MRAM 的一个存储单元的平面布局图；
- 图 25 是表示本发明的实施方案 4 的 MRAM 的一个存储单元的最下层的平面布局图；
- 图 26 是表示本发明的实施方案 4 的 MRAM 的一个存储单元的位线以下的平面布局图；
- 图 27 是表示本发明的实施方案 4 的 MRAM 的一个存储单元的字线以下的平面布局图；
- 图 28 是表示本发明的实施方案 4 的 MRAM 的变形例 1 电路结构图；
- 图 29 是表示本发明的实施方案 4 的 MRAM 的变形例 1 的一个存储单元的平面布局图；
- 图 30 是表示本发明的实施方案 4 的 MRAM 的变形例 1 的一个存储单元的最下层的平面布局图；
- 图 31 是表示本发明的实施方案 4 的 MRAM 的变形例 1 的一个存储单元的位线以下的平面布局图；
- 图 32 是表示本发明的实施方案 4 的 MRAM 的变形例 1 的一个存储单元的字线以下的平面布局图；
- 图 33 是表示本发明的实施方案 4 的 MRAM 的变形例 2 电路结构图；
- 图 34 是说明本发明的实施方案 4 的 MRAM 的变形例 2 的工作的时序图；
- 图 35 是说明本发明的实施方案 4 的 MRAM 的变形例 2 的工作的时序图；
- 图 36 是表示本发明的实施方案 4 的 MRAM 的变形例 2 的一个存储单元的平面布局图；

图 37 是表示本发明的实施方案 4 的 MRAM 的变形例 2 的一个存储单元的最下层的平面布局图;

图 38 是表示本发明的实施方案 4 的 MRAM 的变形例 2 的一个存储单元的位线以下的平面布局图;

图 39 是表示磁隧道结的略图;

图 40 是说明隧道磁阻效应的示意图;

图 41 是说明隧道磁阻效应的示意图;

图 42 是表示旋转阀型磁隧道结元件的基本结构图;

图 43 是表示现有的 MRAM 单元阵列的结构的斜视图;

图 44 是表示现有的 MRAM 单元阵列的结构的剖面图;

图 45 是表示现有的 MRAM 单元阵列的等效电路图;

图 46 是说明现有的 MRAM 单元阵列的工作的时序图;

图 47 是表示现有的 MRAM 单元阵列的结构的电路图。

[发明的实施方案]

< 磁隧道电阻元件 >

在说明本发明的实施方案之前,用图 1 至图 3 更详细地说明一般的磁隧道电阻元件的结构及工作情况。另外,在以下的实施方案的说明中,虽然使用磁隧道电阻元件这样的称谓,但意味着至少有一个磁隧道结,有时也称为磁隧道结元件。

图 1 是模式地表示美国专利 USP5,940,319 “Magnetic Random Access Memory and Fabricating Method Thereof” 及美国专利 USP5,732,016 “Memory Cell Structure in a Magnetic Random Access Memory and a Method For Fabricating Thereof” 中公开的磁隧道电阻元件的剖面结构图。

图 1 所示的磁隧道电阻元件 MR 在绝缘体层 3 的上部依次层叠强磁性体层 2 及 1,在绝缘体层 3 的下部配置强磁性体层 4,构成磁隧道结 (MTJ)。

另外,反强磁性体层 5 配置在强磁性体层 4 的下部。反强磁性体层 5 用来固定强磁性体层 4 的磁化方向,将该结构称为旋转阀型磁隧道结。

而且,在强磁性体层 1 及 2 中,用顽磁力小的材料构成强磁性体层 1,在外部磁场的作用下,强磁性体层 1 的磁化方向容易反转。其结

果，强磁性体层 2 的磁化方向伴随强磁性体层 1 的磁化方向的反转而反转。

磁隧道电阻元件 MR 被埋入层间绝缘膜 SZ 内，布线插头 PG1 配置在强磁性体层 1 上，布线插头 PG1 的上端面在层间绝缘膜 SZ 的主面上露出。布线 WR1 配置在层间绝缘膜 SZ 上，以便连接在该布线插头 PG1 的上端面上。

另外，金属层 6 配置在反强磁性体层 5 的下部，金属层 6 连接在金属层 7 上。布线 WR2 配置在金属层 7 的下部，其延伸方向是在俯视图中与布线 WR1 的延伸方向正交的方向。另外，布线 WR2 和金属层 7 绝缘。

布线 WR3 配置在布线 WR2 的下方，金属层 7 通过在层间绝缘膜 SZ 中沿垂直方向延伸的布线插头 PG2，导电性地与布线 WR3 连接。另外，布线 WR3 导电性地连接在 N 沟道 MOS 晶体管 TR 上。

另外，在图 1 中，布线 WR1 和布线插头 PG1 的连接节点为节点 ND1，布线 WR2 和金属层 7 的连接节点为节点 ND2，布线 WR3 和布线插头 PG2 的连接节点为节点 ND3。

在这样的结构中，如果使电流从布线 WR1 朝向布线 WR3 流，则在强磁性体层 1 及 2 的磁化方向和强磁性体层 3 的磁化方向相同与不同时，通过绝缘体层 3 的电流不同。

即，如果磁化的方向相同，则电阻变低，如果不同，则电阻变高，磁隧道结对应于强磁性体层的磁化方向的朝向，具有两个隧道磁阻 (TRM) (隧道磁阻效应)。

隧道磁阻的变化率 (TMRR) 约为 30%~50% 左右。隧道磁阻的值除了强磁性体的磁场方向以外，随着夹持在强磁性体层之间的绝缘体层的物性和厚度等的变化而变化。另外，即使从强磁性体层 1 到反强磁性体层 5 的层叠结构上下颠倒，也能获得同样的效果。

为了改变隧道磁阻，具体地说改变强磁性体层 1、2 的磁化方向即可。为此，使电流流过布线 WR2，在其周围发生的磁场比为了改变磁化方向所需要的临界磁场大即可。这时，虽然强磁性体层 4 也受到同样的磁场的影响，但由于反磁性体层 5 的存在，从强磁性体层 4 发出的磁通进入反强磁性体层 5 内，所以强磁性体层 4 的磁化方向不变。另外，在图 1 中虽然流过布线 WR2 的电流 I 的方向用箭头表示为双向，

但它表示使电流沿哪个方向流都可以。

这里，在反强磁性体层 5 中，例如使用含有 20~30atom.%Ir (铱) 的 IrMn，强磁性体层 4 及 2 使用顽磁力大的 CoFe，作为构成隧道阻挡层的绝缘体层 3 使用 Al_2O_3 ，在强磁性体层 1 中使用顽磁力和旋转极化率小的 $Ni_{80}Fe_{20}$ (坡莫合金)。

图 2 中示出了表示隧道磁阻元件 MR 的标记。这里，MR 是磁阻的简称。

图 2 中的标记意味着节点 ND1 和节点 ND3 之间的电阻随着电流流过布线 WR2 而发生的磁场的变化而变化的电阻元件。因此，图 2 中的标记包括具有该特征的全部隧道磁阻元件，不只限定于图 1 所示的结构。

图 3 中示出了使强磁性体的磁化方向变化，所需要的磁场的大小及其方向。在图 3 中，示出了在磁场 H_x 和 H_y 的耦合磁场中，形成使磁化方向反转所需要的磁场 (临界磁场) H_k 时的上述三个磁场的关系。

这里，将强磁性体容易磁化的方向称为易磁化轴，将磁化难的方向称为难磁化轴，在图 3 中，横轴表示易磁化轴，纵轴表示难磁化轴，另外 x 轴方向的磁场分量用 H_x 表示，y 轴方向的磁场分量用 H_y 表示。

如图 3 所示，在 $H_x + H_y < H_k$ 的范围内，磁化方向不变化。另一方面，在 $H_x + H_y > H_k$ 的范围内，磁化方向变化。另外，这些磁场是通过使电流流过具有导电性的布线而获得的。

在以下的说明中，将发生使磁化方向反转所需要的磁场的电流的大小称为“阈值电平电流”，将不能使磁化方向反转的电流的大小称为“中间电平电流”。

< 双端口 MRAM 的概念 >

至此如上所述，MRAM 将双态信息存储在由磁隧道电阻元件构成的存储单元中，但在用图 45 说明的 MRAM 及用图 47 说明的 MRAM 中进行存储单元的双态信息的读出及写入的通路只有一个，称为单端口 MRAM。

与此不同，以双端口 MRAM 为代表的多端口 MRAM 在各存储单元中有多个读出或写入的通路，能独立且非同步地进行双态信息的读出或写入。

图 4 是表示有独立的读出或写入控制电路的双端口 MRAM 的概念结

构的框图。

在图4中, MRAM101有两个端口P1及P2, 读出/写入控制电路102连接在端口P1上, 读出/写入控制电路103连接在端口P2上。而且微处理机104及105分别连接在读出/写入控制电路102及103上, 能通过读出/写入控制电路102及103访问MRAM101。

读出/写入控制电路102及103独立且非同步地工作, 能对构成MRAM101的任何一个存储单元进行双态信息的写入、读出。

在以下说明的实施方案中, 以双端口MRAM为前提进行说明。

< A. 实施方案1 >

< A-1. 装置结构 >

< A-1-1. 平面结构 >

图5模式地表示本发明的实施方案1的MRAM100的存储单元阵列部分的平面布局。

在图5中, 存储单元阵列中, 示出了4个MRAM存储单元, 作为单位单元UC00、UC10、UC01及UC11分别用虚线表示。

如图5所示, 位线BL0a、BL0b、BL1a、BL1b及空位线DBL平行配置, 字线WL0a、WL0b、WL1a及WL1b平行配置, 且在俯视图中与上述的位线正交。

而且, 存储线ML0平行于位线, 配置在被位线BL0a和BL0b夹持的区域的中央(单位单元的中央), 存储线ML1平行于位线, 配置在被位线BL1a和BL1b夹持的区域的中央(单位单元的中央)。

另外, MOS晶体管Q1及Q2的栅极平行于位线, 配置在单位单元UC00及UC01的激活区AA上, MOS晶体管Q10及Q11的栅极平行于位线, 配置在单位单元UC10及UC11的激活区AA上。

而且, 位线BL0a、BL0b、BL1a及BL1b在各单位单元中通过接触插头PG1, 导电性地连接在激活区AA上。

另外, 各MOS晶体管Q1的栅极通过接触插头PG2导电性地连接在字线WL0a上, 所以有时称为字线WL0a, 各MOS晶体管Q2的栅极通过接触插头PG2导电性地连接在字线WL0b上, 所以有时称为字线WL0b。

另外, 各MOS晶体管Q10的栅极通过接触插头PG2导电性地连接在字线WL1a上, 所以有时称为字线WL1a, 各MOS晶体管Q11的栅极通过接触插头PG2导电性地连接在字线WL1b上, 所以有时称为字线

WL1b。

这里，空区 DA 设置在图 5 的左端部。在空区 DA 中，空位线 DBL、空字线（空栅极）DWL 及空存储线 DML（在其下部有空磁隧道电阻元件 DMR）按照与存储单元区域同样的排列设置，空位线 DBL 通过接触插头 PG1，导电性地连接在激活区 AA 上。

字线和位线有按照相同的间距重复配置的形状，在该重复形状的抗蚀剂复制工序中，发生沿着重复形状的间距的光的驻波。可是，在重复结束的布局端部，重复形状的周期性被破坏，发生不同间距的驻波，在布局端部最后获得的抗蚀剂形状的尺寸有可能偏离设计值。

另外，通过复制工序使抗蚀剂构成形状后，用该抗蚀剂进行各向异性刻蚀，在层间绝缘膜中形成埋入字线或位线用的槽时生成等离子体，但等离子体的密度有沿着上述的重复形状间距的周期性。因此，在布局端部重复形状的周期性被破坏。等离子体的密度在端部和端部以外的部分不同，通过刻蚀形成的槽的宽度和深度有可能不同。

为了解决这样的问题，设置了空区 DA，即使在布局端部也能维持字线（即存储线）和位线、磁隧道电阻元件的重复形状，能抑制加工尺寸偏离设计值。

< A-1-2. 剖面结构 >

图 6 中示出了沿图 5 中的 A-A 线上的箭头方向的剖面结构。

如图 6 所示，MRAM100 配置在硅基板 SB 上，用设置在硅基板 SB 的表面内的元件分离绝缘膜 STI 规定激活区 AA。将氧化硅膜等绝缘膜埋入设置在硅基板 SB 的表面内的浅槽中，形成元件分离绝缘膜 STI，称为浅槽隔离。

如图 6 所示，单位单元 UC10 备有两个 MOS 晶体管 Q10 及 Q11、以及一个磁隧道电阻元件 MR10（磁隧道结元件）。其他单位单元的结构也与该结构相同。

MOS 晶体管 Q10 及 Q11 有同样的结构，在有选择地设置在硅基板 SB 上的栅极绝缘膜 G1 上，设有由含有不纯物而呈低电阻的掺杂多晶硅层 G2、势垒金属层 G3、金属层 G4 这样三层构成的多金属栅极，氮化硅膜 G5 配置在金属层 G4 上。

在表面沟道型的 N 沟道 MOS 晶体管的情况下，掺杂多晶硅层 G2 掺磷，在表面沟道型的 P 沟道 MOS 晶体管的情况下，掺杂多晶硅层 G2 掺

硼。

而且，偏移绝缘膜 G6 配置在这些多层膜的侧面。偏移绝缘膜 G6 采用电容率比设置在其外侧的侧壁绝缘膜 G7 低的绝缘膜。

例如，在将氮化硅膜用于侧壁绝缘膜 G7 的情况下，其相对电容率为 7.4~9，与此不同，相对电容率为 3.9 的氧化硅膜或相对电容率为 2.8~2.9 的 SiOC 膜等被用于偏移绝缘膜 G6。

另外，也可以将 SiC (相对电容率为 4.8) 或 SiOC 用于侧壁绝缘膜 G7。相对电容率乘以真空中的电容率，可得电容率。

另外，也可以使用不备有掺杂多晶硅层 G2 的金属栅极，代替上述的多金属栅极。即，也可以采用将势垒金属层 G3 直接配置在掺杂多晶硅层 G1 上的结构。由于金属栅极能获得比多金属栅极低的电阻，所以能使电路工作迅速。

配置偏移绝缘膜 G6 的目的在于：降低栅极和与栅极接触的接触插头 PG1 之间的寄生电容；以及降低栅极和配置在激活区 AA 的表面内的源漏延伸层 EX 的重叠电容。

另外，源漏延伸层 EX 是比源漏层 SD 的结浅的杂层，与源漏层 SD 为同一导电型，具有作为源漏层的功能。

源漏延伸层 EX 是在偏移绝缘膜形成后通过离子注入等形成的，所以源漏延伸层 EX 和栅极重叠的面积 OV 减少偏移绝缘膜的厚度部分，所以重叠电容减少。

如果栅极和接触插头 PG1 之间的寄生电容、以及栅极和源漏延伸层 EX 之间的重叠电容减少，则电路工作速度增大。在图 6 的结构中，特别是给位线的信息的读出或来自位线的信息的写入工作速度增大。

金属硅化物层 MS1 配置在 MOS 晶体管 Q10 和 Q11 之间。金属硅化物层 MS1 不仅覆盖在激活区 AA 上，而且覆盖在元件分离绝缘膜 STI 上，磁隧道电阻元件 MR10 配置在对应于元件分离绝缘膜 STI 上的金属硅化物层 MS1 上。

另外，磁隧道电阻元件 MR10 被设置在金属硅化物层 MS1 上的层间绝缘膜 IZ9 包围着。而且，其最上部的表面在层间绝缘膜 IZ9 的表面上露出，将其覆盖着配置势垒金属层 BM2，金属布线制的存储线 ML0 配置在势垒金属层 BM2 上。

磁隧道电阻元件 MR10，隔着势垒金属层 BM1 配置在金属硅化物层

MS1 之上, 在势垒金属层 BM1 上依次层叠反强磁性体层 AFM、强磁性体层 FM2、绝缘体层 BT1 及强磁性体层 FM1。然后, 强磁性体层 FM1 的上部被势垒金属 BM2 覆盖, 与存储线 ML0 连接。

另外, 强磁性体层 FM1 及 FM2 的易磁化轴方向可以与存储线 ML1 大致平行, 也可以与存储线大致垂直。通过层叠反强磁性体层 AFM 和强磁性体层 FM2, 能使强磁性体层 FM2 的磁化矢量固定。

这里, 金属硅化物 MS1 可以由 CoSi_2 、 NiSi_2 、 TiSi_2 、 WSi_2 、 PtSi_2 及 ZrSi_2 等任意一者构成, 反强磁性体层 AFM、以及设置在激活区 AA 的表面内的源漏层 SD 具有导电性地连接的功能。

另外, 金属硅化物层 MS1 能这样形成: 在适当的区域中形成多晶硅层或非晶硅层后, 在它上面淀积金属层, 通过施加 RTA (Rapid Thermal Anneal) 等热处理, 使金属和多晶硅 (或非晶硅) 进行硅化物反应。

例如, 在形成 CoSi_2 时, 作为第一次的 RTA, 进行 $450\sim 600^\circ\text{C}$ 的热处理, 作为第二次的 RTA, 进行 $700\sim 850^\circ\text{C}$ 的热处理, 使钴和多晶硅 (或非晶硅) 进行硅化物反应即可形成。

另外, 将强磁性体层失去磁化性能的温度称为居里温度, 但大多数强磁性体层的居里温度比它们的 RTA 的温度低, 所以最好在晶体管的源漏层上形成了金属硅化物层后, 形成磁隧道电阻元件。

另外, MOS 晶体管 Q10 及 Q11 的不被金属硅化物层 MS1 覆盖的源漏层, 通过由具有导电性的材料构成的接触插头 PG1, 导电性地连接在位线 BL0a 及 BL0b 上。

例如, 将掺杂多晶硅或钨等填充在贯通层间绝缘膜 IZ1 的接触孔内, 构成接触插头 PG1。

另外, 在以上的说明中, 虽然说明了单位单元 UC10 的结构, 但其他单位单元也有同样的结构。

位线 BL0a、BL0b、BL1a 及 BL1b (第一层的金属层) 配置在被设置在层间绝缘膜 IZ1 上的层间绝缘膜 IZ2 中, 层间绝缘膜 IZ3 及 IZ4 依次配置在层间绝缘膜 IZ2 上。另外, 在图 6 中省略了层间绝缘膜 IZ4 的上层的结构。

其次, 在图 7 中示出了沿图 5 中的 B-B 线上的箭头方向剖面结构。

图 7 表示跨越单位单元 UC10 和 UC00 的存储线 ML0、以及它下面

的磁隧道电阻元件 MR10 及 MR00 的纵向剖面，在配置在金属硅化物层 MS1 上的势垒金属层 BM1 上，依次层叠反强磁性体层 AFM、强磁性体层 FM2、绝缘体层 BT1 及强磁性体层 FM1，构成磁隧道电阻元件 MR10 及 MR00。

然后，在磁隧道电阻元件 MR10 及 MR00 上配置势垒金属层 BM2，在势垒金属层 BM2 上配置存储线 ML0。之所以将势垒金属层 BM2 夹在存储线 ML0 和磁隧道电阻元件 MR10 及 MR00 之间，是为了防止构成存储线 ML0 及磁隧道电阻元件 MR10、MR00 的原子之间互相扩散。

另外，磁隧道电阻元件 MR10 及 MR00 用单位单元 UC10 和 UC00 进行电气分离，在单位单元 UC10 的磁隧道电阻元件 MR10 和单位单元 UC00 的磁隧道电阻元件 MR00 之间配置层间绝缘膜 IZ8。

这里，在图 8 中，作为磁隧道电阻元件的变形例，示出了没有反强磁性体层 AFM 的磁隧道电阻元件 MRX 的剖面结构。

如图 8 所示，在配置在金属硅化物层 MS1 上的势垒金属层 BM1 上，依次层叠强磁性体层 FM2、绝缘体层 BT1 及强磁性体层 FM1，构成磁隧道电阻元件 MRX。省去了反强磁性体层，能降低制造成本。

其次，在图 9 中示出了沿图 5 中的 C-C 线上的箭头方向剖面结构。

图 9 表示单位单元 UC10 及 UC00 中的 MOS 晶体管 Q11 及 Q2 的栅极（称为字线 WL1b 及字线 WL0b 时）沿纵向的剖面结构。

如图 9 所示，每个单位单元中各栅极在电气上独立，在相邻的栅极之间配置着层间绝缘膜 IZ9。

而且，各栅极在元件分离绝缘膜 STI 上通过接触插头 PG21 及 PG2 连接在字线 WL0b 及 WL1b 上。更具体地说，接触插头 PG21 的一端配置，贯通层间绝缘膜 IZ1 及氮化硅膜 G5，到达各栅极的金属层 G4 上，接触插头 PG21 的另一端连接在被设置在层间绝缘膜 IZ2 中的填充层 PD1 上。另外，填充层 PD1 是与各位线同样的第一层的金属层，配置它的目的在于确保接触插头 PG2 和 PG21 的对准余量。

而且，接触插头 PG2 的一端设置，贯通层间绝缘膜 IZ5 及 IZ4，到达各填充层 PD1，接触插头 PG2 的另一端连接在被设置在层间绝缘膜 IZ5 中的字线 WL0b 及 WL1b 上。另外，在层间绝缘膜 IZ5 上依次配置层间绝缘膜 IZ6 及 IZ7。

这里，接触插头 PG2 及 PG21、各填充层 PD1、字线 WL0b 及 WL1b

的表面被势垒金属覆盖，这样配置的目的在于防止构成它们的金属原子向周围的绝缘膜进行热扩散。

另外，以下给出各层间绝缘膜 IZ1 ~ IZ9 的材质的一例。即，层间绝缘膜 IZ1、IZ2、IZ5、IZ7 由作为低电容率 (low-k) 材料的 SiOC 构成，层间绝缘膜 IZ3、IZ4、IZ6 由 SiC 构成，层间绝缘膜 IZ8 及 IZ9 由 NSG (无掺杂硅酸盐玻璃) 或 TEOS (四乙基正硅酸盐) 等构成即可。另外，层间绝缘膜 IZ8 及 IZ9 也可以由作为 low-k 材料的 SiOC、SiOF 等构成。

这里，如层间绝缘膜 IZ3 及 IZ6，之所以用 SiC 构成金属层上部的层间绝缘膜，是为了防止金属层的氧化，但只要能防止金属层氧化，任何一种材料都可以。但是，如果考虑金属布线的寄生电容，最好是电容率尽可能小的绝缘材料。

另外，作为金属布线层、阻挡层、接触插头的材料，能使用铜、铝、硅酸铝、铝和硅和铜的合金、银、金、钼、钨等。

另外，在以上的说明中，虽然给出了在块状硅基板 SB 上形成 MRAM100 的结构，但也可以用 SOI (绝缘体外延硅) 基板或 SON (Silicon On Nothing) 基板，代替块状硅基板 SB。这在以下说明的其他实施方案的 MRAM 中也一样。

这里，所谓 SON 基板，是一种在半导体元件的形成区域下的硅层中设有空洞的基板，氢、空气、氩或氮被封入空洞内。

< A-2. 工作 >

用图 10 及图 11 说明 MRAM100 的工作。

图 10 中示出了 MRAM100 的电路图。另外，在图 10 中，还示出了对应于图 5 所示的单位单元 UC00、UC10、UC01 及 UC11 的部分的结构，将其他存储单元省略。

另外，在以下的说明中，将对应于单位单元 UC00、UC10、UC01 及 UC11 的结构表示成地址为 AD00、AD10、AD01 及 AD11 的存储单元。另外，在图 10 中，用可变电阻的标记记载磁阻元件。

如图 10 所示，地址为 AD00 的存储单元备有串联连接在位线 BL0a 和 BL0b 之间的 MOS 晶体管 Q1 及 Q2、以及磁隧道电阻元件 MR00，MOS 晶体管 Q1 及 Q2 的栅极连接在字线 WL0a 及 WL0b 上。

而且，磁隧道电阻元件 MR00 连接在 MOS 晶体管 Q1 与 Q2 的连接节

点和存储线 ML0 之间，将磁隧道电阻元件 MR00 和存储线 ML0 的连接节点称为节点 N1，将 MOS 晶体管 Q1 和 Q2 的连接节点称为节点 N2，将 MOS 晶体管 Q1 和位线 BL0a 的连接节点称为节点 N3，将 MOS 晶体管 Q2 和位线 BL0b 的连接节点称为节点 N4。

地址为 AD01 的存储单元备有串联连接在位线 BL1a 和 BL1b 之间的 MOS 晶体管 Q1 及 Q2、以及磁隧道电阻元件 MR01，MOS 晶体管 Q1 及 Q2 的栅极连接在字线 WL0a 及 WL0b 上。

而且，磁隧道电阻元件 MR01 连接在 MOS 晶体管 Q1 与 Q2 的连接节点和存储线 ML1 之间，将磁隧道电阻元件 MR01 和存储线 ML1 的连接节点称为节点 N1，将 MOS 晶体管 Q1 和 Q2 的连接节点称为节点 N2，将 MOS 晶体管 Q1 和位线 BL1a 的连接节点称为节点 N3，将 MOS 晶体管 Q2 和位线 BL1b 的连接节点称为节点 N4。

另外，地址为 AD10 的存储单元备有串联连接在位线 BL0a 和 BL0b 之间的 MOS 晶体管 Q10 及 Q11、以及磁隧道电阻元件 MR10，MOS 晶体管 Q10 及 Q11 的栅极连接在字线 WL1a 及 WL1b 上。

而且，磁隧道电阻元件 MR10 连接在 MOS 晶体管 Q10 与 Q11 的连接节点和存储线 ML0 之间，将磁隧道电阻元件 MR10 和存储线 ML0 的连接节点称为节点 N5，将 MOS 晶体管 Q10 和 Q11 的连接节点称为节点 N6，将 MOS 晶体管 Q10 和位线 BL0a 的连接节点称为节点 N7，将 MOS 晶体管 Q11 和位线 BL0b 的连接节点称为节点 N8。

地址为 AD11 的存储单元备有串联连接在位线 BL1a 和 BL1b 之间的 MOS 晶体管 Q10 及 Q11、以及磁隧道电阻元件 MR11，MOS 晶体管 Q10 及 Q11 的栅极连接在字线 WL1a 及 WL1b 上。

而且，磁隧道电阻元件 MR11 连接在 MOS 晶体管 Q10 与 Q11 的连接节点和存储线 ML1 之间，将磁隧道电阻元件 MR11 和存储线 ML1 的连接节点称为节点 N5，将 MOS 晶体管 Q10 和 Q11 的连接节点称为节点 N6，将 MOS 晶体管 Q10 和位线 BL1a 的连接节点称为节点 N7，将 MOS 晶体管 Q11 和位线 BL1b 的连接节点称为节点 N8。

另外，以上说明的 MOS 晶体管 Q1、Q2、Q10 及 Q11 如果是开关元件，则不限于 MOS 晶体管。

存储线 ML0 及 ML1 分别通过 N 沟道型的 MOS 晶体管 Q3 及 Q31 共同连接在参考电压源 VR1 上，同时分别连接在带有开关的电流源 S1 及 S2

上。

位线 BL0a、BL0b、BL1a 及 BL1b 分别连接在带有开关的缓冲器 B1、B2、B3 及 B4 的输入端上，电流 I0a、I0b、I1a 及 I1b 供给带开关的缓冲器 B1 ~ B4，在带有开关的缓冲器 B1 ~ B4 中放大后电流的输出分别供给读出放大器 SA1。

读出放大器 SA1 备有：有 P 沟道型的 MOS 晶体管 Q4 及 Q5，MOS 晶体管 Q4 及 Q5 的栅极和源极互相交叉连接的电流读出电路（第一级电路）；以及接收电流读出电路的输出的第一及第二电压放大器（第二级电路）。

第一电压放大器有串联连接构成倒相电路的 P 沟道型的 MOS 晶体管 Q6 和 N 沟道型的 MOS 晶体管 Q7，MOS 晶体管 Q6 及 Q7 的栅极共同连接在 MOS 晶体管 Q4 的栅极上，MOS 晶体管 Q6 和 Q7 的连接节点成为输出节点。

第二电压放大器有串联连接构成倒相电路的 P 沟道型的 MOS 晶体管 Q8 和 N 沟道型的 MOS 晶体管 Q9，MOS 晶体管 Q8 及 Q9 的栅极共同连接在 MOS 晶体管 Q5 的栅极上，MOS 晶体管 Q8 和 Q9 的连接节点成为输出节点。

在电流读出电路中，MOS 晶体管 Q4 及 Q5 的源极分别通过电阻 R10 及 R20 连接在电位 Vss（接地电位）上。

另外，在以下的说明中，以连接在带有开关的缓冲器 B1 上的读出放大器 SA1 为例进行说明。

缓冲器 B1 的输出供给 MOS 晶体管 Q4 及 Q6 的漏极，电流读出电路接收被缓冲器 B1 放大的输出电流，经过电流 - 电压变换后，将其输出电压（栅压）供给第一电压放大器，进行电压放大后作为输出电压 V0a 输出。

另外参考电流 Iref 从带有开关的电流源 S3 供给 MOS 晶体管 Q5 及 Q8 的漏极，在电流读出电路中，使参考电流 Iref 进行电流 - 电压变换后，将其输出电压（栅压）供给第二电压放大器，进行电压放大后作为输出电压 $\overline{V0a}$ 输出。

由于从缓冲器 B1 输出的电流产生的信号电压定时地改变 MOS 晶体管 Q6 及 Q7 的逻辑阈值电压，所以阈值电压沿着与栅极电位的变化相反的方向变化。即，如果栅极电位上升，则倒相电路的逻辑阈值电压

下降。其结果，对电流读出电路和第一电压放大器的工作点的失配，能获得大的工作余量。这在电流读出电路和第二电压放大器的关系中也一样。

这样，读出放大器 SA1 虽然由第一及第二电压放大器放大电流读出电路的输出，但不一定必须呈两级结构，也可以只有电流读出电路。

另外，图 10 所示的结构以外的电流读出电路也好、或电压读出电路也好，更希望电流读出电路的工作速度快和工作电压低。

另外，如果读出放大器的放大增益足够的话，也可以不设置缓冲器 B1 ~ B4。

另外，也可以用将开关 BB1 ~ BB4 作为栅极的 MOS 晶体管，代替缓冲器 B1 ~ B4。

另外，接收带有开关的缓冲器 B2 ~ B4 的输出的读出放大器 SA1 也与上述相同，但分别从代替带有开关的电流源 S3 的带有开关的电流源 S4、S5 及 S6 供给参考电流 I_{ref} ，分别成对地输出：输出电压 $V0b$ 及 $\overline{V0b}$ 、输出电压 $V1a$ 及 $\overline{V1a}$ 、输出电压 $V1b$ 及 $\overline{V1b}$ 。

其次，参考图 10，用图 11 所示的时序图，说明 MRAM100 的工作。另外，在以下的说明中，以对地址 AD00 进行数据的写入工作及读出工作为例进行说明。

< A-2-1. 写入工作 >

图 11 是对 MRAM100 中的地址 AD00 进行数据的写入工作及读出工作时的各种电压及电流的时序图。

对地址 AD00 进行数据写入时，将规定的电压供给开关 W1，使电流源 S1 的开关 W1 导通，电流 $I1$ 流过存储线 ML0。由于流过电流，所以如图 11 所示，存储线 ML0 的电位朝高于电压 V_{ss} 的方向变化。而且，在写入所需要的规定期间，将电压 V_{dd} 供给位线 BL0a，在该期间将电压 V_{ss} 供给位线 BL0b。另外，位线 BL1a 及 BL1b、字线 WL1a 及 WL1b 由于与对地址 AD00 的数据的写入工作及读出工作无关，所以保持电压 V_{ss} 的状态。

另外，在规定期间，将电压 V_{dd} 一同供给字线 WL0a 及 WL0b，使 N 沟道型的 MOS 晶体管 Q1 及 Q2 呈导通状态。因此电流 $I2$ 从节点 N3 流向节点 N4。

其结果，由电流 $I1$ 及 $I2$ 生成的交变磁场，决定磁隧道电阻元件

MR00 的强磁性体层 FM1 的磁化矢量，进行写入。另外强磁性体层 FM2 的磁化矢量固定不变。

通过上述的一系列工作，信息被写入磁隧道电阻元件 MR00（即地址 AD00）中。将这时写入的信息作为逻辑 0。

接着，使带开关的电流源 S1 的开关 W1 截止，电流 I1 不流过存储线 ML0。此后，将存储线 ML0 的电位预充电到电压 Vss。

另外，将字线 WL0a 及 WL0b 的电压都设定为电压 Vss，使 MOS 晶体管 Q1 及 Q2 呈截止状态。另外，将电压 Vss 供给位线 BL0a 及 BL0b。将该期间称为等待期间。

另外，在将与上述的逻辑相反的逻辑 1 写入磁隧道电阻元件 MR00 时，在写入所需要的规定期间，将电压 Vdd 供给位线 BL0b，在该期间将电压 Vss 供给位线 BL0a。

另外，将规定的电压供给开关 W1，使带开关的电流源 S1 的开关 W1 导通，电流 I1 流过存储线 ML0。由于流过电流，所以如图 11 所示，存储线 ML0 的电位朝高于电压 Vss 的方向变化。而且，在规定期间，将电压 Vdd 同时供给字线 WL0a 及 WL0b，使 N 沟道型的 MOS 晶体管 Q1 及 Q2 呈导通状态。因此电流 I2 从节点 N4 流向节点 N3。

其结果，由电流 I1 及 I2 生成的交变磁场（耦合磁场），决定磁隧道电阻元件 MR00 的强磁性体层 FM1 的磁化矢量，进行写入，但由于电流 I2 从节点 N4 流向节点 N3，所以磁化矢量的方向与写入逻辑 0 时不同，写入与逻辑 0 相反的逻辑 1。这时，强磁性体层 FM2 的磁化矢量不变。

< A-2-2. 读出工作 >

从地址 AD00 读出数据时，首先，供给规定的电压作为栅极控制信号 RR1，使作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 呈导通状态。另外，将供给规定电压的期间设定在读出所需要的规定期间以上。

通过该工作，参考电压 Vref 供给存储线 ML0。这里，参考电压 Vref 不管与电压 Vdd 相同、还是不同都没关系，但参考电压 Vref 的设定，应使隧道磁阻的变化率（TMRR）充分大。

即，TMRR 和供给存储线的电压（这里为参考电压 Vref）的关系，一般说来，如果参考电压 Vref 变大，则 TMRR 变小。因此，参考电压 Vref 的值设定，应使 TMRR 能获得一定值以上的值。

这里，在 MOS 晶体管 Q1 导通之前，几乎没有电流流过磁隧道电阻元件 MR00，所以不发生由磁隧道电阻元件 MR00 产生的电压降。因此，节点 N1 及 N2 都被设定为电压 V_{ref} 。

在对位线 BL0a 进行信息读出时，通过将电压 V_{dd} 供给字线 WL0a，将电压 V_{ss} 供给字线 WL0b，使 MOS 晶体管 Q1 呈导通状态，MOS 晶体管 Q2 保持截止状态。

如果 MOS 晶体管 Q1 呈导通状态，则电流流过磁隧道电阻元件 MR00，发生对应于磁隧道电阻元件 MR00 的电阻值（由强磁性体的磁化方向决定）的电压降（下降电压 V_{mr} ），参考电压 V_{ref} - 下降电压 V_{mr} 的电压加在节点 N2 上。

这里，下降电压 V_{mr} 应使流过 MOS 晶体管 Q1 的电流和流过磁隧道电阻元件 MR00 的电流 I_{0a} 大致一致。

而且，由于 MOS 晶体管 Q2 呈截止状态，所以流过磁隧道电阻元件 MR00 的电流几乎全部通过 MOS 晶体管 Q1，作为电流 I_{0a} 流过位线 BL0a。

如果规定电压供给带开关的缓冲器 B1 的开关 BB1，使缓冲器 B1 导通，则电流 I_{0a} 被放大后，供给读出放大器 SA1，在读出放大器 SA1 中，检测被放大的电流 I_{0a} 、以及从电流源 S3 输出的参考电流 I_{ref} 的大小，读出信息。

对位线 BL0a 进行信息读出后，规定电压供给带开关的缓冲器 B1 的开关 BB1，使缓冲器 B1 呈截止状态。

另外，电压 V_{ss} 同时供给字线 WL0a 及 WL0b，MOS 晶体管 Q1 及 Q2 都呈截止状态。

结果，电压 V_{ss} 供给作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 的栅极控制信号 RR1，MOS 晶体管 Q3 呈截止状态。另外，将存储线 ML0 的电位预充电到电压 V_{ss} 。

因此，电压 V_{ss} 供给字线 WL0a 及 WL0b、位线 BL0a 及 BL0b，存储线 ML0 的电位被预充电到电压 V_{ss} ，等待期间开始。

另外，带开关的电流源 S2 及作为参考电压源 VR 的输出开关的 MOS 晶体管 Q31，由于与对地址 AD00 的数据的写入工作及读出工作没有关系，所以供给带开关的电流源 S2 的开关 W2 的电压、以及 MOS 晶体管 Q31 的栅极控制信号 RR2 保持电压 V_{ss} 的状态。另外，存储线 ML1 保

持电压 V_{ss} 的状态。

另外,为了对位线 $BL0b$ 进行信息读出,将电压 V_{ss} 供给字线 $WL0a$,将电压 V_{dd} 供给字线 $WL0b$,使 MOS 晶体管 $Q2$ 呈导通状态, MOS 晶体管 $Q1$ 保持截止状态即可。

如上所述,象 MOS 晶体管 $Q1$ 及 $Q2$ 那样串联连接在位线之间的 MOS 晶体管,由于使流过磁隧道电阻元件的电流流过位线,或构成对磁隧道电阻元件的信息进行写入用的电流路径,所以有时称为通路晶体管或通路。另外,有时将连接 MOS 晶体管 $Q1$ 及 $Q2$ 的布线统称为对磁隧道结元件进行信息的写入及读出用的电流路径的布线。

< A-2-3. 非同步读出 >

其次,说明从共用位线的不同地址的存储单元,按照分别独立的时序(非同步地)读出信息的工作。另外,在以下的说明中,说明读出磁隧道电阻元件 $MR00$ 及 $MR10$ 的信息的工作。

首先,供给规定的电压作为栅极控制信号 $RR1$,使作为参考电压源 $VR1$ 的输出开关的 MOS 晶体管 $Q3$ 呈导通状态。通过该工作,使参考电压 V_{ref} 供给存储线 $ML0$ 。

然后,将电压 V_{dd} 供给字线 $WL0a$ 及 $WL1b$,将电压 V_{ss} 供给字线 $WL0b$ 及 $WL1a$,使 MOS 晶体管 $Q1$ 及 $Q11$ 呈导通状态, MOS 晶体管 $Q2$ 及 $Q10$ 保持截止状态。

如果 MOS 晶体管 $Q1$ 及 $Q11$ 呈导通状态,则电流流过磁隧道电阻元件 $MR00$ 及 $MR10$,发生对应于磁隧道电阻元件 $MR00$ 及 $MR10$ 的电阻值(由强磁性体的磁化方向决定)的电压降(下降电压 V_{mr}),参考电压 V_{ref} - 下降电压 V_{mr} 的电压加在节点 $N2$ 及 $N6$ 上。

这里,下降电压 V_{mr} 使流过 MOS 晶体管 $Q1$ 及 $Q11$ 的电流和流过磁隧道电阻元件 $MR00$ 及 $MR10$ 的电流 $I0a$ 及 $I0b$ 大致一致。

而且,由于 MOS 晶体管 $Q2$ 呈截止状态,所以流过磁隧道电阻元件 $MR00$ 的电流几乎全部通过 MOS 晶体管 $Q1$,作为电流 $I0a$ 流过位线 $BL0a$ 。

另外,由于 MOS 晶体管 $Q10$ 呈截止状态,所以流过磁隧道电阻元件 $MR10$ 的电流几乎全部通过 MOS 晶体管 $Q11$,作为电流 $I0b$ 流过位线 $BL0$ 。

如果规定电压供给带开关的缓冲器 $B1$ 及 $B2$ 的开关 $BB1$ 及 $BB2$,

使缓冲器 B1 及 B2 导通，则电流 I_{0a} 及 I_{0b} 被放大后，分别供给读出放大器 SA1，分别在读出放大器 SA1 中被放大后读出信息。以后，至进行下一次的写入或读出工作之前呈等待状态。

< A-3. 工作效果 >

如上所述，在 MRAM100 中，由于对一个存储单元配置一对位线，将开关元件分别插在两条位线和磁隧道电阻元件之间，所以读出磁隧道电阻元件的信息时，通过控制使开关元件有选择地导通，能从共用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息。

另外，在共用位线的不同地址的存储单元中，如果以两个地址作为对象，则不用说，能同时读出两个地址的信息。在此情况下，使将规定的电压供给分别连接在两个地址的存储单元上的字线对的时序、以及使连接在各位线上的缓冲器导通的时序同步即可。

< A-4. 变形例 1 >

在以上说明的 MRAM100 中，虽然在用图 6 进行的说明中给出了将磁隧道电阻元件 MR00、MR10、MR01 及 MR11 配置在与 MOS 晶体管的栅极所在的层相同的层上的结构，但也可以采用如图 12 所示的 MRAM100A 那样的结构。

图 12 是对应于图 6 的图，与图 6 相同的结构标以相同的标记，省略其重复的说明。

如图 12 所示，在 MRAM100A 中，将磁隧道电阻元件 MR00、MR10、MR01 及 MR11（在图 12 中只示出了 MR10 及 MR11）配置在形成位线 BL0a、BL0b、BL1a 及 BL1b 的层的上部。

即，MOS 晶体管 Q10 及 Q11 各自的源漏层 SD 都连接在具有导电性的材料构成的接触插头 PG1 上。其中，在同一单位单元内的 MOS 晶体管 Q10 及 Q11 的两个接触插头 PG1 连接在共同布线 CL 上，上述两个接触插头连接在将元件分离绝缘膜 ST1 夹在中间的相邻的源漏层 SD 上。

公用布线 CL 用相同的材质配置在与各位线所在的层相同的层上，上述的两个接触插头 PG1 之间导电性地连接。

另外，不连接在公用布线 CL 上的接触插头 PG1 在单位单元 UC10 中连接在位线 BL0a 及 BL0b 上，在单位单元 UC11 中连接在位线 BL1a

及 BL1b 上。

而且，磁隧道电阻元件 MR10 及 MR11 隔着势垒金属层 BM1 配置在公用布线上。依次层叠反强磁性体层 AFM、强磁性体层 FM2、绝缘体层 BT1 及强磁性体层 FM1 构成磁隧道电阻元件 MR10 及 MR11。

而且，磁隧道电阻元件 MR10 及 MR11 各自的强磁性体层 FM1 与存储线 ML0 及 ML1 连接。

磁隧道电阻元件 MR10 及 MR11 配置在层间绝缘膜 IZ3 及 IZ4 中，存储线 ML0 及 ML1 配置在层间绝缘膜 IZ5 中，层间绝缘膜 IZ6 及 IZ7 依次配置在层间绝缘膜 IZ5 上。

另外，在以上的说明中虽然说明了单位单元 UC10 及 UC11 的结构，但其他单位单元也有同样的结构，空区也一样。另外，MRAM100A 的工作与 MRAM100 相同。

这样，在 MRAM100A 中，由于在位线的形成层的上层形成磁隧道电阻元件，所以在制造工序中，在位线之后形成。

如果将比居里温度高的温度加在磁隧道电阻元件上，则虽然磁性体失去磁性，但在达到居里温度之前，如果进行热处理的时间及次数多，则磁性体的磁化强度逐渐减弱，有可能使磁隧道电阻元件的特性劣化。因此，在 MRAM 的制造工序中，最好在尽可能靠后的工序中形成磁隧道电阻元件，在这方面 MRAM100A 是有效的结构。

< B. 实施方案 2 >

在本发明的实施方案 1 中说明的 MRAM100 中，虽然给出了将磁隧道电阻元件配置在存储线和位线电流流过的布线之间的结构，但也可以如用图 1 说明的磁隧道电阻元件 MR，采用使磁隧道电阻元件具有改变强磁性体层的磁化方向专用的布线的结构。

以下，作为本发明的实施方案 2，说明使用用图 1 说明的磁隧道电阻元件 MR 的 MRAM200 的结构及工作。

< B-1. 装置结构 >

如图 13 所示，在地址为 AD21、AD22、AD23 及 AD24 的存储单元中，MRAM200 分别有磁隧道电阻元件 MR21、MR22、MR23 及 MR24。

这里，磁隧道电阻元件 MR21、MR22、MR23 及 MR24 分别有控制强磁性体层的磁化方向用的控制布线 WR21、WR22、WR23 及 WR24，是利用使电流流过控制布线 WR21、WR22、WR23 及 WR24 所发生的磁场，改

变电阻值的电阻元件。

在地址为 AD21 的存储单元中,磁隧道电阻元件 MR21 的一端通过 N 沟道型的 MOS 晶体管 Q11,导电性地连接在参考电压源 VR11 上,磁隧道电阻元件 MR21 的另一端通过 N 沟道型的 MOS 晶体管 Q12 及 Q13,导电性地连接在位线 BL1b 及 BL1a 上。另外,位线 BL1b 及 BL1a 分别连接在带开关的缓冲器 B11 及 B12 上。缓冲器 B11 及 B12 分别输出电流 Iout1 及 Iout2。

另外,MOS 晶体管 Q12 及 Q13 的栅极分别连接在字线 WL1b 及 WL1a 上。

磁隧道电阻元件 MR21 的一端还连接在双向电流源 S11 上,磁隧道电阻元件 MR21 的控制布线 WR21 连接在从带开关的电流源 S13 供给电流的布线 R1 上。

在地址为 AD22 的存储单元中,磁隧道电阻元件 MR22 的一端通过 N 沟道型的 MOS 晶体管 Q11,导电性地连接在参考电压源 VR11 上,磁隧道电阻元件 MR22 的另一端通过 N 沟道型的 MOS 晶体管 Q16 及 Q17,导电性地连接在位线 BL1b 及 BL1a 上。

另外,MOS 晶体管 Q16 及 Q17 的栅极分别连接在字线 WL2b 及 WL2a 上。

另外,磁隧道电阻元件 MR22 的一端还连接在双向电流源 S11 上,磁隧道电阻元件 MR22 的控制布线 WR22 连接在从带开关的电流源 S14 供给电流的布线 R2 上。

在地址为 AD23 的存储单元中,磁隧道电阻元件 MR23 的一端通过 N 沟道型的 MOS 晶体管 Q14,导电性地连接在参考电压源 VR11 上,磁隧道电阻元件 MR23 的另一端通过 N 沟道型的 MOS 晶体管 Q14 及 Q15,导电性地连接在位线 BL2b 及 BL2a 上。另外,位线 BL2b 及 BL2a 分别连接在带开关的缓冲器 B13 及 B14 上。缓冲器 B13 及 B14 分别输出电流 Iout3 及 Iout4。

另外,MOS 晶体管 Q14 及 Q15 的栅极分别连接在字线 WL1b 及 WL1a 上。

另外,磁隧道电阻元件 MR23 的一端还连接在双向电流源 S12 上,磁隧道电阻元件 MR23 的控制布线 WR23 连接在从带开关的电流源 S13 供给电流的布线 R1 上。

在地址为 AD24 的存储单元中,磁隧道电阻元件 MR24 的一端通过 N 沟道型的 MOS 晶体管 Q14,导电性地连接在参考电压源 VR11 上,磁隧道电阻元件 MR24 的另一端通过 N 沟道型的 MOS 晶体管 Q18 及 Q19,导电性地连接在位线 BL2b 及 BL2a 上。

另外,MOS 晶体管 Q18 及 Q19 的栅极分别连接在字线 WL2b 及 WL2a 上。

另外,磁隧道电阻元件 MR24 的一端还连接在双向电流源 S12 上,磁隧道电阻元件 MR24 的控制布线 WR24 连接在从带开关的电流源 S14 供给电流的布线 R2 上。

另外双向电流源 S11 及 S12 是有三种工作模式的电源。即,以采用双向电流源 S11 为例,在控制信号 C1 为+的情况下,例如,在布线 WC1 中使电流沿图面向右流,在控制信号 C1 为-的情况下,使电流向左流。另外,在控制信号 C1 既不是+、也不是-的情况下,双向电流源 S11 不工作,保持等待状态。这在双向电流源 S12 中也一样。

其次,参考图 13,用图 14 所示的时序图,说明 MRAM100 的工作。另外,在以下的说明中,采用对地址 AD21 进行数据的写入工作及读出工作为例进行说明。

< B-2. 工作 >

图 14 是对 MRAM200 中的地址 AD21 进行数据的写入工作及读出工作时的各种电压及电流的时序图。

< B-2-1. 写入工作 >

对地址 AD21 进行数据写入时,在写入所需要的规定期间,作为双向电流源 S11 的控制信号 C1,供给+的信号,在布线 WC1 中流过沿图面向右的电流 I_{c1} ($+I_{c1}$)。

另外,为了使带开关的电流源 S13 呈导通状态,将导通信号供给开关 W13,使电流 I_{R1} 从电流源 S13 流过布线 R1。

利用由电流 I_{c1} (这时为 $+I_{c1}$) 和电流 I_{R1} 生成的交变磁场,决定磁隧道电阻元件 MR21 的强磁性体层的磁化矢量,进行写入。以后,至进行下一次的写入或读出工作之前,呈等待状态。

通过上述的一系列工作,信息被写入磁隧道电阻元件 MR21 (即地址 AD21) 中。将这时写入的信息作为逻辑 0。

另外,在将与上述的逻辑相反的逻辑 1 写入磁隧道电阻元件 MR21

时，在写入所需要的规定期间，作为双向电流源 S11 的控制信号 C1，供给 - 的信号，在布线 WC1 中流过沿图面向左的电流 I_{c1} ($-I_{c1}$)。

另外，为了使带开关的电流源 S13 呈导通状态，将导通信号供给开关 W13，使电流 IR1 从电流源 S13 流过布线 R1。

利用由电流 I_{c1} (这时为 $-I_{c1}$) 和电流 IR1 生成的交变磁场，决定磁隧道电阻元件 MR21 的强磁性体层的磁化矢量，进行写入。

通过上述的一系列工作，逻辑 1 的信息被写入磁隧道电阻元件 MR21。以后，在进行下一次的写入或读出工作之前，呈等待状态。

另外，位线 BL2a 及 BL2b、字线 WL2a 及 WL2b 由于与对地址 AD21 的数据的写入工作及读出工作无关，所以保持电压 V_{ss} 的状态。

这里，虽然流过布线 WC1 的电流 I_{c1} 产生的磁场作用于地址为 AD22 的磁隧道电阻元件 MR22 上，但由于电流不流过布线 R2，所以信息不被写入磁隧道电阻元件 MR22 中。

另外，电流 I_{c1} 虽然流过布线 R1，但由于电流不流过布线 WC2，所以信息不被写入地址为 AD23 的磁隧道电阻元件 MR23 中。另外，如磁隧道电阻元件 MR22 及 MR23，将控制磁化方向用的两种电流中只供给一者的状态的磁隧道电阻元件称为半选择性的磁隧道电阻元件。

< B-2-2. 读出工作 >

从地址 AD21 读出数据时，作为栅极控制信号 RR11 供给电压 V_{dd} ，使作为参考电压源 VR11 的输出开关的 MOS 晶体管 Q11 呈导通状态。

通过该工作，参考电压 V_{ref} 供给磁隧道电阻元件 MR21 的一端。这里，参考电压 V_{ref} 不管与电压 V_{dd} 相同、还是不同都没关系，但参考电压 V_{ref} 设定，使隧道磁阻的变化率 (TMRR) 充分大。

在对位线 BL1a 读出信息时，通过将电压 V_{dd} 供给字线 WL1a，将电压 V_{ss} 供给字线 WL1b，使 MOS 晶体管 Q13 呈导通状态，MOS 晶体管 Q12 保持截止状态。

如果作为通路晶体管的 MOS 晶体管 Q13 呈导通状态，则电流通过磁隧道电阻元件 MR21，流过对应于磁隧道电阻元件 MR21 的电阻值 (由强磁性体的磁化方向决定) 的电流，但由于 MOS 晶体管 Q12 呈截止状态，所以流过磁隧道电阻元件 MR21 的电流几乎全部通过 MOS 晶体管 Q13 流过位线 BL1a。

另外，如果电压 V_{dd} 被供给带开关的缓冲器 B12 的开关 BB12，使

缓冲器 B12 导通，则流过位线 BL1a 的电流被放大，作为电流 I_{out2} 输出。

另外，电流 I_{out2} 供给图中未示出的读出放大器、例如图 10 所示的读出放大器 SA1，被放大后读出信息。以后，至进行下一次的写入或读出工作之前，呈等待状态。

另外，对位线 BL1b 读出信息时，将电压 V_{dd} 供给字线 WL1b，将电压 V_{ss} 供给字线 WL1a，使 MOS 晶体管 Q12 呈导通状态，MOS 晶体管 Q13 保持截止状态。

如果作为通路晶体管的 MOS 晶体管 Q12 呈导通状态，则电流通过磁隧道电阻元件 MR21，流过对应于磁隧道电阻元件 MR21 的电阻值（由强磁性体的磁化方向决定）的电流，但由于 MOS 晶体管 Q13 呈截止状态，所以流过磁隧道电阻元件 MR21 的电流几乎全部通过 MOS 晶体管 Q12 流过位线 BL1b。

另外，如果电压 V_{dd} 被供给带开关的缓冲器 B11 的开关 BB11，使缓冲器 B11 导通，则流过位线 BL1b 的电流被放大，作为电流 I_{out1} 输出。

另外，电流 I_{out1} 供给图中未示出的读出放大器、例如图 10 所示的读出放大器 SA1，放大后读出信息。以后，至进行下一次的写入或读出工作之前，呈等待状态。

这里，象 MOS 晶体管 Q12 及 Q13 那样串联连接在位线之间的 MOS 晶体管，由于使流过磁隧道电阻元件的电流流过位线，或构成对磁隧道电阻元件的进行信息写入用的电流路径，所以有时称为通路。另外，有时将连接 MOS 晶体管 Q12 及 Q13 的布线统称为对磁隧道结元件进行信息的写入及读出用的电流路径的布线。

< B-2-3. 非同步读出 >

其次，说明从共用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息的工作。另外，在以下的说明中，说明读出磁隧道电阻元件 MR21 及 MR22 的信息的工作。

首先，作为栅极控制信号 RR11，供给电压 V_{dd} ，使作为参考电压源 VR11 的输出开关的 MOS 晶体管 Q11 呈导通状态。

通过该工作，参考电压 V_{ref} 供给磁隧道电阻元件 MR21 及 MR22 的一端。

然后，通过将电压 Vdd 供给字线 WL1a 及 WL2b，将电压 Vss 供给字线 WL1b 及 WL2a，使 MOS 晶体管 Q13 及 Q16 呈导通状态，MOS 晶体管 Q12 及 Q17 保持截止状态。

如果 MOS 晶体管 Q13 呈导通状态，则电流通过磁隧道电阻元件 MR21，流过对应于磁隧道电阻元件 MR21 的电阻值（由强磁性体的磁化方向决定）的电流，但由于 MOS 晶体管 Q12 呈截止状态，所以流过磁隧道电阻元件 MR21 的电流几乎全部通过 MOS 晶体管 Q13 流过位线 BL1a。

如果 MOS 晶体管 Q16 呈导通状态，则电流通过磁隧道电阻元件 MR21，流过对应于磁隧道电阻元件 MR22 的电阻值（由强磁性体的磁化方向决定）的电流，但由于 MOS 晶体管 Q17 呈截止状态，所以流过磁隧道电阻元件 MR22 的电流几乎全部通过 MOS 晶体管 Q16 流过位线 BL1b。

如果电压 Vdd 供给带开关的缓冲器 B11 及 B12 的开关 BB11 及 BB12，使缓冲器 B11 及 B12 导通，则流过位线 BL1b 及 BL1a 的电流被放大，作为电流 Iout1 及 Iout2 输出。

< B-3. 工作效果 >

如上所述，在 MRAM200 中，由于对一个存储单元配置一对位线，将开关元件分别插在两条位线和磁隧道电阻元件之间，所以读出磁隧道电阻元件的信息时，通过控制，使开关元件有选择地导通，能从共用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息。

另外，在共用位线的不同地址的存储单元中，如果以两个地址作为对象，则不用说，能同时读出两个地址的信息。在此情况下，使将规定的电压供给分别连接在两个地址的存储单元上的字线对的时序、以及使连接在各位线上的缓冲器导通的时序同步即可。

< C. 实施方案 3 >

< C-1. 装置结构 >

< C-1-1. 电路结构 >

图 15 中示出了本发明的实施方案 3 的 MRAM300 的电路图。

在图 15 中，示出了地址为 AD00、AD10、AD01、AD11、AD0n 及 AD1n 的存储单元，地址 AD01 和地址 AD0n 之间的存储单元、地址 AD11 和地

址 AD1n 之间的存储单元省略了记载。另外，在图 15 中，与在实施方案 1 中说明的 MRAM100 同样，将磁隧道电阻元件配置在存储线和位线之间，用可变电阻的标记记载。

如图 15 所示，地址为 AD00 的存储单元备有串联连接在位线 BL0 和 BL1 之间的 MOS 晶体管 Q1 及 Q2、以及磁隧道电阻元件 MR00，MOS 晶体管 Q1 及 Q2 的栅极连接在字线 WL0a 及 WL0b 上。

而且，磁隧道电阻元件 MR00 连接在 MOS 晶体管 Q1 与 Q2 的连接节点和存储线 ML0 之间，将磁隧道电阻元件 MR00 和存储线 ML0 的连接节点称为节点 N1，将 MOS 晶体管 Q1 和 Q2 的连接节点称为节点 N2，将 MOS 晶体管 Q1 和位线 BL0 的连接节点称为节点 N3，将 MOS 晶体管 Q2 和位线 BL1 的连接节点称为节点 N4。

地址为 AD01 的存储单元备有串联连接在位线 BL1 和 BL2 之间的 MOS 晶体管 Q1 及 Q2、以及磁隧道电阻元件 MR01，MOS 晶体管 Q1 及 Q2 的栅极连接在字线 WL0a 及 WL0b 上。而且，磁隧道电阻元件 MR01 连接在 MOS 晶体管 Q1 与 Q2 的连接节点和存储线 ML1 之间。

另外，在地址 AD01 中，为了后面的工作说明的方便，将磁隧道电阻元件 MR01 和存储线 ML1 的连接节点称为节点 N10，将 MOS 晶体管 Q1 和 Q2 的连接节点称为节点 N9，将 MOS 晶体管 Q1 和位线 BL1 的连接节点称为节点 N4。

另外，地址为 AD10 的存储单元备有串联连接在位线 BL0 和 BL1 之间的 MOS 晶体管 Q10 及 Q11、以及磁隧道电阻元件 MR10，MOS 晶体管 Q10 及 Q11 的栅极连接在字线 WL1a 及 WL1b 上。

而且，磁隧道电阻元件 MR10 连接在 MOS 晶体管 Q10 与 Q11 的连接节点和存储线 ML0 之间，将磁隧道电阻元件 MR10 和存储线 ML0 的连接节点称为节点 N5，将 MOS 晶体管 Q10 和 Q11 的连接节点称为节点 N6，将 MOS 晶体管 Q10 和位线 BL0 的连接节点称为节点 N7，将 MOS 晶体管 Q11 和位线 BL1 的连接节点称为节点 N8。

地址为 AD11 的存储单元备有串联连接在位线 BL11 和 BL2 之间的 MOS 晶体管 Q10 及 Q11、以及磁隧道电阻元件 MR11，MOS 晶体管 Q10 及 Q11 的栅极连接在字线 WL1a 及 WL1b 上。

而且，磁隧道电阻元件 MR11 连接在 MOS 晶体管 Q10 与 Q11 的连接节点和存储线 ML1 之间。

地址为 AD11 的 MOS 晶体管 Q10、以及地址为 AD10 的 MOS 晶体管 Q11 共同连接在位线 BL1 上，将其连接节点称为节点 N8。

这样，相邻的存储单元之间共有配置在其间的位线，该结构一直继续到地址 AD0n 及地址 AD1n 为止。

存储线 ML0、ML1 及 MLn 分别通过 N 沟道型的 MOS 晶体管 Q3、Q31 及 Q3n 共同连接在参考电压源 VR1 上，同时分别连接在带开关的电流源 S0、S1 及 Sn 上。

位线 BL0、BL1、BL2、BLn 及 BLn+1 分别连接在带开关的缓冲器 B0、B1、B2、Bn 及 Bn+1 的输入端上，电流 I00、I01、I02、I0n 及 I0n+1 被带开关的缓冲器 B0 ~ Bn+1 进行电流放大后，分别供给读出放大器 SA1。

另外，读出放大器 SA1 的结构利用图 10 说明过，所以其说明从略。

这里，读出放大器 SA1 工作时，虽然需要电压 Vss（接地电压），但在 MRAM300 中，将电压 Vss 供给读出放大器 SA1 的线路共同连接在布线 SNL 上，布线 SNL 通过 N 沟道型的 MOS 晶体管 Qd，导电性地连接在辅助功率线 SVss 上。

另外，在 MRAM300 中，位线或字线、电压 Vss 的供给线路等功率线路呈分级结构（有时分别称为分级位线结构、分级字线结构、分级功率线结构），辅助功率线 SVss 连接在构成主线的功率线 Vss1 及 Vss2 上。

这里，所谓分级结构，是从构成主线的布线分成支线的结构，在主布线和分支线之间设有控制对该分支线的电流或电压的供给及停止的供给控制装置。

因此，在存储单元阵列的规模变大时，通过将存储区分成多个块，从支线将电流或电压供给各块，停止向不使用的块供给电流或电压，另外，能降低主布线的负载容量。

另外，位线 BL0 ~ BLn 及字线 WL0a、WL0b、WL1a、WL1b 也连接在图中未示出的主位线及主字线上，存储单元阵列的规模即使变大，也能防止信号传递的延迟。

返回读出放大器 SA1 的工作的说明，只有当读出放大器 SA1 工作时，接通信号作为 MOS 晶体管 Qd 的控制信号 ϕ 供给连接在 MOS 晶体管 Qd 的栅极上的控制信号线 SDL，电压 Vss 通过 MOS 晶体管 Qd 被供给布

线 SNL。

当读出放大器 SA1 不工作时，供给截止信号作为控制信号 ϕ ，布线 SNL 呈浮置状态。因此，读出放大器 SA1 不工作时能降低功耗。

另外，由电压 V_{ss} 从布线 SNL 供给各读出放大器 SA1 的速度决定读出放大器 SA1 的读出速度。因此，如果读出放大器 SA1 同时工作，而供给布线 SNL 的电流不充分的话，则辅助功率线 SV_{ss} 或布线 SNL 的电位变化，读出放大器 SA1 的工作速度降低，信息的读出时间有可能变长，但例如对每 8~16 位，从功率线 V_{ss1} 及 V_{ss2} 供给电压 V_{ss} ，使电位固定，能确保读出放大器 SA1 的工作速度。

另外，在用图 10 说明的实施方案 1 的 MRAM100 中，位线、字线及功率线不用说，可以呈分级结构。

< C-1-2. 平面结构 >

图 16 中模式地示出了 MRAM300 的存储单元阵列部分的平面布局。

在图 16 中，存储单元阵列中，示出了对应于 4 个地址 AD00、AD10、AD01、AD11 的 MRAM 存储单元，作为单位单元 UC00、UC10、UC01 及 UC11 分别用虚线表示。

如图 16 所示，位线 BL0、BL1 及 BL2 平行配置，字线 WL0a、WL0b、WL1a 及 WL1b 平行配置。

而且，存储线 ML0 平行于位线配置在被位线 BL0 和 BL1 夹持的区域的中央（单位单元的中央），存储线 ML1 平行于位线配置在被位线 BL1 和 BL2 夹持的区域的中央（单位单元的中央）。

另外，MOS 晶体管 Q1 及 Q2 的栅极平行于位线配置在单位单元 UC00 及 UC01 的激活区 AA 上，MOS 晶体管 Q10 及 Q11 的栅极平行于位线配置在单位单元 UC10 及 UC11 的激活区 AA 上。

而且，位线 BL0、BL1 及 BL2 在各单位单元中通过接触插头 PG12（与图中未示出的 PG11 呈两级结构），导电性地连接在激活区 AA 上。

另外，各 MOS 晶体管 Q1 的栅极通过接触插头 PG2 导电性地连接在字线 WL0a 上，所以有时称为字线 WL0a，各 MOS 晶体管 Q2 的栅极通过接触插头 PG2 导电性地连接在字线 WL0b 上，所以有时称为字线 WL0b。

另外，各 MOS 晶体管 Q10 的栅极通过接触插头 PG2 导电性地连接在字线 WL1a 上，所以有时称为字线 WL1a，各 MOS 晶体管 Q11 的栅极通过接触插头 PG2 导电性地连接在字线 WL1b 上，所以有时称为字线

WL1b。

这里，空区 DA 设置在图 16 的左端部。在空区 DA 中，空字线（空栅极）DWL 及空存储线 DML 的设置与存储单元区域的排列相同。

< C-1-3. 断面结构 >

图 17 中示出了沿图 16 中的 A-A 线上的箭头方向的剖面结构。另外，与用图 6 说明的 MRAM100 相同的结构标以相同的标记，省略其重复的说明。

如图 17 所示，MRAM300 配置在硅基板 SB 上，由设置在硅基板 SB 的表面内的元件分离绝缘膜 STI 规定激活区 AA。

如图 17 所示，单位单元 UC10 备有两个 MOS 晶体管 Q10 及 Q11、以及一个磁隧道电阻元件 MR10。其他单位单元的结构也与该结构相同。

金属硅化物层 MS11 配置在 MOS 晶体管 Q10 和 Q11 之间。金属硅化物层 MS11 不仅覆盖在激活区 AA 上，而且覆盖在元件分离绝缘膜 STI 上，磁隧道电阻元件 MR10 配置在对应于元件分离绝缘膜 STI 上的金属硅化物层 MS11 上。

另外，磁隧道电阻元件 MR10 被设置在金属硅化物层 MS11 上的层间绝缘膜 IZ9 包围着。而且，只有其最上部的端面在层间绝缘膜 IZ9 的表面上露出，配置势垒金属层 BM2 将其覆盖，金属布线制的存储线 ML0 配置在势垒金属层 BM2 上。

另外，MOS 晶体管 Q10 及 Q11 不被金属硅化物层 MS11 覆盖的源漏层 SD，通过由具有导电性的材料构成的接触插头 PG11 及 PG12，导电性地连接在位线 BL0 及 BL1 上。

例如，将掺杂多晶硅或钨等填充在贯通层间绝缘膜 IZ1 的接触孔内，构成接触插头 PG11。另外，例如，将掺杂多晶硅或钨等填充在贯通层间绝缘膜 IZ2 的接触孔内，构成接触插头 PG12。而且，金属硅化物层 MS12 配置在接触插头 PG11 的上端部，接触插头 PG11 和 PG12 将金属硅化物层 MS12 夹在中间，导电性地连接。

另外，单位单元 UC10 的 MOS 晶体管 Q11 和单位单元 UC11 的 MOS 晶体管 Q10 配置在公用的激活区 AA 上，呈具有公用的源漏层的结构。而且，接触插头 PG11 连接在该公用的源漏层 SD 上。

另外，在以上的说明中，虽然说明了单位单元 UC10 的结构，但其

他单位单元也有同样的结构。

位线 BL0、BL1 及 BL2（第一层的金属层）配置在被设置在层间绝缘膜 IZ1 上的层间绝缘膜 IZ3 中，接触插头 PG12 的上端部分别连接在位线 BL0、BL1 及 BL2 上。

另外，层间绝缘膜 IZ4 配置在层间绝缘膜 IZ3 上，在图 17 中省略了层间绝缘膜 IZ4 的上层的结构。

另外，沿图 16 中的 B-B 及 C-C 线的剖面结构与用图 7 及图 8 说明的结构相同。

< C-2. 工作 >

其次，参考图 15，用图 18 及图 19 所示的时序图，说明 MRAM300 的工作。另外，在以下的说明中，采用对地址 AD00 进行数据的写入工作及读出工作为例进行说明。

< C-2-1. 写入工作 >

图 18 及图 19 是对 MRAM300 中的地址 AD00 进行数据的写入工作及读出工作时的各种电压及电流的时序图。

对地址 AD00 进行数据写入时，将规定的电压供给开关 W0，使带开关的电流源 S0 的开关 W0 导通，电流 I1 流过存储线 ML0。然后，在写入所需要的规定期间，将电压 Vdd 供给位线 BL0，在此期间将电压 Vss 供给位线 BL1。

另外，在规定期间，将电压 Vdd 同时供给字线 WL0a 及 WL0b，N 沟道型的 MOS 晶体管 Q1 及 Q2 呈导通状态。因此电流 I2 从节点 N3 流向节点 N4。将该电流 I2 的方向作为+方向，称为电流+I2。

在图 19 中示出了流过 MOS 晶体管 Q1 及 Q2 的电流的时序图，在上述的时序中示出了电流+I2 的流动情况。另外，在图 19 中流过 MOS 晶体管 Q1 的电流，将从节点 N3 流向 N2 时表示为正（+），将相反的方向表示为负（-），流过 MOS 晶体管 Q2 的电流，将从节点 N2 流向 N4 时表示为正（+），将相反的方向表示为负（-）。

其结果，由电流 I1 及 I2 生成的交变磁场，决定磁隧道电阻元件 MR00 的强磁性体层 FM1 的磁化矢量，进行写入。另外强磁性体层 FM2 的磁化矢量固定不变。

通过上述的一系列工作，信息被写入磁隧道电阻元件 MR00（即地址 AD00）中。将这时写入的信息作为逻辑 0。

接着,使带开关的电流源 S_0 的开关 W_0 截止,电流 I_1 不流过存储线 ML_0 。此后,将存储线 ML_0 的电位预充电到电压 V_{SS} 。

另外,将字线 WL_0a 及 WL_0b 的电压都设定为电压 V_{SS} ,使 MOS 晶体管 Q_1 及 Q_2 呈截止状态。另外,将电压 V_{SS} 供给位线 WL_0a 及 WL_0b 。将该期间称为等待期间。

另外,在将与上述的逻辑相反的逻辑 1 写入磁隧道电阻元件 MR_{00} 时,将规定的电压供给开关 W_0 ,使带开关的电流源 S_0 的开关 W_0 导通,电流 I_1 流过存储线 ML_0 。由于流过电流,所以如图 18 所示,存储线 ML_0 的电位朝高于电压 V_{SS} 的方向变化。而且,在写入所需要的规定期间,将电压 V_{DD} 供给位线 BL_1 ,在该期间将电压 V_{SS} 供给位线 BL_0 。

另外,在规定期间,将电压 V_{DD} 同时供给字线 WL_0a 及 WL_0b ,N 沟道型的 MOS 晶体管 Q_1 及 Q_2 呈导通状态。因此电流 I_2 从节点 N_4 流向节点 N_3 。将该电流 I_2 的方向作为 - 方向,称为电流 $-I_2$ 。

在图 19 所示的流过 MOS 晶体管 Q_1 及 Q_2 的电流的时序图中,示出了在上述的时序中电流 $-I_2$ 的流动情况。

其结果,由电流 I_1 及 I_2 生成的交变磁场,决定磁隧道电阻元件 MR_{00} 的强磁性体层 FM_1 的磁化矢量,进行写入,但由于电流 I_2 从节点 N_4 流向节点 N_3 ,所以磁化矢量的方向与写入逻辑 0 时不同,写入与逻辑 0 相反的逻辑 1。这时,强磁性体层 FM_2 的磁化矢量不变。

< C-2-2. 读出工作 >

从地址 AD_{00} 读出数据时,首先,作为栅极控制信号 RR_0 供给规定的电压,使作为参考电压源 VR_1 的输出开关的 MOS 晶体管 Q_3 呈导通状态。另外,如图 19 所示,将供给规定电压的期间设定在读出所需要的规定期间以上。

通过该工作,参考电压 V_{ref} 供给存储线 ML_0 。

这里,在 MOS 晶体管 Q_1 导通之前,由于电流几乎不流过磁隧道电阻元件 MR_{00} ,所以不会发生由磁隧道电阻元件 MR_{00} 产生的电压降。因此,节点 N_1 及 N_2 都被设定为电压 V_{ref} 。

在对位线 BL_0 进行信息读出时,通过将电压 V_{DD} 供给字线 WL_0a ,将电压 V_{SS} 供给字线 WL_0b ,使 MOS 晶体管 Q_1 呈导通状态, MOS 晶体管 Q_2 保持截止状态。

如果 MOS 晶体管 Q_1 呈导通状态,则电流通过磁隧道电阻元件

MR00, 电流从节点 N1 通过节点 N2 流到节点 N3。这时流过的电流的大小由磁隧道电阻元件 MR00 的电阻值决定 (由强磁性体的磁化方向决定)。

在图 19 中, 作为 - 电流示出了通过该读出流过 MOS 晶体管 Q1 的电流。

另外, 由于 MOS 晶体管 Q2 呈截止状态, 所以流过磁隧道电阻元件 MR00 的电流几乎全部通过 MOS 晶体管 Q1, 作为电流 I00 流过位线 BL0。

如果电压 Vdd 供给带开关的缓冲器 B0 的开关 BB0, 使缓冲器 B0 导通, 则电流 I00 被放大后, 供给读出放大器 SA1。在读出放大器 SA1 中, 被放大的电流 I00 被读出放大, 读出信息。

对位线 BL0 读出了信息后, 电压 Vss 供给带开关的缓冲器 B0 的开关 BB0, 使缓冲器 B0 呈截止状态。

另外, 电压 Vss 同时供给字线 WL0a 及 WL0b, MOS 晶体管 Q1 及 Q2 都呈截止状态。

结果, 电压 Vss 供给作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 的栅极控制信号 RR1, MOS 晶体管 Q3 呈截止状态。另外, 将存储线 ML0 的电位预充电到电压 Vss。

因此, 电压 Vss 供给字线 WL0a 及 WL0b、位线 BL0 及 BL1, 存储线 ML0 的电位被预充电到电压 Vss, 等待期间开始。

另外, 带开关的电流源 S1 及作为参考电压源 VR 的输出开关的 MOS 晶体管 Q31, 由于与对地址 AD00 的数据的写入工作及读出工作没有关系, 所以供给带开关的电流源 S1 的开关 W1 的电压、以及 MOS 晶体管 Q31 的栅极控制信号 RR1 保持电压 Vss 的状态。另外, 存储线 ML1 保持电压 Vss 的状态。

另外, 对位线 BL1 进行信息读出时, 将电压 Vss 供给字线 WL0a, 将电压 Vdd 供给字线 WL0b, 使 MOS 晶体管 Q2 呈导通状态, 电流流过磁隧道电阻元件 MR00, 电流从节点 N1 通过节点 N2 流到节点 N4。这时流过的电流的大小由磁隧道电阻元件 MR00 的电阻值决定 (由强磁性体的磁化方向决定)。

在图 19 中, 作为 + 电流示出了通过该读出流过 MOS 晶体管 Q1 的电流。

< C - 2 - 3. 非同步读出 >

其次，说明从共用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息的工作。另外，在以下的说明中，说明读出磁隧道电阻元件 MR00 及 MR01 的信息的工作。

首先，作为栅极控制信号 RR0 及 RR1 供给规定电压，使作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 及 Q31 呈导通状态。通过该工作，参考电压 V_{ref} 供给存储线 ML0 及 ML1。

然后，通过将电压 V_{dd} 供给字线 WL0a，将电压 V_{ss} 供给字线 WL0b，使地址为 AD00 及 AD01 的 MOS 晶体管 Q1 呈导通状态，地址为 AD00 及 AD01 的 MOS 晶体管 Q2 保持截止状态。

如果 MOS 晶体管 Q1 呈导通状态，则电流通过磁隧道电阻元件 MR00 及 MR01，在地址 AD00 中，电流从节点 N1 通过节点 N2 流向节点 N3。在地址 AD01 中，电流从节点 N10 通过节点 N9 流向节点 N4。这里，在地址 AD01 中，将从节点 N4 流向节点 N9 的电流的方向作为+方向。

另外，在图 19 中流过地址为 AD01 的 MOS 晶体管 Q1 的电流将从节点 N4 流向 N9 时表示为正（+），将相反的方向表示为负（-）。

其结果，对位线 BL0 读出磁隧道电阻元件 MR00 的信息，对位线 BL1 读出磁隧道电阻元件 MR01 的信息。

另外，在图 19 中，作为 - 电流示出了通过该读出流过地址为 AD00 及 AD01 的 MOS 晶体管 Q1 的电流。

然后，如果电压 V_{dd} 供给带开关的缓冲器 B0 及 B1 的开关 BB0 及 BB1，缓冲器 B0 及 B1 导通，则电流 I00 及 I01 被放大，分别供给读出放大器 SA1，在各自的读出放大器 SA1 中，进行读出放大，读出信息。以后，直到下一次的写入或读出工作之前，MRAM300 呈等待状态。

另外，在以上的说明中，虽然说明了非同步地读出磁隧道电阻元件 MR00 及 MR01 的信息的工作，但当然也能象在实施方案 1 中说明的那样，非同步地读出磁隧道电阻元件 MR00 及 MR01 的信息，这时的工作与用图 11 说明的工作相同。

< C-3. 工作效果 >

如上所述，在 MRAM300 中，由于对一个存储单元配置一对位线，将开关元件分别插在两条位线和磁隧道电阻元件之间，所以读出磁隧道电阻元件的信息时，通过控制有选择地使开关导通，能从共用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息。

另外，位串不同而相邻配置的存储单元之间共有配置在其间的位线，能减少位线的条数，所以能减少存储区占有的面积。另外，在位串不同而相邻配置的存储单元中，也能按照分别独立的时序（非同步地）读出信息。

< D-4. 变形例 >

在以上说明的 MRAM300 中，虽然在用图 17 进行的说明中给出了将磁隧道电阻元件 MR00、MR10、MR01 及 MR11 配置在与 MOS 晶体管的栅极所在的层相同的层上的结构，但也可以采用如图 20 所示的 MRAM300A 那样的结构。

图 20 是对应于图 17 的图，与图 17 相同的结构标以相同的标记，省略其重复的说明。

如图 20 所示，在 MRAM300A 中，将磁隧道电阻元件 MR00、MR10、MR01 及 MR11（在图 17 中只示出了 MR10 及 MR11）配置在形成位线 BL0、BL1 及 BL2 的层的上部。

即，MOS 晶体管 Q10 及 Q11 各自的源漏层 SD 都连接在具有导电性的材料构成的接触插头 PG1 上。其中，在同一单位单元内的 MOS 晶体管 Q10 及 Q11 的两个接触插头 PG1 连接在公用布线 CL 上，上述两个接触插头 PG1 连接在将元件分离绝缘膜 ST1 夹在中间的相邻的源漏层 SD 上。

公用布线 CL 用相同的材质配置在与各位线所在的层相同的层上，上述的两个接触插头 PG1 之间导电性地连接。

另外，不连接在公用布线 CL 上的接触插头 PG1 在单位单元 UC10 中连接在位线 BL0 及 BL1 上，在单位单元 UC11 中连接在位线 BL1 及 BL2 上。

而且，磁隧道电阻元件 MR10 及 MR11 隔着势垒金属层 BM1，配置在公用布线 CL 上。磁隧道电阻元件 MR10 及 MR11 由依次层叠反强磁性体层 AFM、强磁性体层 FM2、绝缘体层 BT1 及强磁性体层 FM1 而构成。

而且，磁隧道电阻元件 MR10 及 MR11 各自的强磁性体层 FM1 与存储线 ML0 及 ML1 连接。

磁隧道电阻元件 MR10 及 MR11 配置在层间绝缘膜 IZ3 及 IZ4 中，存储线 ML0 及 ML1 配置在层间绝缘膜 IZ5 中，层间绝缘膜 IZ6 及 IZ7 依次配置在层间绝缘膜 IZ5 上。

另外,在以上的说明中虽然说明了单位单元 UC10 及 UC11 的结构,但其他单位单元也有同样的结构,空区也一样。另外,MRAM300A 的工作与 MRAM300 相同。

这样,在 MRAM300A 中,由于在位线的形成层的上层形成磁隧道电阻元件,所以在制造工序中,在位线之后形成。

将高于居里温度的温度加在磁隧道电阻元件上,则虽然磁性体失去磁性,但在达到居里温度之前,如果进行热处理的时间及次数多,则磁性体的磁化强度逐渐减弱,有可能使磁隧道电阻元件的特性劣化。因此,在 MRAM 的制造工序中,最好在尽可能靠后的工序中形成磁隧道电阻元件,在这方面 MRAM300A 是有效的结构。

< D. 实施方案 4 >

< D-1. 装置结构 >

图 21 中示出了本发明的实施方案 4 的 MRAM400 的电路图。

在图 21 中,示出了地址为 AD00、AD10、AD01、AD11 的四个存储单元。在图 21 中,与在实施方案 1 中说明的 MRAM100 同样,将磁隧道电阻元件配置在存储线和位线之间,用可变电阻的标记记载。另外,磁隧道电阻元件的结构与用图 6 说明的 MRAM100 相同。

如图 21 所示,地址为 AD00 的存储单元备有串联连接在位线 WBL0a 和 WBL0b 之间的 N 沟道型的 MOS 晶体管 Q21 及 Q22、串联连接在位线 RBL0a 和 RBL0b 之间的 N 沟道型的 MOS 晶体管 Q23 及 Q24、以及磁隧道电阻元件 MR00。而且,MOS 晶体管 Q21 及 Q22 的栅极连接在字线 WWL0a 及 WWL0b 上,MOS 晶体管 Q23 及 Q24 的栅极连接在字线 RWL0a 及 RWL0b 上。

磁隧道电阻元件 MR00 连接在 MOS 晶体管 Q21 与 Q22 的连接节点和存储线 ML0 之间,将磁隧道电阻元件 MR00 和存储线 ML0 的连接节点称为节点 N1,将 MOS 晶体管 Q21 和 Q22 的连接节点称为节点 N2,将 MOS 晶体管 Q21 和位线 WBL0a 的连接节点称为节点 N3,将 MOS 晶体管 Q22 和位线 WBL0b 的连接节点称为节点 N4,将 MOS 晶体管 Q23 和 Q24 的连接节点称为节点 N5,将 MOS 晶体管 Q23 和位线 RBL0a 的连接节点称为节点 N6,将 MOS 晶体管 Q24 和位线 RBL0b 的连接节点称为节点 N7。另外,节点 N2 和 N5 导电性地连接。

地址为 AD01 的存储单元备有串联连接在位线 WBL1a 和 WBL1b 之间

的 N 沟道型的 MOS 晶体管 Q21 及 Q22、串联连接在位线 RBL1a 和 RBL1b 之间的 N 沟道型的 MOS 晶体管 Q23 及 Q24、以及磁隧道电阻元件 MR01。MOS 晶体管 Q21 及 Q22 的栅极连接在字线 WWL0a 及 WWL0b 上，MOS 晶体管 Q23 及 Q24 的栅极连接在字线 RWL0a 及 RWL0b 上。

而且，磁隧道电阻元件 MR01 连接在 MOS 晶体管 Q21 与 Q22 的连接节点和存储线 ML1 之间，将磁隧道电阻元件 MR01 和存储线 ML1 的连接节点称为节点 N1，将 MOS 晶体管 Q21 和 Q22 的连接节点称为节点 N2，将 MOS 晶体管 Q21 和位线 WBL1a 的连接节点称为节点 N3，将 MOS 晶体管 Q22 和位线 WBL1b 的连接节点称为节点 N4，将 MOS 晶体管 Q23 和 Q24 的连接节点称为节点 N5，将 MOS 晶体管 Q23 和位线 RBL1a 的连接节点称为节点 N6，将 MOS 晶体管 Q24 和位线 RBL1b 的连接节点称为节点 N7。另外，节点 N2 和 N5 导电性地连接。

另外，地址为 AD10 的存储单元备有串联连接在位线 WBL0a 和 WBL0b 之间的 N 沟道型的 MOS 晶体管 Q25 及 Q26、串联连接在位线 RBL0a 和 RBL0b 之间的 N 沟道型的 MOS 晶体管 Q27 及 Q28、以及磁隧道电阻元件 MR10。而且，MOS 晶体管 Q25 及 Q26 的栅极连接在字线 WWL1a 及 WWL1b 上，MOS 晶体管 Q27 及 Q28 的栅极连接在字线 RWL1a 及 RWL1b 上。

而且，磁隧道电阻元件 MR10 连接在 MOS 晶体管 Q25 与 Q26 的连接节点和存储线 ML0 之间，将磁隧道电阻元件 MR10 和存储线 ML0 的连接节点称为节点 N8，将 MOS 晶体管 Q25 和 Q26 的连接节点称为节点 N9，将 MOS 晶体管 Q25 和位线 WBL0a 的连接节点称为节点 N10，将 MOS 晶体管 Q26 和位线 WBL0b 的连接节点称为节点 N11，将 MOS 晶体管 Q27 和 Q28 的连接节点称为节点 N12，将 MOS 晶体管 Q27 和位线 RBL0a 的连接节点称为节点 N13，将 MOS 晶体管 Q28 和位线 RBL0b 的连接节点称为节点 N14。另外，节点 N9 和 N12 导电性地连接。

地址为 AD11 的存储单元备有串联连接在位线 WBL1a 和 WBL1b 之间的 N 沟道型的 MOS 晶体管 Q25 及 Q26、串联连接在位线 RBL1a 和 RBL1b 之间的 N 沟道型的 MOS 晶体管 Q27 及 Q28、以及磁隧道电阻元件 MR11。MOS 晶体管 Q25 及 Q26 的栅极连接在字线 WWL1a 及 WWL1b 上，MOS 晶体管 Q27 及 Q28 的栅极连接在字线 RWL1a 及 RWL1b 上。

而且，磁隧道电阻元件 MR11 连接在 MOS 晶体管 Q25 与 Q26 的连接

节点和存储线 ML1 之间，将磁隧道电阻元件 MR11 和存储线 ML0 的连接节点称为节点 N8，将 MOS 晶体管 Q25 和 Q26 的连接节点称为节点 N9，将 MOS 晶体管 Q25 和位线 WBL1a 的连接节点称为节点 N10，将 MOS 晶体管 Q26 和位线 WBL1b 的连接节点称为节点 N11，将 MOS 晶体管 Q27 和 Q28 的连接节点称为节点 N12，将 MOS 晶体管 Q27 和位线 RBL1a 的连接节点称为节点 N13，将 MOS 晶体管 Q28 和位线 RBL1b 的连接节点称为节点 N14。另外，节点 N9 和 N12 导电性地连接。

存储线 ML0 及 ML1 分别通过 N 沟道型的 MOS 晶体管 Q3 及 Q31 共同连接在参考电压源 VR1 上，同时分别连接在带开关的电流源 S1 及 S2 上。

位线 RBL0a、RBL0b、RBL1a 及 RBL1b 是读出信息用的位线，分别连接在带开关的缓冲器 B1、B2、B3 及 B4 的输入端上，电流 I0a、I0b、I1a 及 I1b 供给带开关的缓冲器 B1~B4，由带开关的缓冲器 B1~B4 进行电流放大后的输出，分别被供给读出放大器 SA1。

另外，位线 WBL0a、WBL0b、WBL1a 及 WBL1b 是写入信息用的位线。

另外，字线 RWL0a、RWL0b、RWL1a 及 RWL1b 是读出信息用的字线，字线 WWL0a、WWL0b、WWL1a 及 WWL1b 是写入信息用的字线。

< D-2. 工作 >

其次，参考图 21，用图 22 及图 23 所示的时序图，说明 MRAM400 的工作。另外，在以下的说明中，采用对地址 AD00 进行数据的写入工作及读出工作为例进行说明。

< D-2-1. 写入工作 >

图 22 及图 23 是对 MRAM400 中的地址 AD00 进行数据的写入工作及读出工作时的各种电压及电流的时序图。

对地址 AD00 进行数据写入时，将规定的电压供给开关 W1，使带开关的电流源 S1 的开关 W1 导通，电流 I1 流过存储线 ML0。由于流过电流，所以如图 22 所示，存储线 ML0 的电位朝高于电压 Vss 的方向变化。然后，在写入所需要的规定期间，将电压 Vdd 供给位线 WBL0a，在此期间将电压 Vss 供给位线 WBL0b。

其次，在规定期间，将电压 Vdd 同时供给字线 WWL0a 及 WWL0b，使 MOS 晶体管 Q21 及 Q22 呈导通状态。因此电流 I3 从节点 N3 流向节点 N4。将该电流 I3 的方向作为+方向，称为电流+I3。

在图 23 中示出了流过 MOS 晶体管 Q21 及 Q22 的电流的时序图，在上述的时序中示出了电流+I3 的流动情况。另外，在图 23 中流过 MOS 晶体管 Q21 的电流将从节点 N3 流向 N2 时表示为正 (+)，将相反的方向表示为负 (-)，流过 MOS 晶体管 Q22 的电流将从节点 N2 流向 N4 时表示为正 (+)，将相反的方向表示为负 (-)。

其结果，由电流 I1 及 I3 生成的交变磁场，决定磁隧道电阻元件 MR00 的强磁性体层 FM1 的磁化矢量，进行写入。另外强磁性体层 FM2 的磁化矢量固定不变。

通过上述的一系列工作，信息被写入磁隧道电阻元件 MR00 (即地址 AD00) 中。将这时写入的信息作为逻辑 0。

接着，使带开关的电流源 S1 的开关 W1 截止，电流 I1 不流过存储线 ML0。此后，将存储线 ML0 的电位预充电到电压 Vss。

另外，将字线 WWL0a 及 WWL0b 的电压都设定为电压 Vss，使 MOS 晶体管 Q21 及 Q22 呈截止状态。另外，将电压 Vss 供给位线 WBL0a 及 WBL0b。将该期间称为等待期间。

另外，在将与上述的逻辑相反的逻辑 1 写入磁隧道电阻元件 MR00 时，将规定的电压供给开关 W1，使带开关的电流源 S1 的开关 W1 导通，电流 I1 流过存储线 ML0。由于流过电流，所以如图 22 所示，存储线 ML0 的电位朝高于电压 Vss 的方向变化。然后，在写入所需要的规定期间，将电压 Vdd 供给位线 WBL0b，在该期间将电压 Vss 供给位线 WBL0a。

另外，在规定期间，将电压 Vdd 同时供给字线 WWL0a 及 WWL0b，使 N 沟道型的 MOS 晶体管 Q21 及 Q22 呈导通状态。因此电流 I3 从节点 N4 流向节点 N3。将该电流 I3 的方向作为 - 方向，称为电流 - I3。

在图 23 所示的流过 MOS 晶体管 Q21 及 Q22 的电流的时序图中，示出了在上述的时序中电流 - I3 的流动情况。

其结果，由电流 I1 及 I3 生成的交变磁场，决定磁隧道电阻元件 MR00 的强磁性体层 FM1 的磁化矢量，进行写入，但由于电流 I3 从节点 N4 流向节点 N3，所以磁化矢量的方向与写入逻辑 0 时不同，写入与逻辑 0 相反的逻辑 1。这时，强磁性体层 FM2 的磁化矢量不变。

< D-2-2. 读出工作 >

从地址 AD00 读出数据时，首先，作为栅极控制信号 RR1 供给规定的电压，使作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 呈导通状

态。另外，如图 23 所示，将供给规定电压的期间设定在读出所需要的规定期间以上。

通过该工作，参考电压 V_{ref} 被供给存储线 $ML0$ 。

在对位线 $RBL0a$ 进行信息读出时，通过将电压 V_{dd} 供给字线 $RWL0a$ ，将电压 V_{ss} 供给字线 $RWL0b$ ，使 MOS 晶体管 $Q23$ 呈导通状态，MOS 晶体管 $Q24$ 保持截止状态。

如果 MOS 晶体管 $Q23$ 呈导通状态，则电流流过磁隧道电阻元件 $MR00$ ，从节点 $N1$ 通过节点 $N2$ 、 $N5$ 流到节点 $N6$ 。这时流过的电流的大小由磁隧道电阻元件 $MR00$ 的电阻值决定（由强磁性体的磁化方向决定）。

在图 23 中，作为 - 电流示出了通过该读出流过 MOS 晶体管 $Q23$ 的电流。

另外，由于 MOS 晶体管 $Q24$ 呈截止状态，所以流过磁隧道电阻元件 $MR00$ 的电流几乎全部通过 MOS 晶体管 $Q23$ ，作为电流 $I0a$ 流过位线 $RBL0a$ 。

如果电压 V_{dd} 供给带开关的缓冲器 $B1$ 的开关 $BB1$ ，使缓冲器 $B1$ 导通，则电流 $I0a$ 被放大后，供给读出放大器 $SA1$ 。在读出放大器 $SA1$ 中，被放大的电流 $I0a$ 被读出放大，读出信息。

对位线 $RBL0a$ 读出了信息后，电压 V_{ss} 供给带开关的缓冲器 $B1$ 的开关 $BB1$ ，使缓冲器 $B1$ 呈截止状态。

另外，电压 V_{ss} 同时供给字线 $RWL0a$ 及 $RWL0b$ ，MOS 晶体管 $Q23$ 及 $Q24$ 都呈截止状态。

结果，电压 V_{ss} 供给作为参考电压源 $VR1$ 的输出开关的 MOS 晶体管 $Q3$ 的栅极控制信号 $RR1$ ，MOS 晶体管 $Q3$ 呈截止状态。另外，将存储线 $ML0$ 的电位预充电到电压 V_{ss} 。

因此，电压 V_{ss} 供给字线 $RWL0a$ 及 $RWL0b$ 、位线 $RBL0a$ 及 $RBL0b$ ，存储线 $ML0$ 的电位被预充电到电压 V_{ss} ，等待期间开始。

另外，为了对位线 $RBL0b$ 读出信息，将电压 V_{ss} 供给字线 $RWL0a$ ，将电压 V_{dd} 供给字线 $RWL0b$ ，使 MOS 晶体管 $Q24$ 呈导通状态，电流流过磁隧道电阻元件 $MR00$ ，从节点 $N1$ 通过节点 $N2$ 及 $N5$ 流到节点 $N7$ 。这时流过的电流的大小由磁隧道电阻元件 $MR00$ 的电阻值决定（由强磁性体的磁化方向决定）。

在图 23 中，作为+电流示出了通过该读出流过 MOS 晶体管 Q24 的电流。

另外，在 MRAM400 中，由于对应于一个磁隧道电阻元件备有：信息写入用的一对位线、信息读出用的一对位线、信息写入用的一对字线、信息读出用的一对字线，所以例如，能对磁隧道电阻元件 MR00 及 MR10 同时写入不同的信息。

即，在使电流 I1 从电流源 S1 流入存储线 ML0 时，如果将电压 Vdd 供给位线 WBL0a 及 WBL0b，将电压 Vss 供给位线 WBL0b 及 WBL0a，将电压 Vdd 供给字线 RWL1a 及 RWL1b，另外，将电压 Vdd 供给字线 WWL0a 及 WWL0b，则地址为 AD10 的 MOS 晶体管 Q27 及 Q28 呈导通状态，地址为 AD00 的 MOS 晶体管 Q21 及 Q22 呈导通状态，

这时，由于流过 MOS 晶体管 Q27 及 Q28 的电流 I5 的方向和流过 MOS 晶体管 Q21 及 Q22 的电流 I3 的方向左右相反，所以在磁隧道电阻元件 MR00 和 MR10 中，能同时写入不同的信息。

另外，在此情况下，读出信息用的位线 RBL0a、RBL0b、RBL1a 及 RBL1b 也具有作为信息写入用的位线的功能。

另外，在 MRAM400 中，由于对应于一个磁隧道电阻元件有 4 个通路晶体管（在地址 AD00 中，为 MOS 晶体管 Q21~Q24），所以读出信息时，对于同一位串来说，能从多个通路晶体管同时读出信息。

在此情况下，写入信息用的位线 WBL0a、WBL0b、WBL1a 及 WBL1b 也具有作为信息读出用的位线的功能。

另外，对于同一位串来说，显然能从地址不同的存储单元非同步地读出信息。

< D-3. 平面结构 >

在图 24 中模式地示出了构成 MRAM400 的一个存储单元的平面布局。

图 24 表示将地址为 AD00 的存储单元的各层的平面布局重合起来的状态，MOS 晶体管 Q21~Q24 各自的栅极 GA 以磁隧道电阻元件 MR00 为中心，并列配置两行两列。

即，MOS 晶体管 Q21 及 Q23 的栅极 GA 沿横向并列配置，MOS 晶体管 Q22 及 Q24 的栅极 GA 沿纵向并列配置，另外，MOS 晶体管 Q21 及 Q22 的栅极 GA 沿纵向配置成一列，MOS 晶体管 Q23 及 Q24 的栅极 GA 沿纵

向配置成一列。

而且，各栅极 GA 通过接触部 CH0 连接在上层的第一金属层 M1 上，第一金属层 M1 通过接触部 CH2 连接在上层的第二金属层 M2 上，第二金属层 M2 通过接触部 CH3 连接在上层的第三金属层 M3 上。

另外，磁隧道电阻元件 MR00 配置在第一金属层 M1 和第二金属层 M2 之间，第一金属层 M1 通过接触部 CH1 导电性地连接在激活区 AA 上。

图 25 是表示第一金属层 M1 以下的结构的平面布局，各第一金属层 M1 通过接触部 CH1 连接在激活区 AA 上。

图 26 是表示以第二金属层 M2 为主的平面布局，对应于存储线 ML0 的第二金属层 M2 配置在磁隧道电阻元件 MR00 上，对应于位线 RBL0a、WBL0a、RBL0b 及 WBL0b 的多个第二金属层 M2 在图中按照从左向右的顺序配置在两个激活区 AA 上。

另外，多个第二金属层 M2 在俯视图中相对于各栅极 GA 的纵向正交地并列配置。

图 27 是表示以第三金属层 M3 为主的平面布局，对应于字线 WWL0a、WWL0b、RWL0a 及 RWL0b 的多个第三金属层 M3 在图中按照从上向下的顺序横跨在两个激活区 AA 上。另外，多个第三金属层 M3 在俯视图中相对于各栅极 GA 的纵向平行地并列配置多个。

这样，在 MRAM400 的平面布局中，由于一个存储单元内的 MOS 晶体管的所有栅极以磁隧道电阻元件为中心，并列地配置成两行两列，所以在制造工序中进行栅极的构图（包括复制工序及刻蚀工序）时，能降低 CD（临界尺寸）漂移。

这里，加工尺寸比设计值小为 CD 损失，加工尺寸比设计值大为 CD 增益，将 CD 损失及 CD 增益统称为 CD 漂移。

之所以采用上述的布局结构来降低 CD 漂移，是因为作为总体看存储单元阵列时，栅极的排列图形一定，能防止抗蚀剂复制工序中的光的驻波的干扰，以及刻蚀工序中的等离子体密度的偏移。关于这些机理，作为设置空区的理由，在实施方案 1 中已说明过。

< D-4. 工作效果 >

如上所述，在 MRAM400 中，由于对一个存储单元配置两对位线，将开关元件分别插在 4 条位线和磁隧道电阻元件之间，所以读出磁隧道电阻元件的信息时，通过控制，有选择地使开关元件导通，能从共

用位线的不同地址的存储单元，按照分别独立的时序（非同步地）读出信息。

另外，由于对一个磁隧道电阻元件配置两对字线，所以对同一位串的地址不同的两个存储单元，能同时写入不同的信息。

另外，一个存储单元内的 MOS 晶体管的所有栅极以磁隧道电阻元件为中心，并列地配置成两行两列构成平面布局，所以在制造工序中进行栅极的构图时，能降低 CD 漂移。

< D-5. 变形例 1 >

在图 21 所示的 MRAM400 中，作为信息读出用的字线，给出了备有字线 RWL0a、RWL0b、RWL1a 及 RWL1b 的结构，作为信息写入用的字线，给出了备有字线 WWL0a、WWL0b、WWL1a 及 WWL1b 的结构，但如图 28 所示的 MRAM400A，信息写入用的字线也可以对存储单元只设置一条。

即，如图 28 所示，在地址 AD00 及地址 AD01 的存储单元中，也可以将 MOS 晶体管 Q21 及 Q22 的栅极连接在字线 WWL0 上，在地址 AD10 及地址 AD11 的存储单元中，也可以将 MOS 晶体管 Q25 及 Q26 的栅极连接在字线 WWL1 上。其他结构与图 21 所示的 MRAM400 相同。

采用这样的结构，虽然不能对同一位串中的不同地址的存储单元同时写入信息，但能从同一位串中的不同地址的存储单元同时读出信息，能使存储区占有的面积减少字线所减少的条数的部分。

在图 29 中模式地示出了构成 MRAM400A 的一个存储单元的平面布局。

图 29 示出了地址为 AD00 的存储单元的各层平面布局重叠的状态，MOS 晶体管 Q21 及 Q22 的公用化的栅极 GA1 沿横向并列，配置 MOS 晶体管 Q23 及 Q24 各自的栅极 GA。另外，MOS 晶体管 Q23 及 Q24 各自的栅极 GA 沿纵向配置成一列。而且，在被栅极 GA1 和栅极 GA 的排列夹持的位置的中央，设置磁隧道电阻元件 MR00。因此，可以说栅极 GA1 及栅极 GA 左右对称。

而且，栅极 GA1 及各栅极 GA 通过接触部 CH0 连接在上层的第一金属层 M1 上，第一金属层 M1 通过接触部 CH2 连接在上层的第二金属层 M2 上，第二金属层 M2 通过接触部 CH3 连接在上层的第三金属层 M3 上。

另外，磁隧道电阻元件 MR00 配置在第一金属层 M1 和第二金属层 M2 之间，第一金属层 M1 通过接触部 CH1 导电性地连接在激活区 AA 上。

图 30 是表示第一金属层 M1 以下的结构的平面布局, 各第一金属层 M1 通过接触部 CH1 连接在激活区 AA 上。

图 31 是表示以第二金属层 M2 为主的平面布局, 对应于存储线 ML0 的第二金属层 M2 配置在磁隧道电阻元件 MR00 上, 对应于位线 RBL0a、WBL0a、RBL0b 及 WBL0b 的多个第二金属层 M2 在图中按照从左向右的顺序配置在两个激活区 AA 上。另外, 多个第二金属层 M2 在俯视图中相对于栅极 GA1 及各栅极 GA 的纵向正交地并列配置。

图 32 是表示以第三金属层 M3 为主的平面布局, 对应于字线 WWL0、RWL0a 及 RWL0b 的多个第三金属层 M3 在图中按照从上向下的顺序横跨在两个激活区 AA 上。另外, 多个第三金属层 M3 在俯视图中相对于各栅极 GA 的纵向平行地并列配置多个。

这样, 在 MRAM400 的平面布局中, 由于一个存储单元内的 MOS 晶体管的所有栅极以磁隧道电阻元件为中心, 左右对称地配置, 所以在制造工序中进行栅极的构图时, 能降低 CD 漂移。

< D-6. 变形例 2 >

< D-6-1. 装置结构 >

在图 21 所示的 MRAM400 中, 作为信息读出用的字线, 备有字线 RWL0a、RWL0b、RWL1a 及 RWL1b; 作为信息写入用的字线, 备有字线 WWL0a、WWL0b、WWL1a 及 WWL1b; 作为信息读出用的位线, 备有位线 RBL0a、RBL0b、RBL1a 及 RBL1b; 作为信息写入用的位线, 备有位线 WBL0a、WBL0b、WBL1a 及 WBL1b; 但也可以如图 33 所示的 400B, 对存储单元各设置一条信息写入用的字线及信息读出用的字线, 另外, 也可以对存储单元只设置一条信息读出用的位线。

即, 在图 33 中, 地址为 AD00 的存储单元只备有 MOS 晶体管 Q23, 作为写入用的 MOS 晶体管, MOS 晶体管 Q23 导电性地连接在位线 RBL0 和节点 N9 之间。

另外, 地址为 AD01 的存储单元只备有 MOS 晶体管 Q23, 作为写入用的 MOS 晶体管, MOS 晶体管 Q23 导电性地连接在位线 RBL1 和节点 N9 之间。

地址为 AD10 的存储单元只备有 MOS 晶体管 Q27, 作为写入用的 MOS 晶体管, MOS 晶体管 Q27 导电性地连接在位线 RBL0 和节点 N9 之间。

另外, 地址为 AD11 的存储单元只备有 MOS 晶体管 Q27, 作为写入

用的MOS晶体管,MOS晶体管Q27导电性地连接在位线RBL1和节点N9之间。

而且,在地址为AD00及地址为AD01的存储单元中,MOS晶体管Q21及Q22的栅极连接在字线WWL0上,MOS晶体管Q23的栅极连接在字线RWL0上。

另外,在地址为AD10及地址为AD11的存储单元中,MOS晶体管Q25及Q26的栅极连接在字线WWL1上,MOS晶体管Q27的栅极连接在字线RWL1上。其他结构与图21所示的MRAM400相同。

< D-6-2. 工作 >

其次,用图34及图35所示的时序图,说明MRAM400B的工作。

图34及图35是对MRAM400B中的地址AD00进行数据的写入工作及读出工作时的各种电压及电流的时序图。

< D-6-2-1. 写入工作 >

对地址AD00进行数据写入时,将规定的电压供给开关W1,使带开关的电流源S1的开关W1导通,电流I1流过存储线ML0。

然后,在写入所需要的规定期间,将电压Vdd供给位线WBL0a,在此期间将电压Vss供给位线WBL0b。

其次,在规定期间,将电压Vdd供给字线WWL0,使MOS晶体管Q21及Q22呈导通状态。因此电流I3从节点N3流向节点N4。将该电流I3的方向作为+方向,称为电流+I3。

在图34中示出了流过MOS晶体管Q21及Q22的电流的时序图,在上述的时序中示出了电流+I3的流动情况。另外,在图35中流过MOS晶体管Q21的电流将从节点N3流向N2时表示为正(+),将相反的方向表示为负(-),流过MOS晶体管Q22的电流将从节点N2流向N4时表示为正(+),将相反的方向表示为负(-)。

其结果,由电流I1及I3生成的交变磁场,决定磁隧道电阻元件MR00的强磁性体层FM1的磁化矢量,进行写入。另外强磁性体层FM2的磁化矢量固定不变。

通过上述的一系列工作,信息写入磁隧道电阻元件MR00(即地址AD00)中。将这时写入的信息作为逻辑0。

接着,使带开关的电流源S1的开关W1截止,电流I1不流过存储线ML0。此后,将存储线ML0的电位预充电到电压Vss。

另外，将字线 WWL0 设定为电压 V_{SS} ，使 MOS 晶体管 Q21 及 Q22 呈截止状态。另外，将电压 V_{SS} 供给位线 WBL0a 及 WBL0b。将该期间称为等待期间。

另外，在将与上述的逻辑相反的逻辑 1 写入磁隧道电阻元件 MR00 时，将规定的电压供给开关 W1，使带开关的电流源 S1 的开关 W1 导通，电流 I_1 流过存储线 ML0。

然后，在写入所需要的规定期间，将电压 V_{DD} 供给位线 WBL0b，在该期间将电压 V_{SS} 供给位线 WBL0a。

其次，在规定期间，将电压 V_{DD} 供给字线 WWL0，使 MOS 晶体管 Q21 及 Q22 呈导通状态。因此电流 I_3 从节点 N4 流向节点 N3。将该电流 I_3 的方向作为 - 方向，称为电流 $-I_3$ 。

在图 35 所示的流过 MOS 晶体管 Q21 及 Q22 的电流的时序图中，示出了在上述的时序中电流 $-I_3$ 的流动情况。

其结果，由电流 I_1 及 I_3 生成的交变磁场，决定磁隧道电阻元件 MR00 的强磁性体层 FM1 的磁化矢量，进行写入，但由于电流 I_3 从节点 N4 流向节点 N3，所以磁化矢量的方向与写入逻辑 0 时不同，写入与逻辑 0 相反的逻辑 1。这时，强磁性体层 FM2 的磁化矢量不变。

< D-6-2-2. 读出工作 >

从地址 AD00 读出数据时，首先，作为栅极控制信号 RR1，供给规定的电压，使作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 呈导通状态。另外，如图 35 所示，将供给规定电压的期间设定在读出所需要的规定期间以上。

通过该工作，参考电压 V_{ref} 供给存储线 ML0。

在对位线 RBL0a 进行信息读出时，通过将电压 V_{DD} 供给字线 RWL0，使 MOS 晶体管 Q23 呈导通状态。

如果 MOS 晶体管 Q23 呈导通状态，则电流流过磁隧道电阻元件 MR00，从节点 N1 通过节点 N2 流到节点 N6。这时流过的电流的大小由磁隧道电阻元件 MR00 的电阻值决定（由强磁性体的磁化方向决定）。

在图 35 中，作为 - 电流示出了通过该读出流过 MOS 晶体管 Q23 的电流。

另外，流过磁隧道电阻元件 MR00 的电流几乎全部通过 MOS 晶体管 Q23，作为电流 I_{00} 流过位线 RBL0。

如果电压 V_{dd} 被供给带开关的缓冲器 B1 的开关 BB1, 使缓冲器 B1 导通, 则电流 I_{00} 被放大后, 供给读出放大器 SA1。在读出放大器 SA1 中, 被放大的电流 I_{00} 被读出放大, 读出信息。

对位线 RBL0 进行信息读出后, 电压 V_{ss} 供给带开关的缓冲器 B1 的开关 BB1, 使缓冲器 B1 呈截止状态。

另外, 电压 V_{ss} 供给字线 RWL0, MOS 晶体管 Q23 呈截止状态。

结果, 电压 V_{ss} 供给作为参考电压源 VR1 的输出开关的 MOS 晶体管 Q3 的栅极控制信号 RR1, MOS 晶体管 Q3 呈截止状态。另外, 将存储线 ML0 的电位预充电到电压 V_{ss} 。

因此, 电压 V_{ss} 供给字线 RWL0、位线 RBL0a 及 RBL0b, 存储线 ML0 的电位被预充电到电压 V_{ss} , 等待期间开始。

这样, 在 MRAM400 中, 单独备有存储单元的信息写入线、以及存储单元的信息读出线, 能获得小型结构。

< D-6-3. 平面结构 >

在图 36 中模式地示出了构成 MRAM400B 的一个存储单元的平面布局。

图 36 示出了地址为 AD00 的存储单元的各层平面布局重叠的状态, MOS 晶体管 Q21 及 Q22 的公用化的栅极 GA1 沿横向并列, 配置 MOS 晶体管 Q23 的栅极 GA 及空栅极 DGA。另外, MOS 晶体管 Q23 的栅极 GA 及空栅极 DGA 沿纵向配置成一系列。而且, 在被栅极 GA1 和栅极 GA 及空栅极 DGA 的排列夹持的位置的中央, 设置磁隧道电阻元件 MR00。

而且, 栅极 GA1 及 GA 通过接触部 CH0 连接在上层的第一金属层 M1 上, 第一金属层 M1 通过接触部 CH2 连接在上层的第二金属层 M2 上, 第二金属层 M2 通过接触部 CH3 连接在上层的第三金属层 M3 上。

另外, 磁隧道电阻元件 MR00 配置在第一金属层 M1 和第二金属层 M2 之间, 第一金属层 M1 通过接触部 CH1 导电性地连接在激活区 AA 上。

图 37 是表示第一金属层 M1 以下的结构的平面布局, 各第一金属层 M1 通过接触部 CH1 连接在激活区 AA 上。

图 38 是表示以第二金属层 M2 为主的平面布局, 对应于存储线 ML0 的第二金属层 M2 配置在磁隧道电阻元件 MR00 上, 对应于位线 WBL0a、RBL0a 及 WBL0b 的多个第二金属层 M2 在图中按照从左向右的顺序配置在两个激活区 AA 上。另外, 多个第二金属层 M2 在俯视图中相对于空

栅极 DGA、栅极 GA1 及 GA 的纵向正交地并列配置多个。

这样，在 MRAM400B 的平面布局中，由于一个存储单元内的 MOS 晶体管的个数为 3 个，所以为了防止栅极的排列图形不规则而备有空栅极，所以在制造工序中进行栅极的构图时，能降低 CD 漂移。

[发明的效果]

如果采用本发明的第一方面的磁存储装置，则由于将第一及第二开关元件配置在导电性地连接在第一及第二位线上、至少具有作为对磁隧道结元件读出信息用的电流路径的功能的第一电流路径内，所以读出磁隧道结元件的信息时，通过控制而有选择地使第一及第二开关元件导通，能按照分别独立的时序，从共用位线的不同地址的存储单元读出信息。

如果采用本发明的第二方面的磁存储装置，则由于磁隧道结元件导电性地连接在第二电流路径和第一电流路径之间，第一及第二电流路径在俯视图中非接触地正交配置，所以利用由流过第一及第二电流路径的电流产生的磁场可以对磁隧道结元件进行信息的写入、读出磁隧道结元件的信息时，可以通过控制而有选择地使第一及第二开关元件导通，从第二电流路径通过磁隧道结元件，对第一或第二位线读出信息。

如果采用本发明的第三方面的磁存储装置，则由于将第三及第四开关元件配置在具有作为对磁隧道结元件写入及读出信息用的电流路径的功能的第三电流路径内，所以能将第一电流路径作为磁隧道结元件的信息写入路径用，将第三电流路径作为磁隧道结元件的信息读出路径用，能对同一位串的不同地址的两个存储单元同时写入不同的信息。

如果采用本发明的第四方面的磁存储装置，则由于不同位串相邻配置的存储单元之间共有配置在其间的第一及第二位线中的至少一者，所以能减少位线的条数，从而能减少存储区占有的面积。另外，在不同位串相邻配置的存储单元中，也能按照分别独立的时序，读出信息。

如果采用本发明的第五方面的磁存储装置，则能有选择地控制第一及第二开关元件。

如果采用本发明的第六方面的磁存储装置，则能有选择地控制第

一及第二开关元件、第三及第四开关元件。

如果采用本发明的第七方面的磁存储装置，则能减少字线的条数。

如果采用本发明的第八方面的磁存储装置，则通过对第二电流路径有选择地进行来自电压源的电压供给及来自电流源的电流供给，能实现对磁隧道结元件的信息写入及读出。

如果采用本发明的第九方面的磁存储装置，则在单独备有存储单元的信息写入线、以及存储单元的信息读出线的结构中，能获得最小的结构。

如果采用本发明的第十方面的磁存储装置，则能减少字线的条数。

如果采用本发明的第十一方面的磁存储装置，则利用流过第一及第三电流路径的电流产生的磁场对磁隧道结元件进行信息的写入，读出磁隧道结元件的信息时，通过控制而有选择地使第一及第二开关元件导通，从第二电流路径通过磁隧道结元件，对第一或第二位线读出信息。

如果采用本发明的第十二方面的磁存储装置，则能获得利用流过第一及第三电流路径的电流产生的磁场实现对磁隧道结元件进行信息的写入用的磁隧道结元件、以及第一至第三电流路径的具体的配置。

如果采用本发明的第十三方面的磁存储装置，则通过对第二电流路径有选择地进行来自电压源的电压供给及来自电流源的电流供给，能实现对磁隧道结元件的信息写入及读出。另外，通过用双向电流源作为电流源，能选择两种写入信息。

如果采用本发明的第十四方面的磁存储装置，则通过采用分级位线结构及分级字线结构，即使存储单元的规模变大，也能防止信号传递的延迟。

如果采用本发明的第十五方面的磁存储装置，则能对第一及第二位线上读出的信息进行读出放大。

如果采用本发明的第十六方面的磁存储装置，则通过对读出放大器的电源供给线采用分级功率线结构，读出放大器不工作时能降低功耗。

如果采用本发明的第十七方面的磁存储装置，则能容易地进行第

一及第二开关元件和磁隧道结元件的导电性的连接。

如果采用本发明的第十八方面的磁存储装置，则在制造工序中，磁隧道结元件在位线之后形成，不受位线形成时的热处理的影响，能防止性能下降。

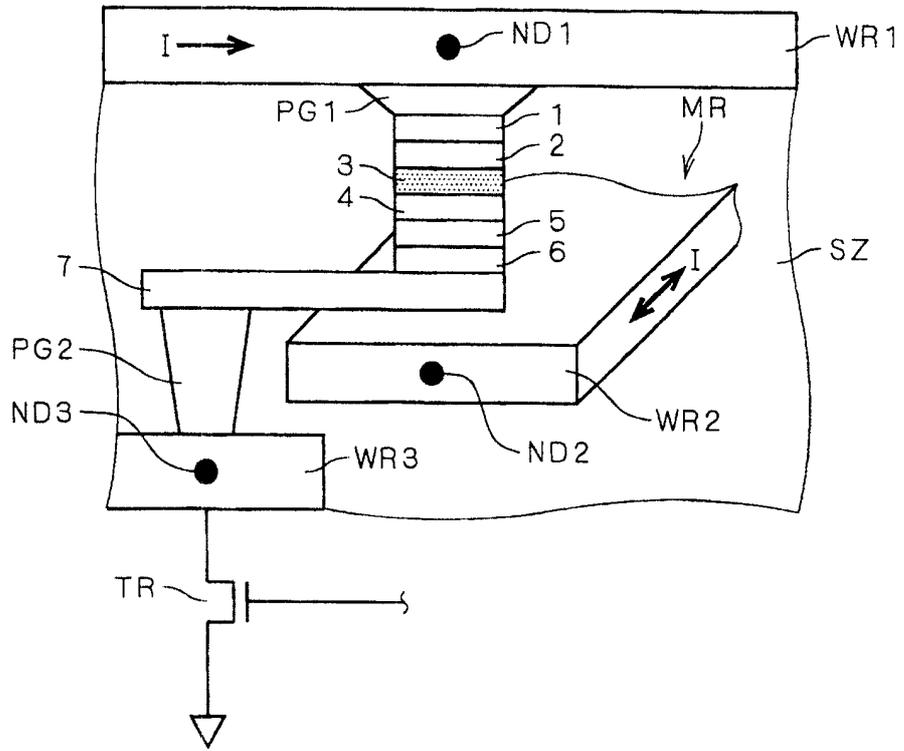


图 1

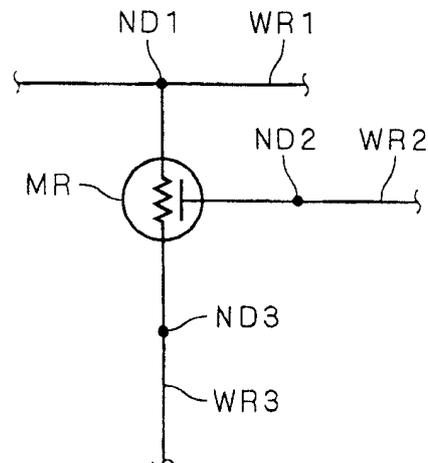


图 2

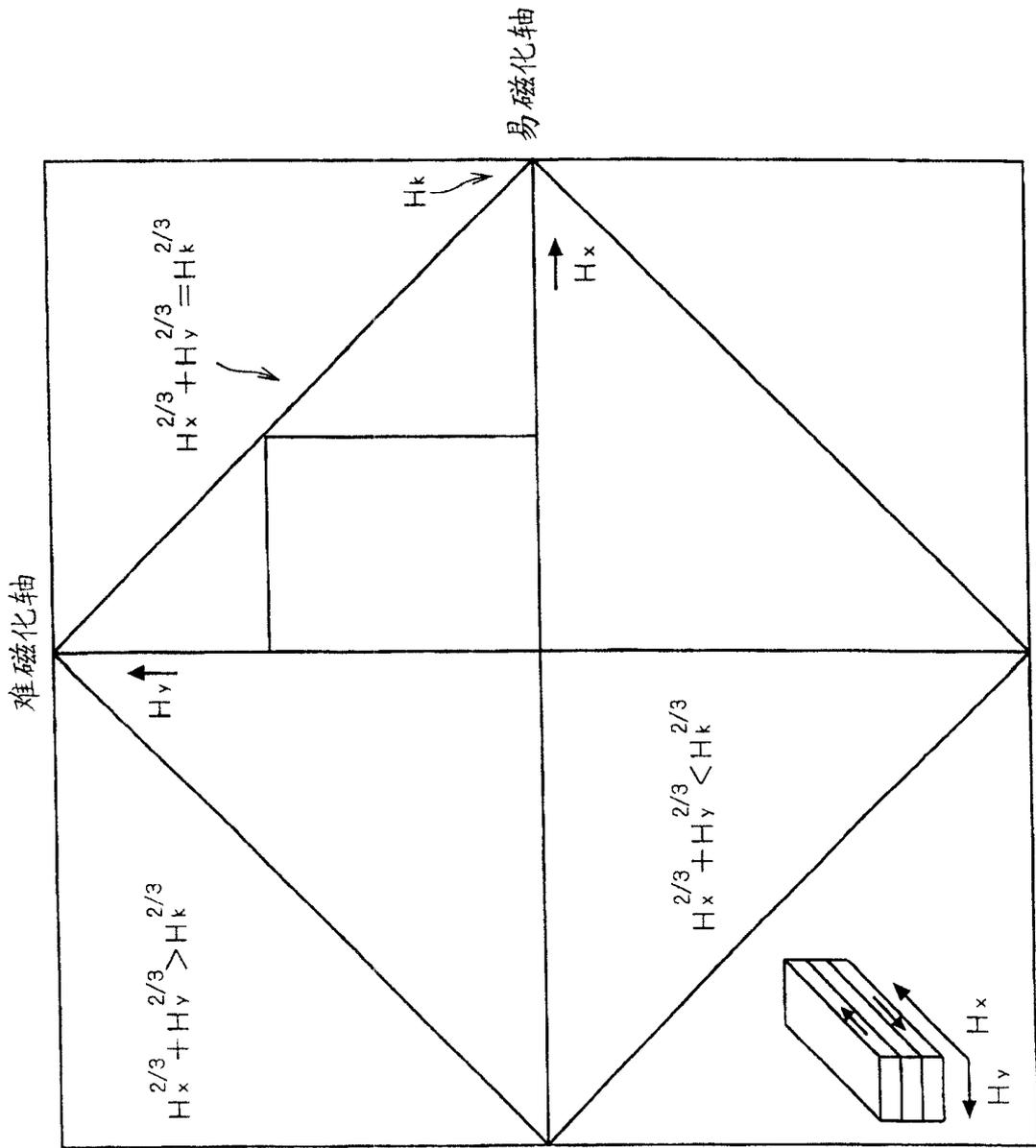


图 3

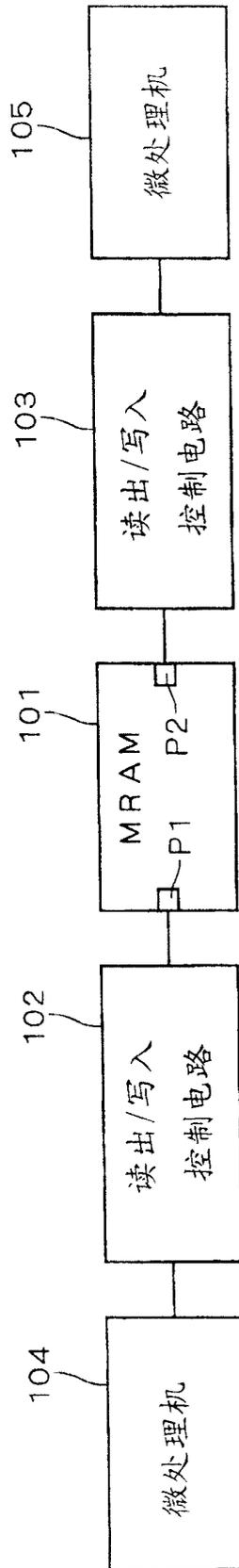


图 4

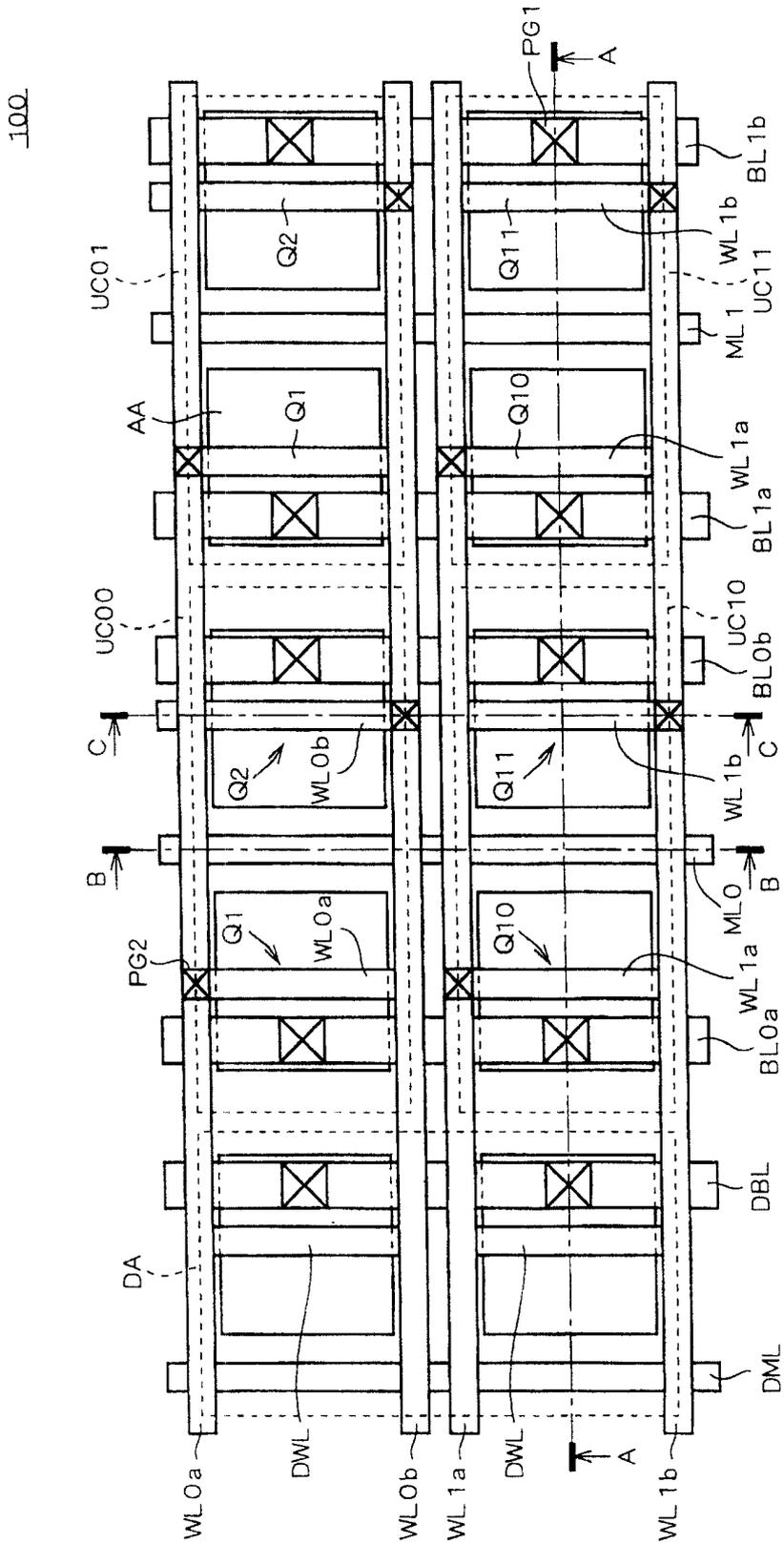


图 5

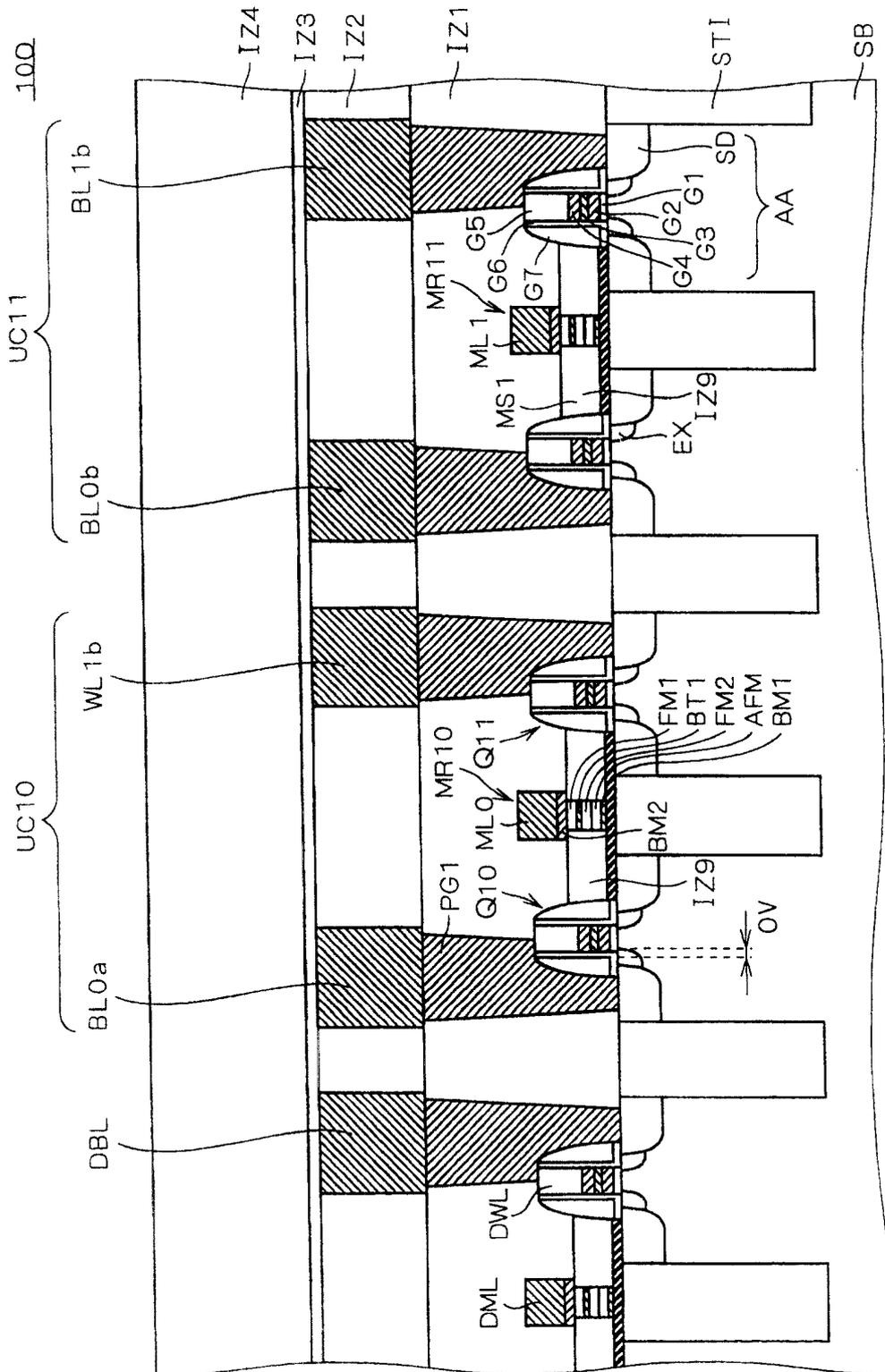


图 6

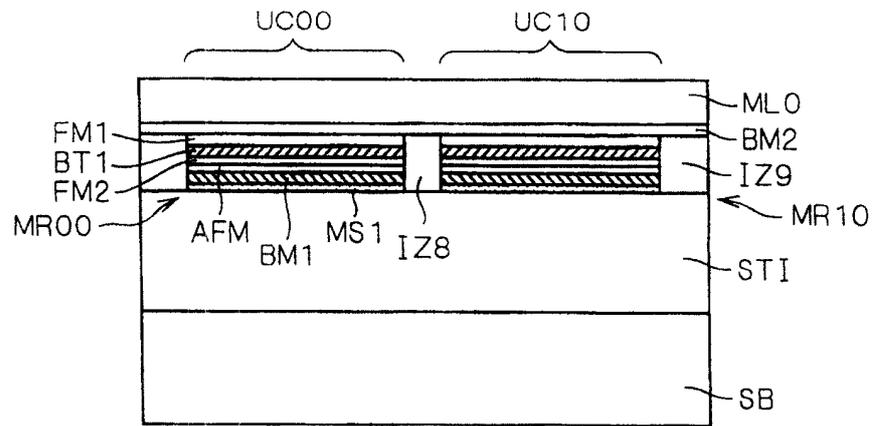


图 7

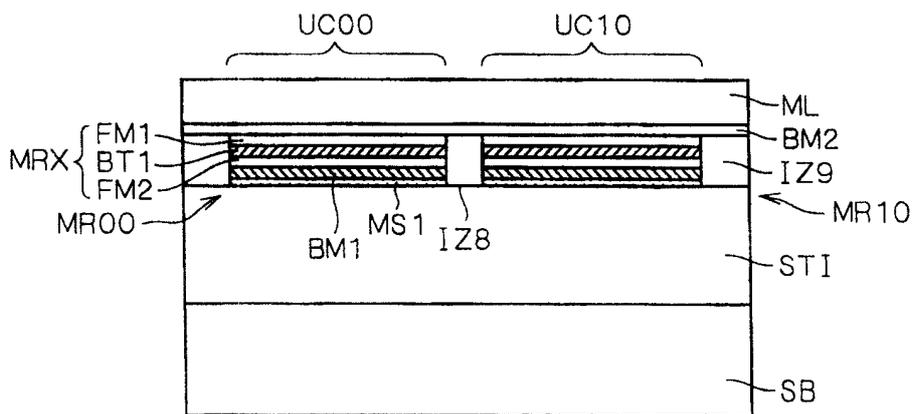


图 8

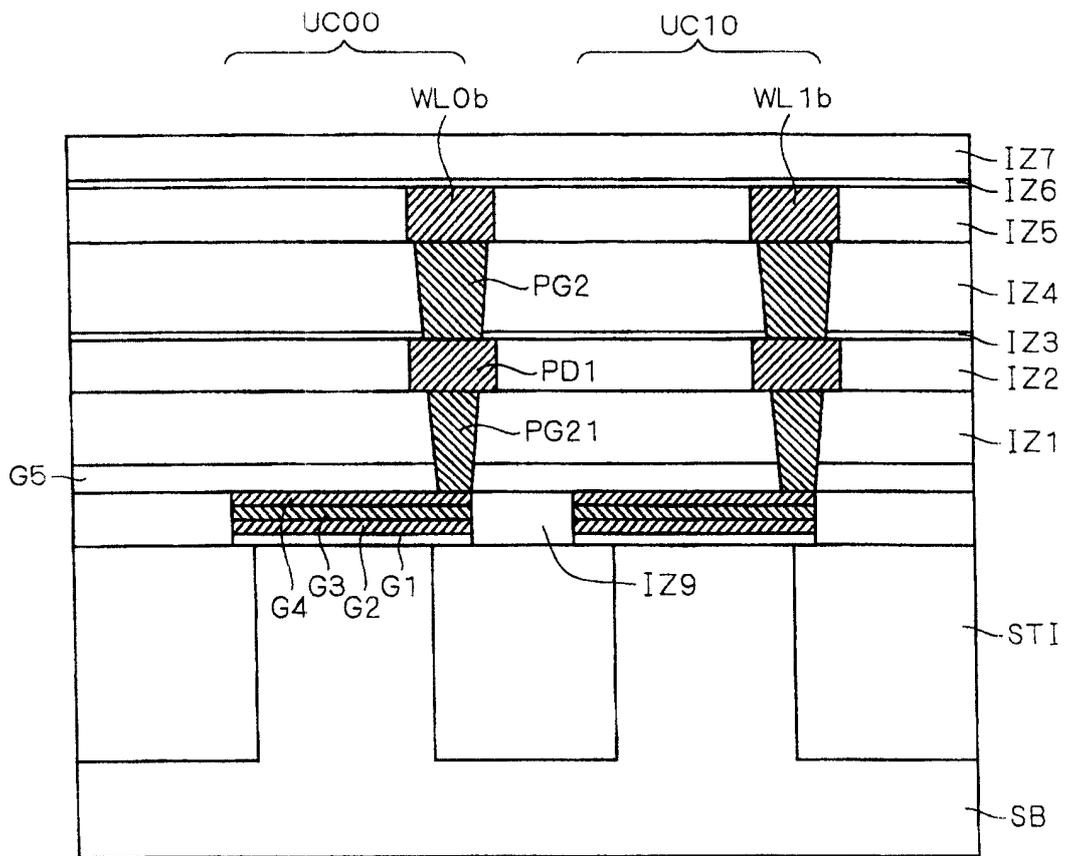


图 9

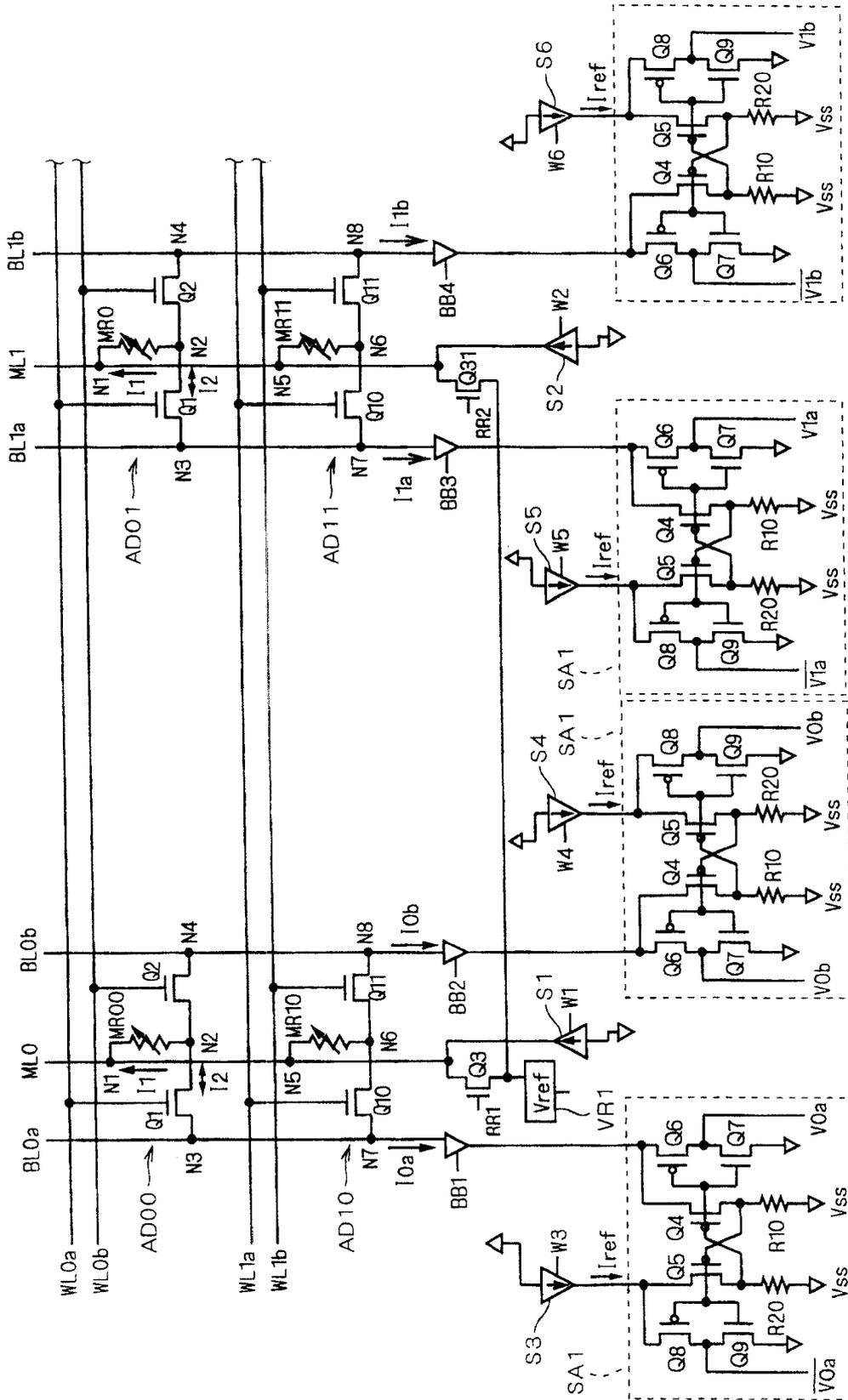


图 10

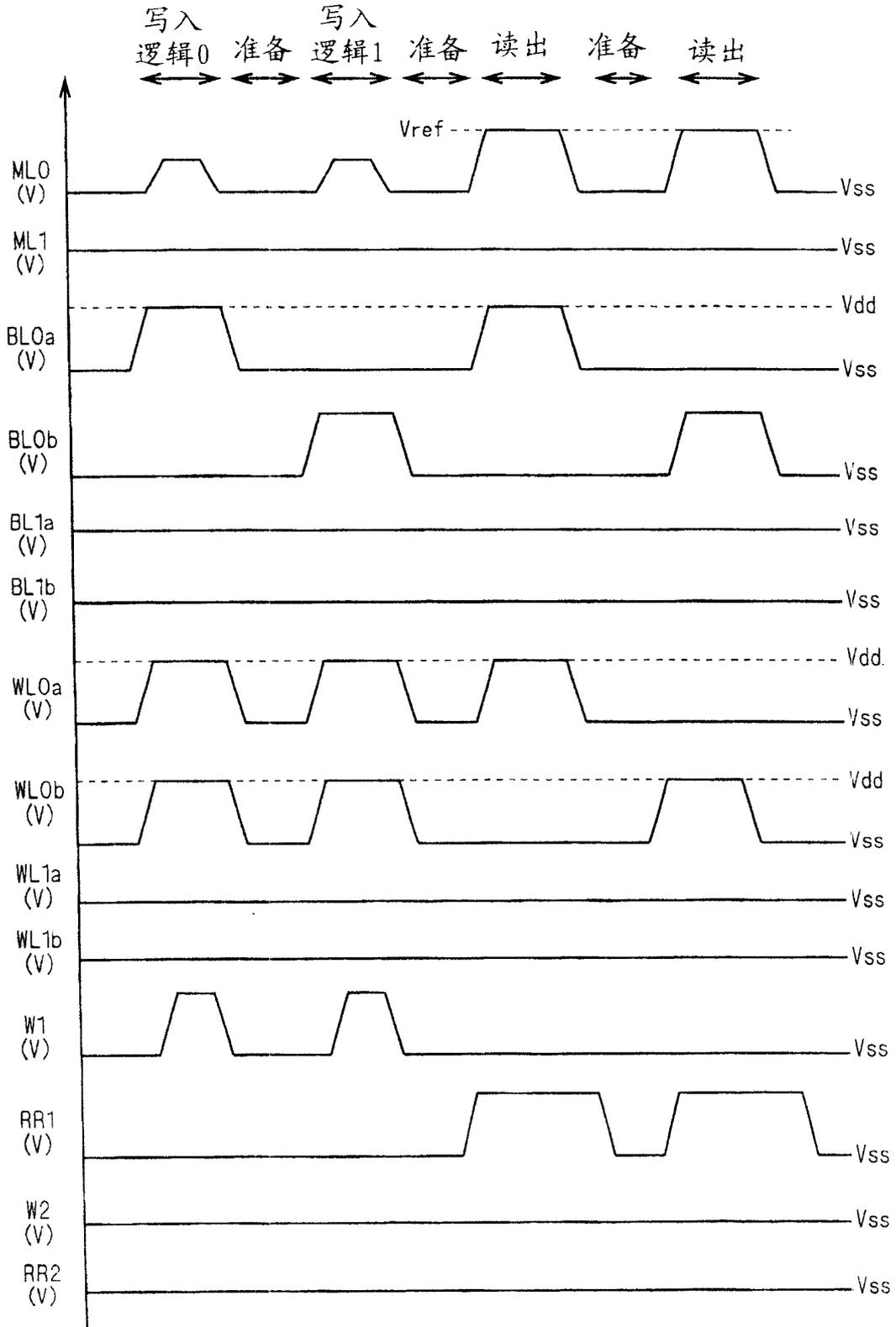


图 11

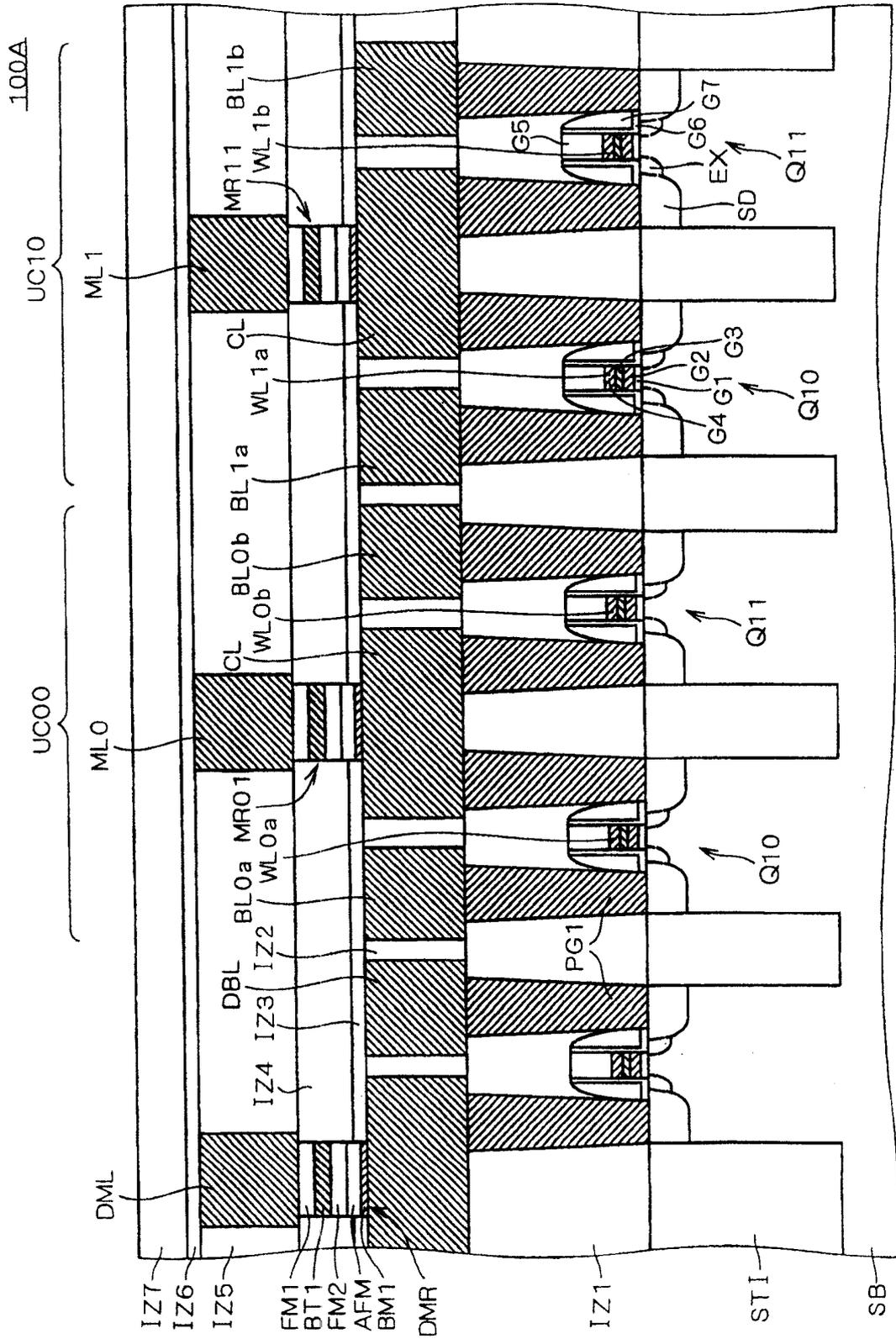


图 12

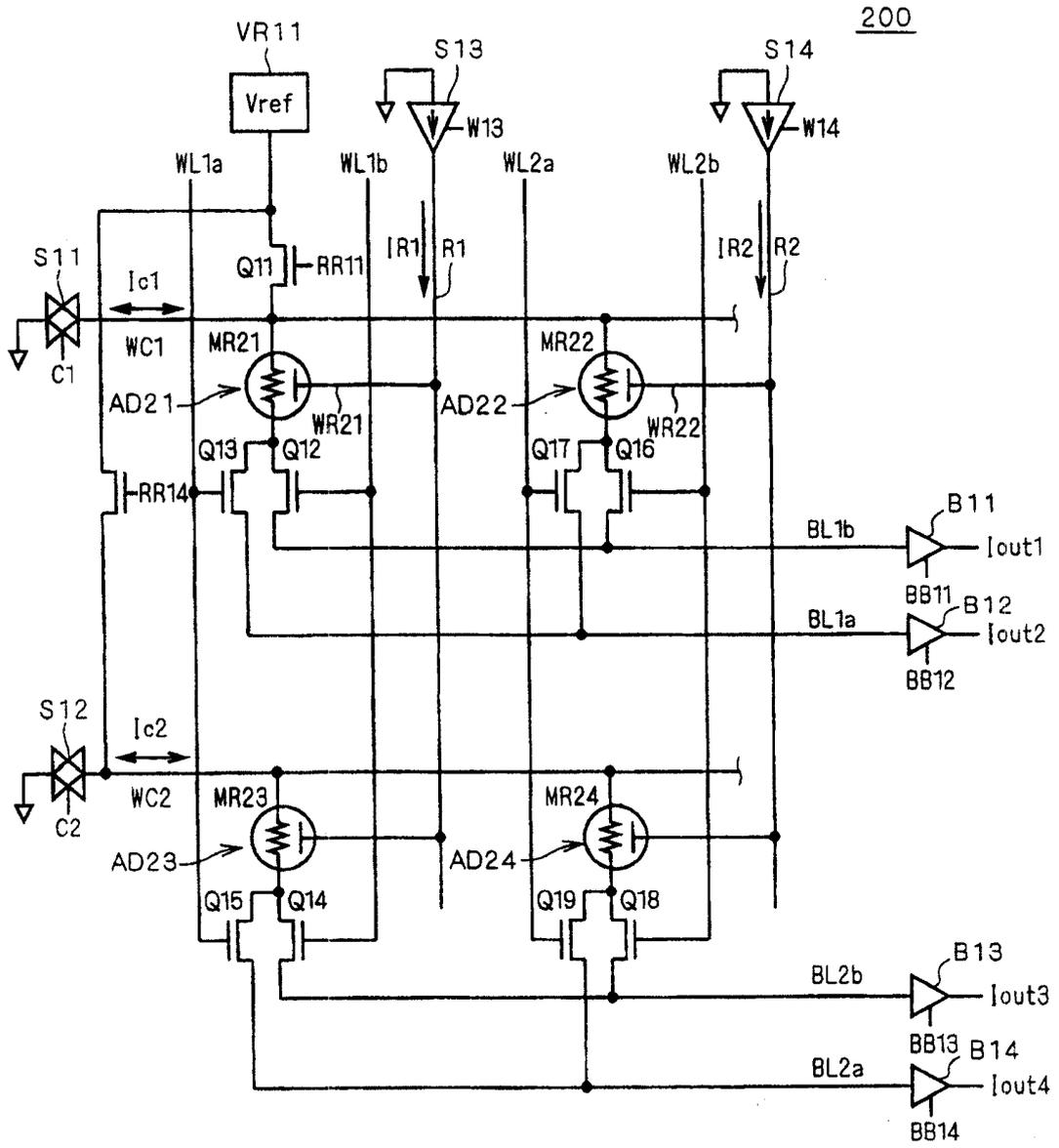


图 13

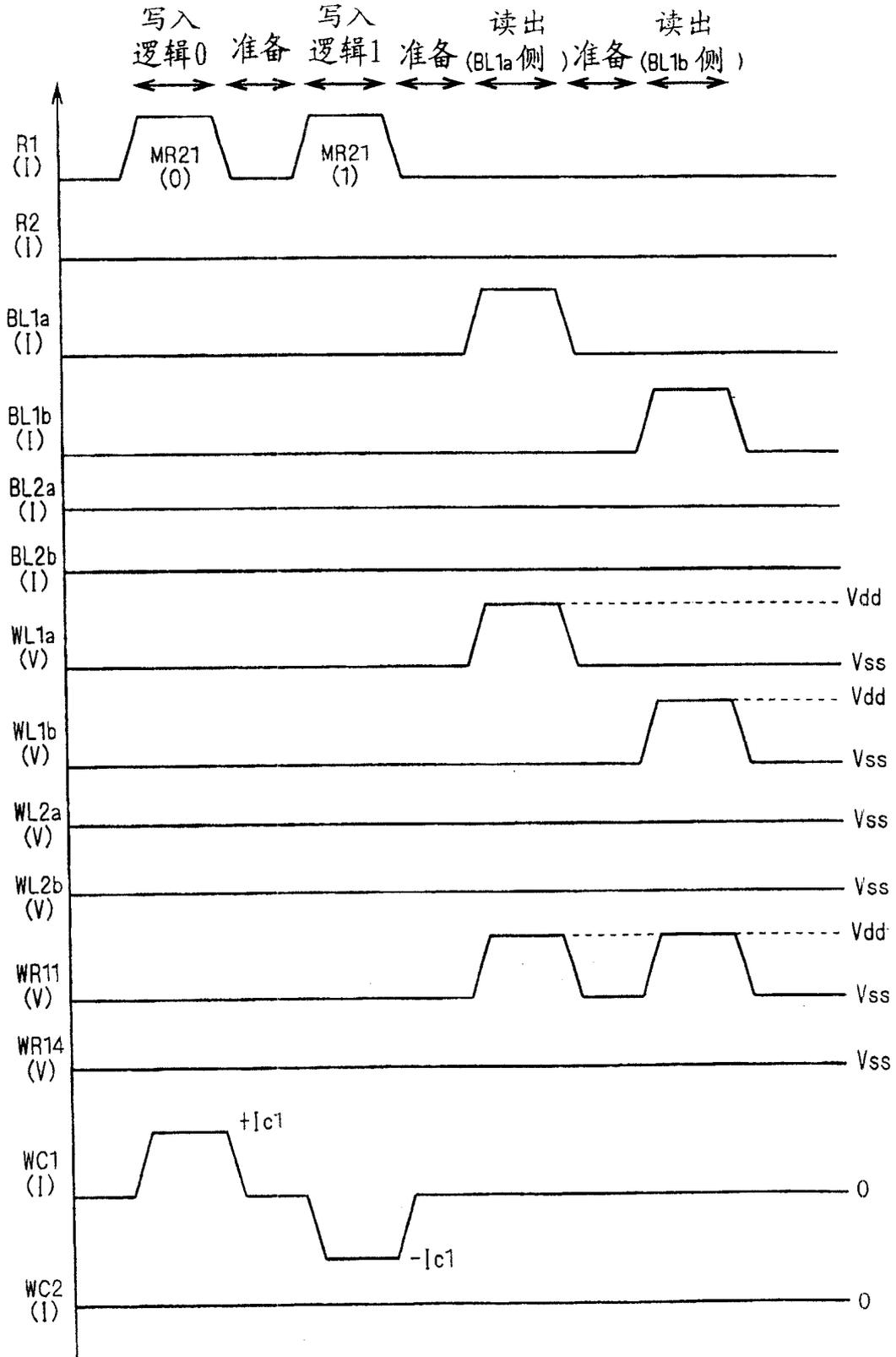


图 14

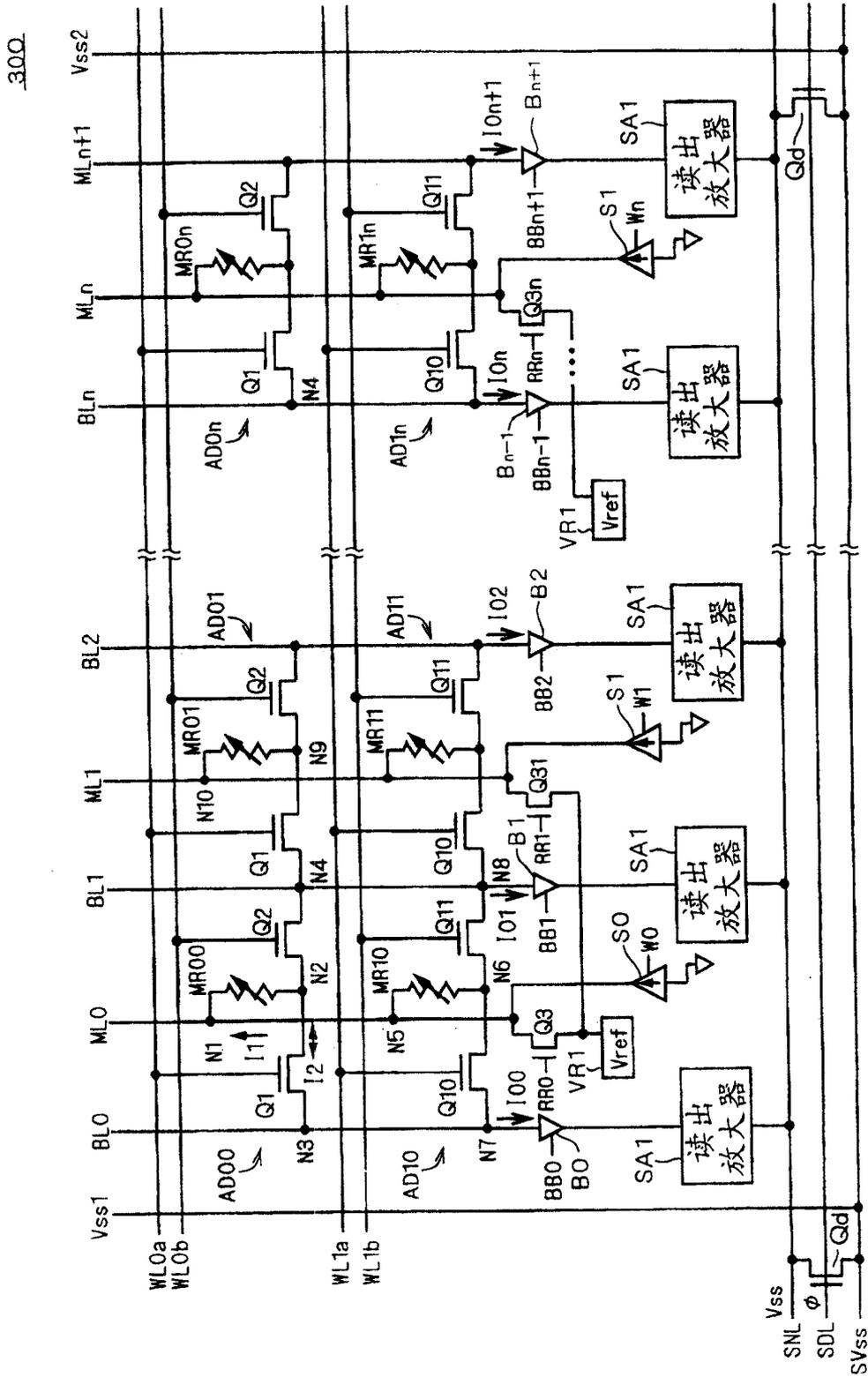


图 15

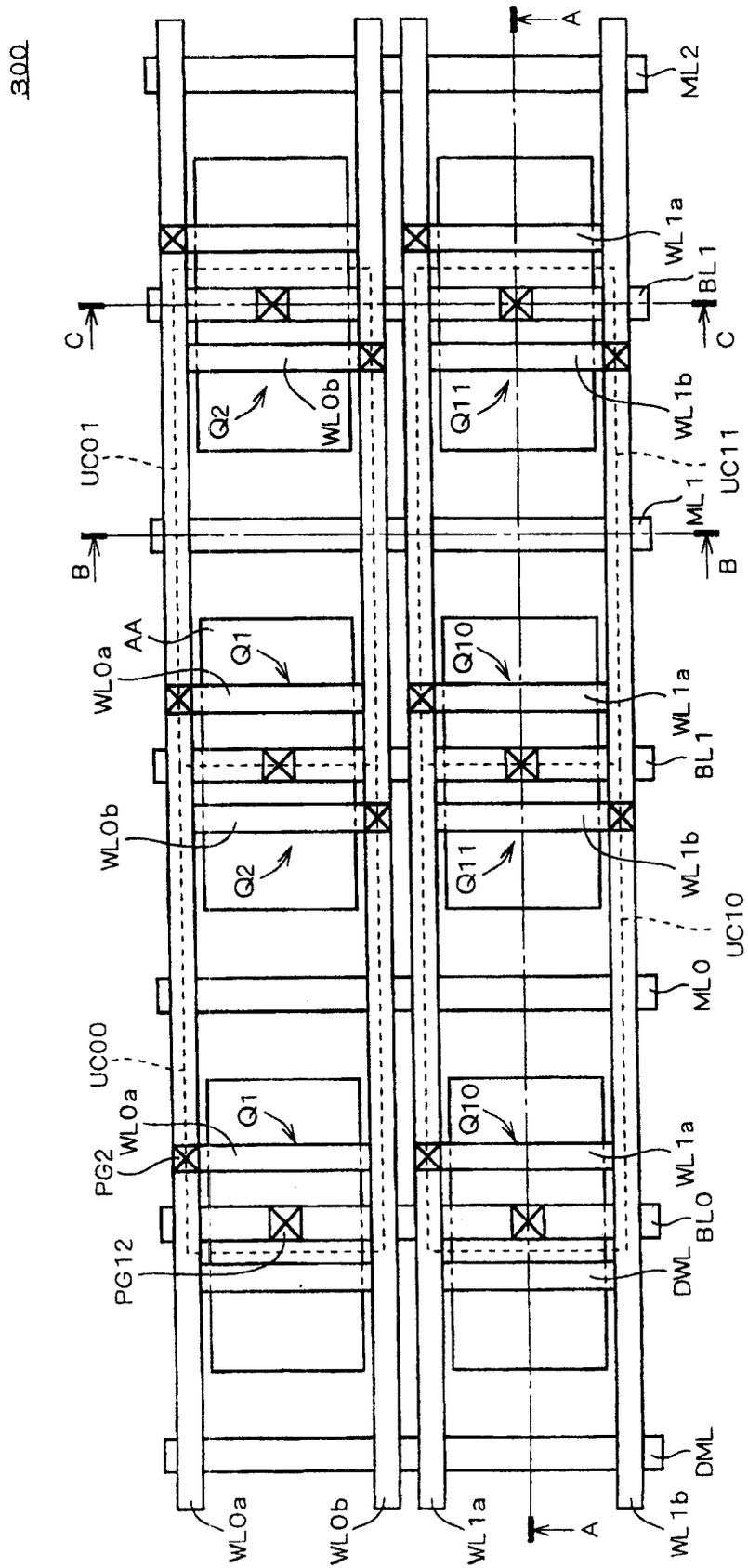


图 16

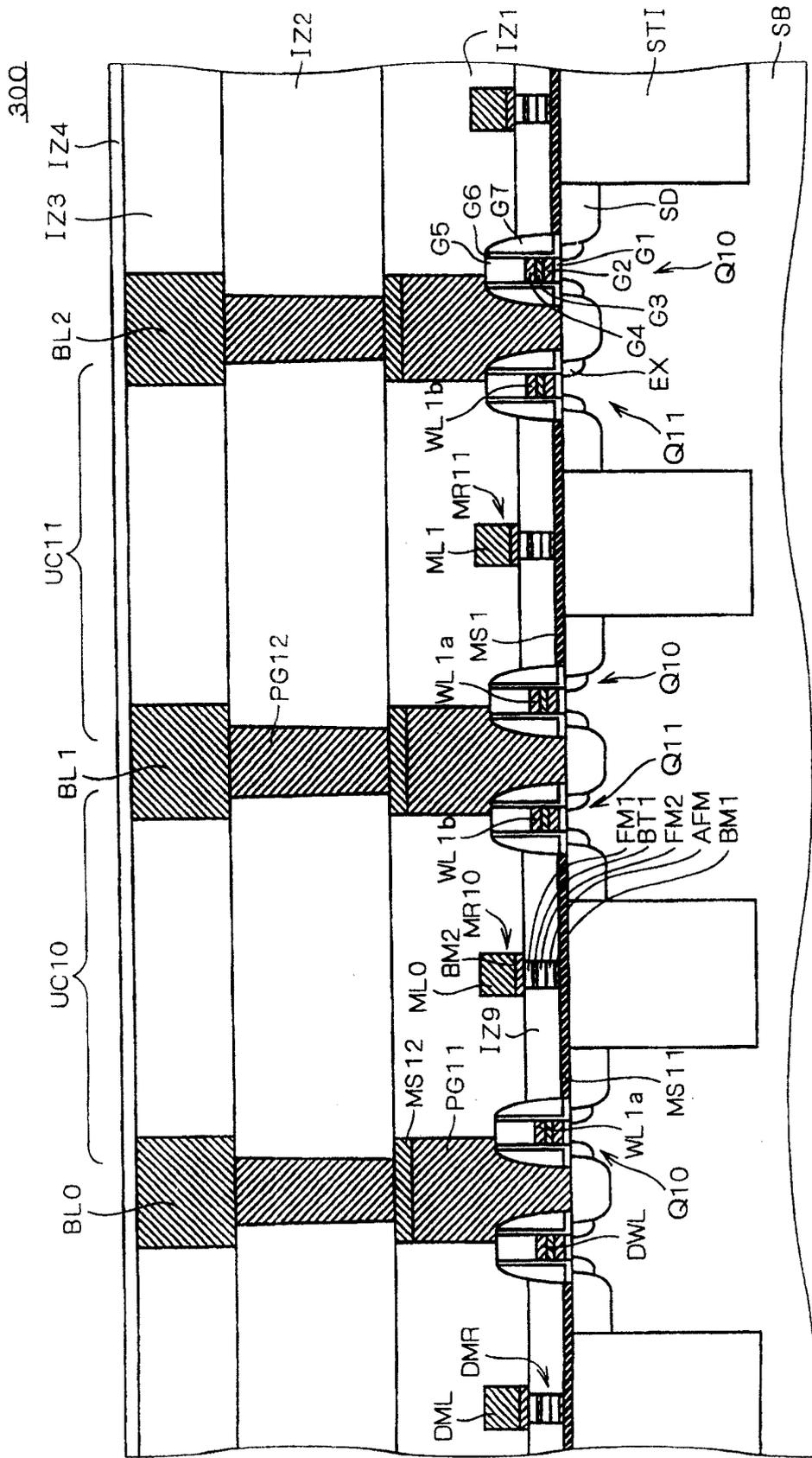


图 17

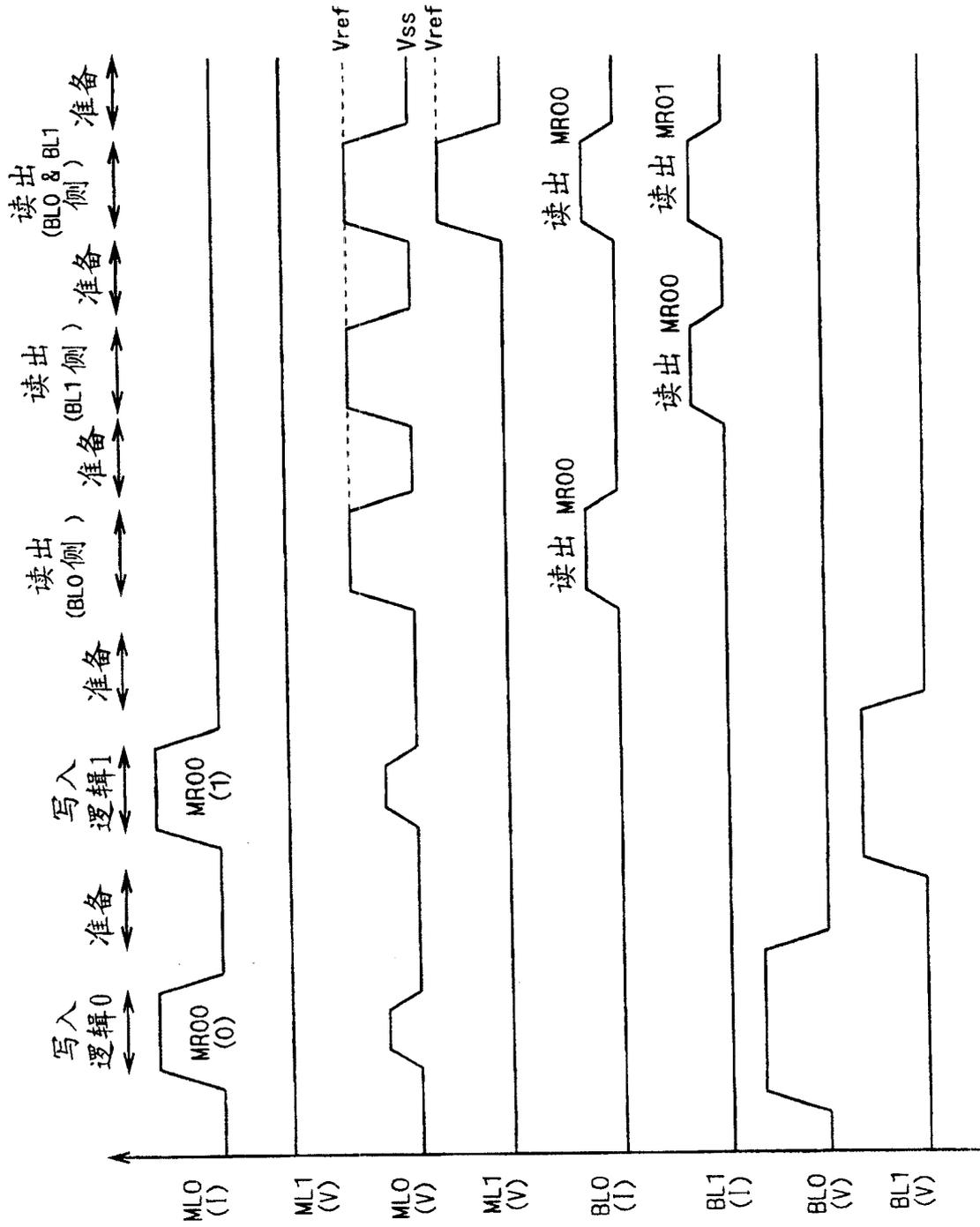


图 18

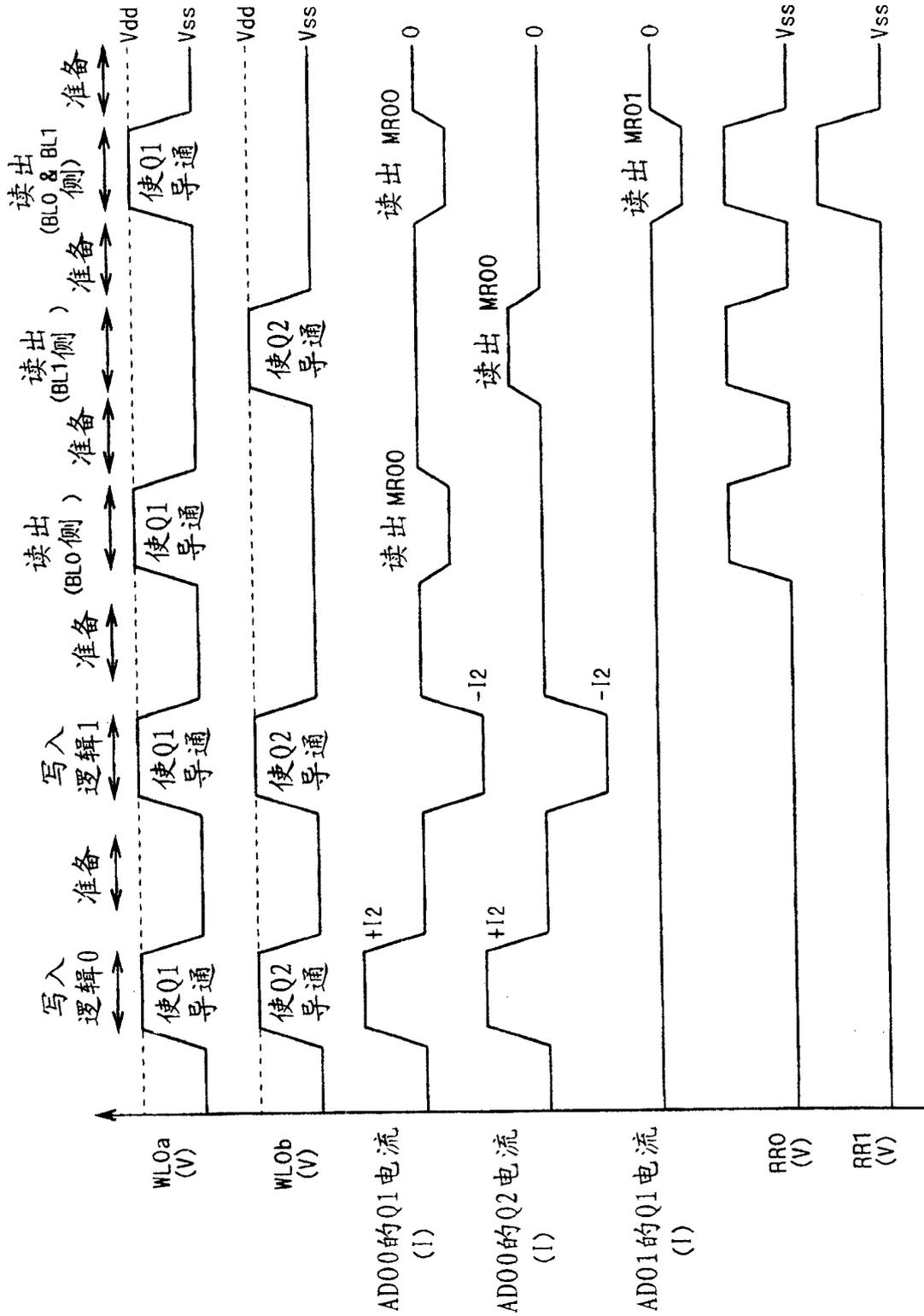


图 19

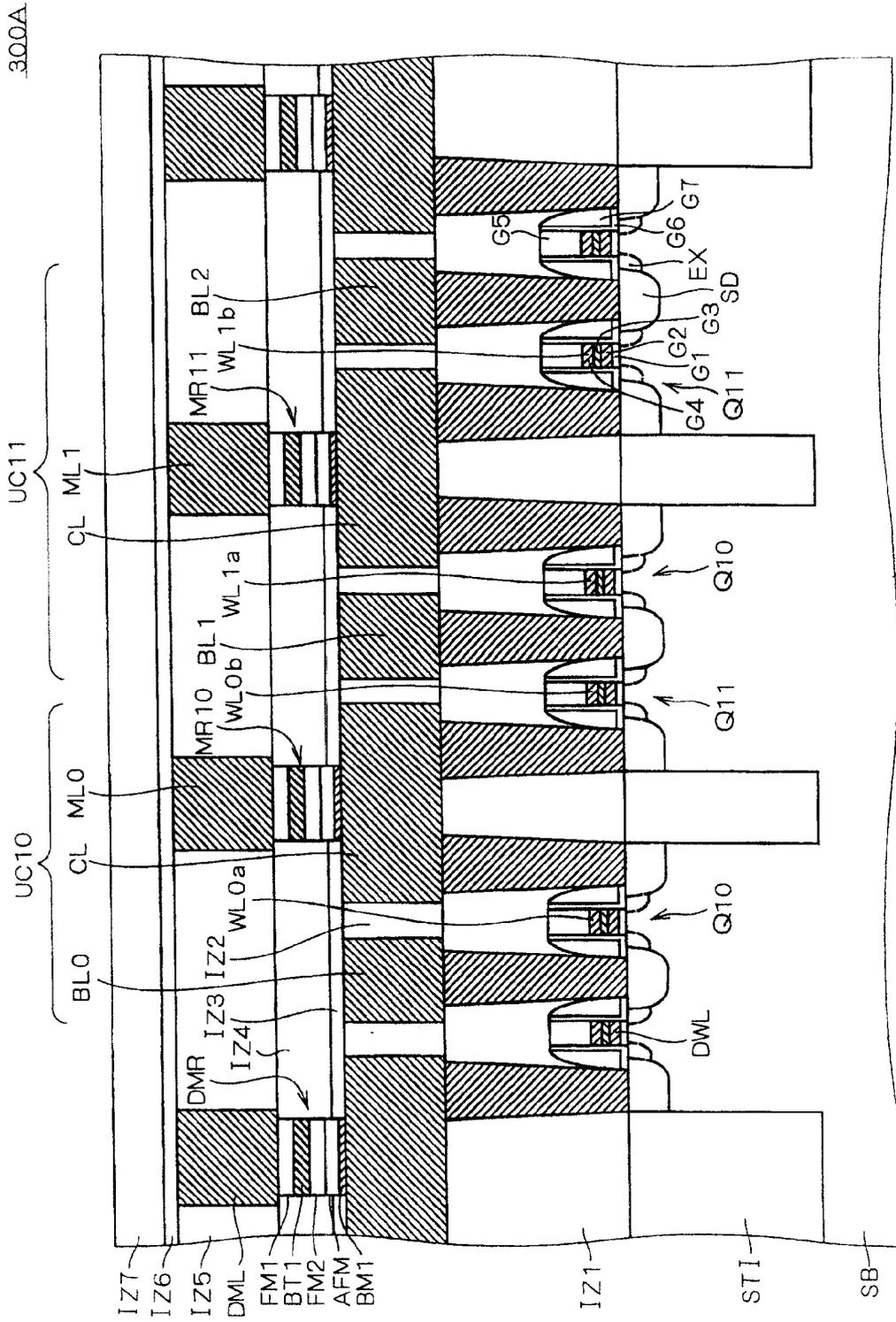


图 20

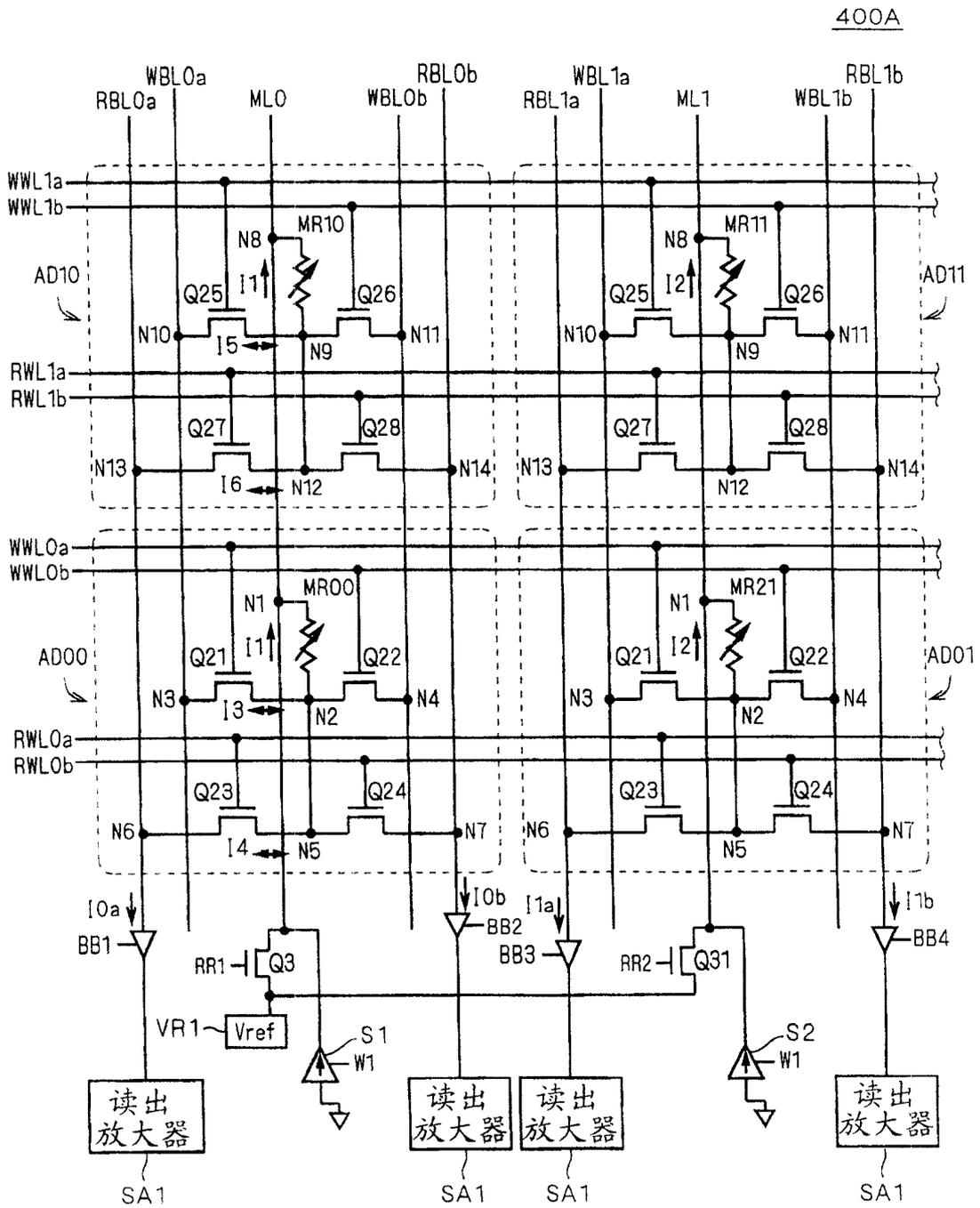


图 21

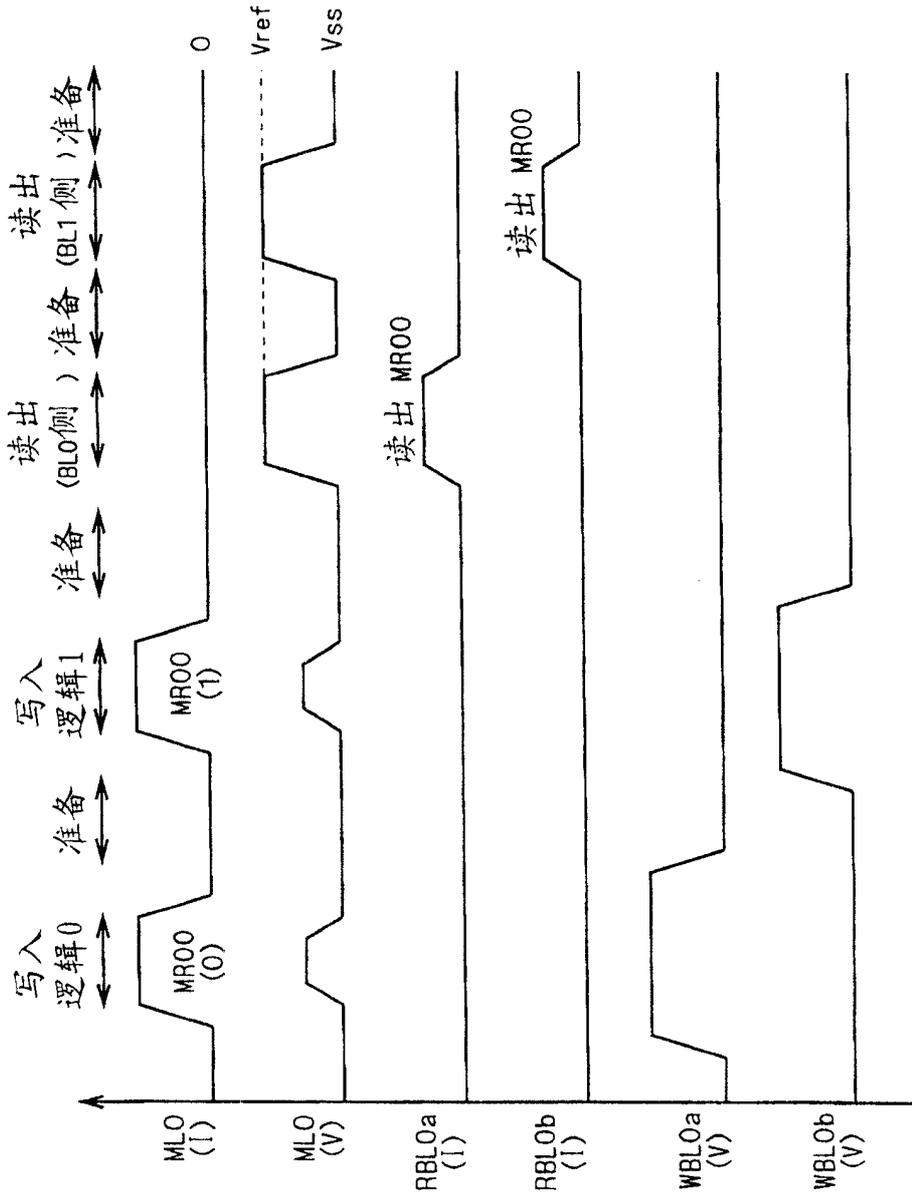


图 22

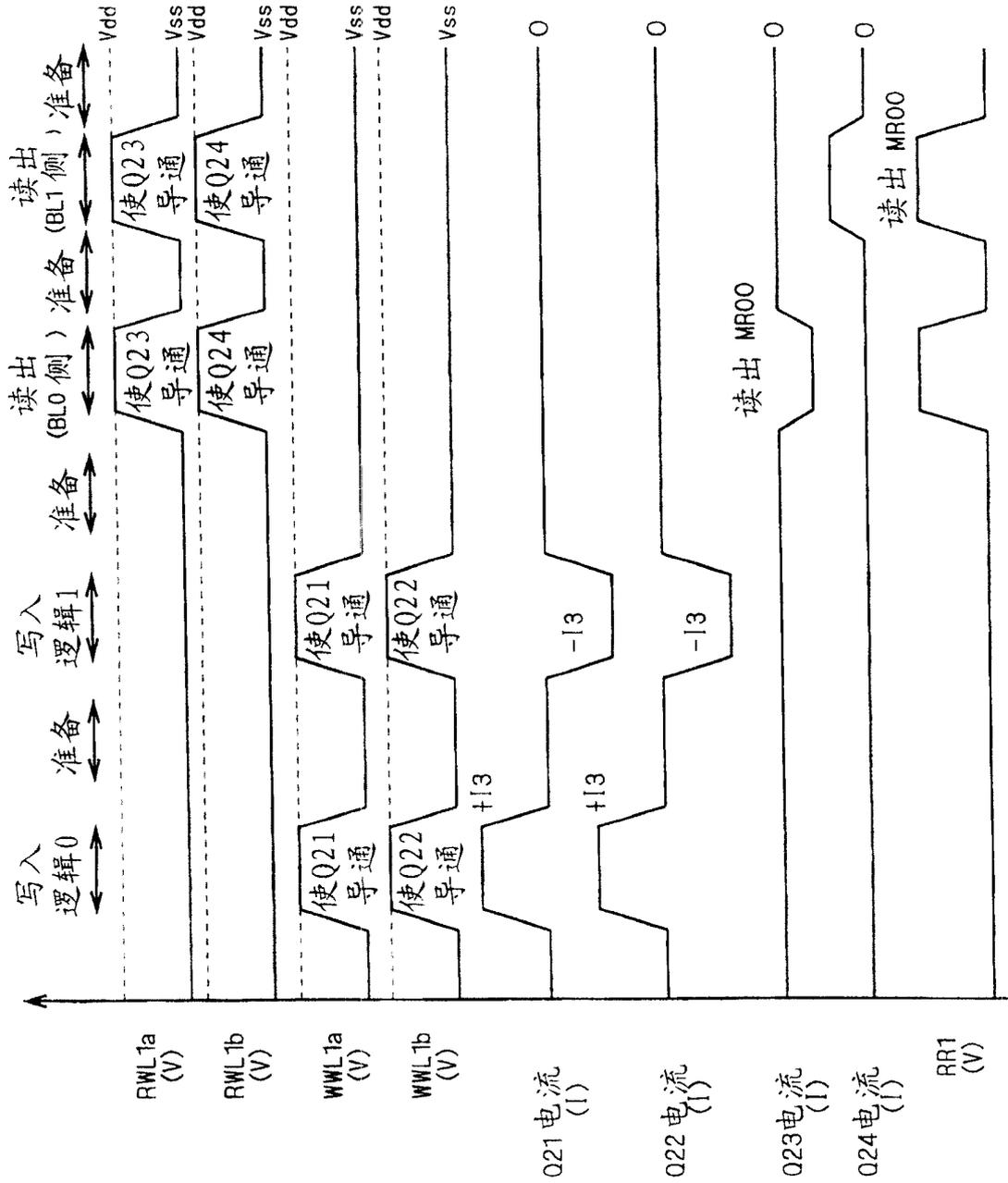


图 23

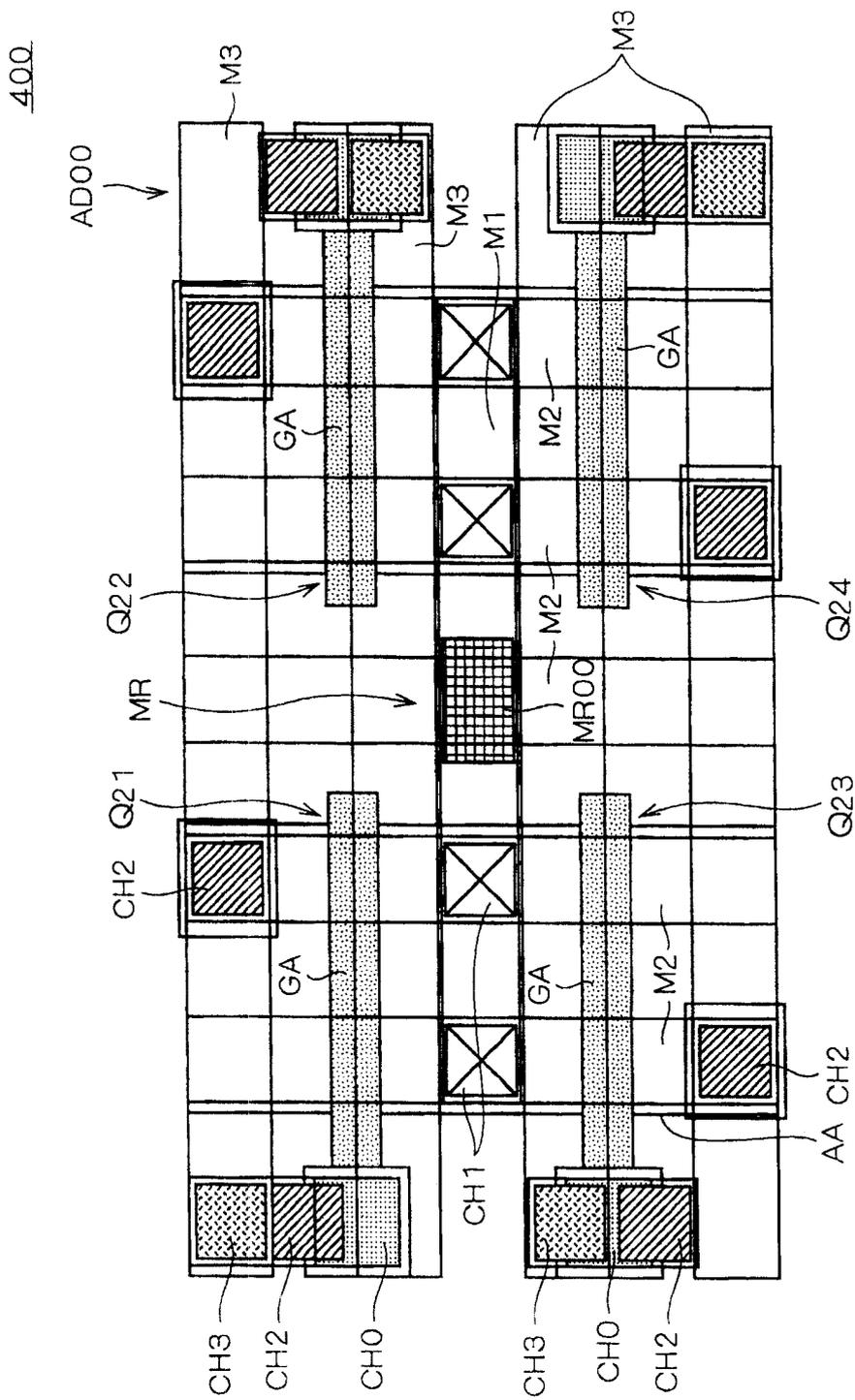


图 24

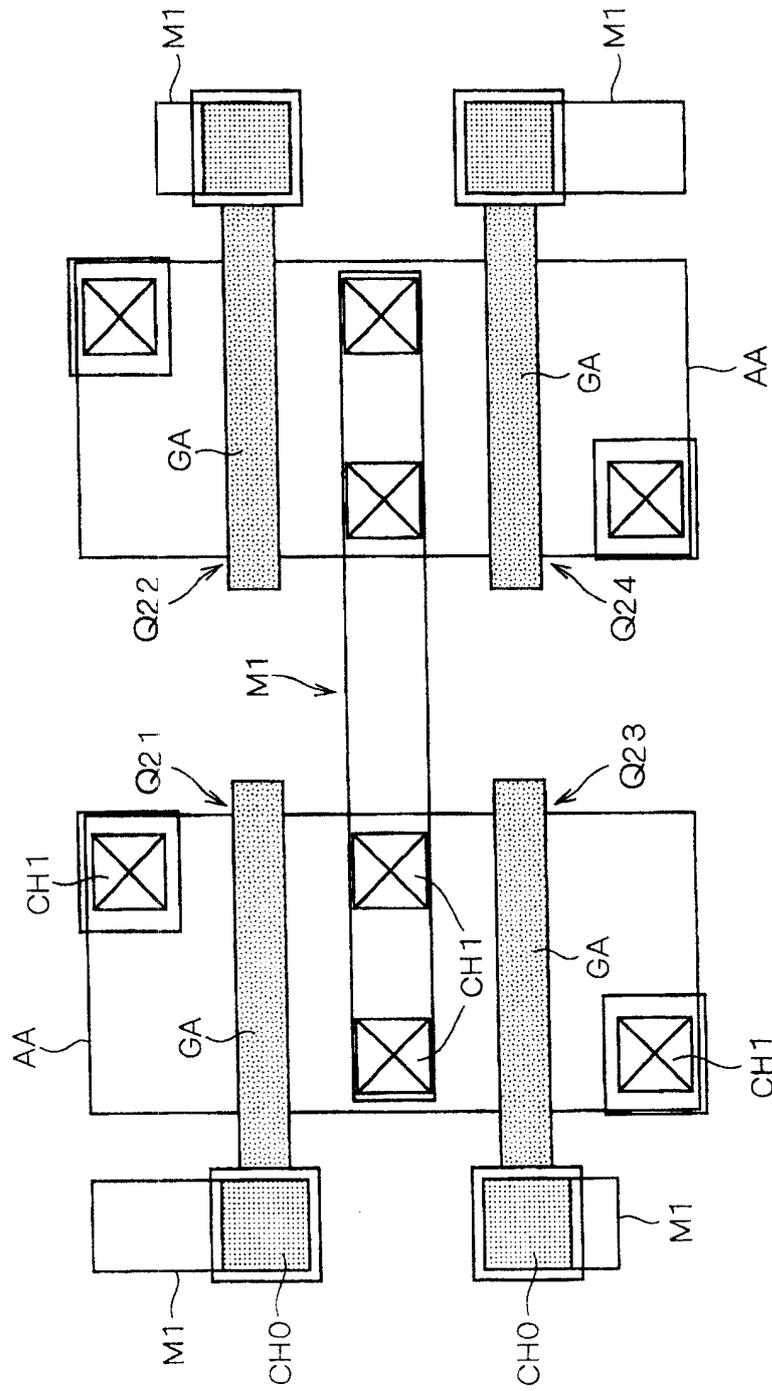


图 25

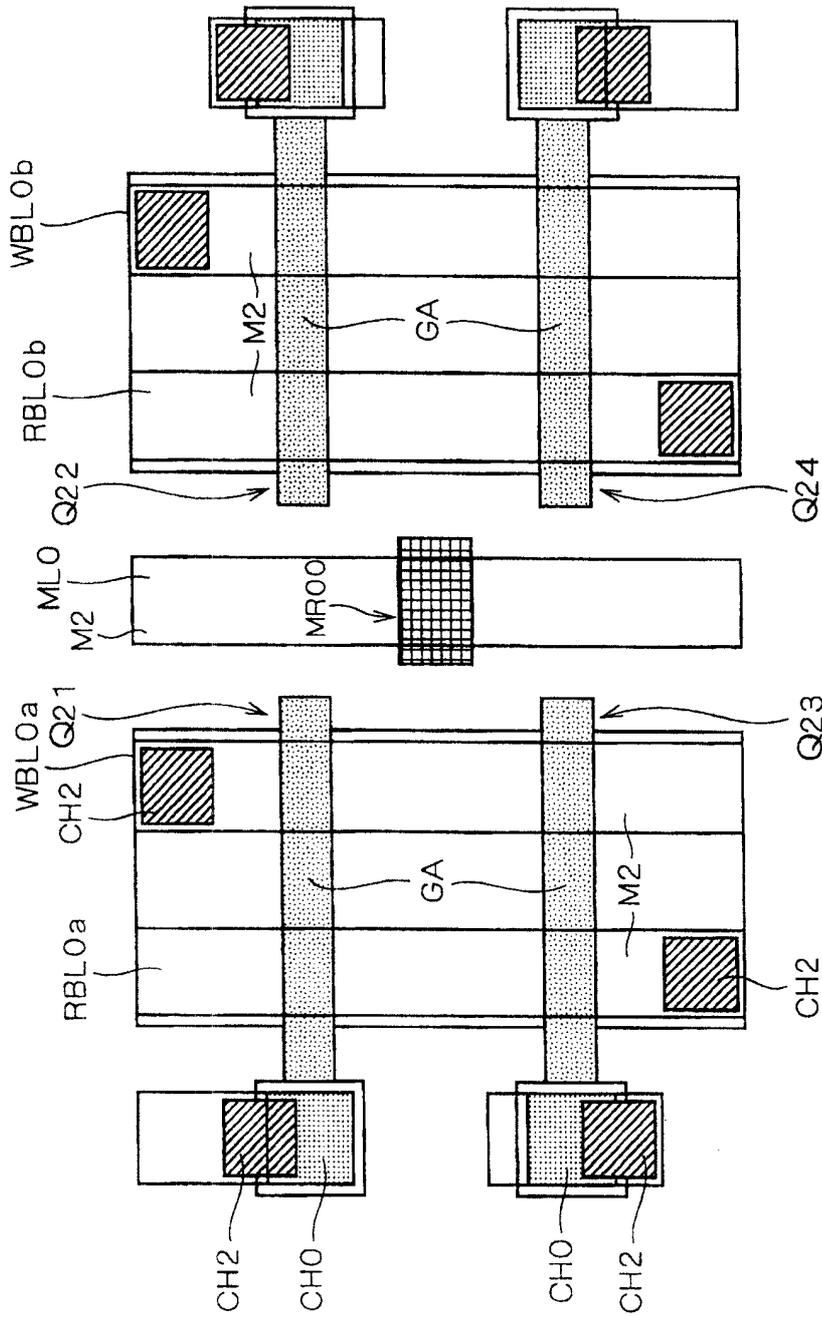


图 26

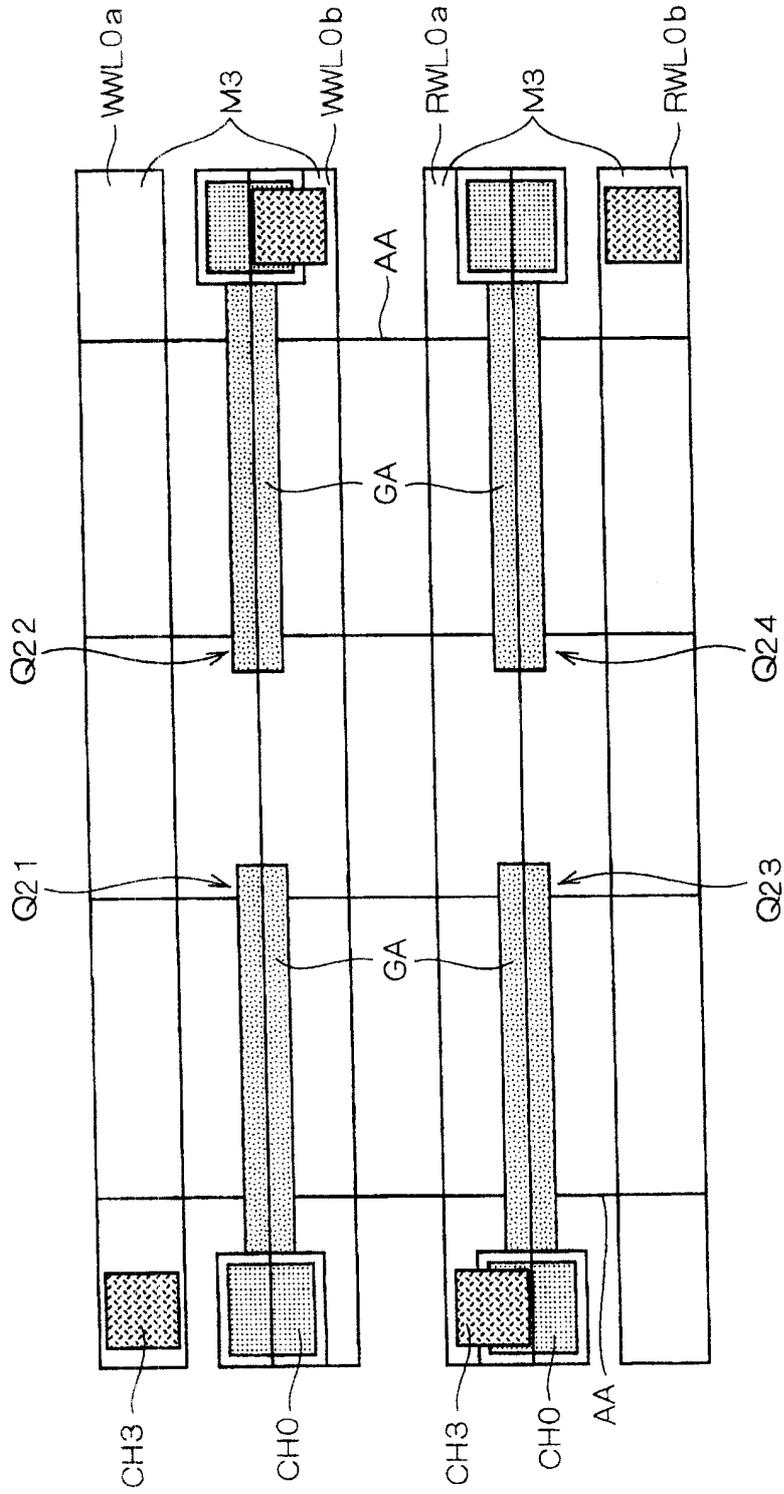


图 27

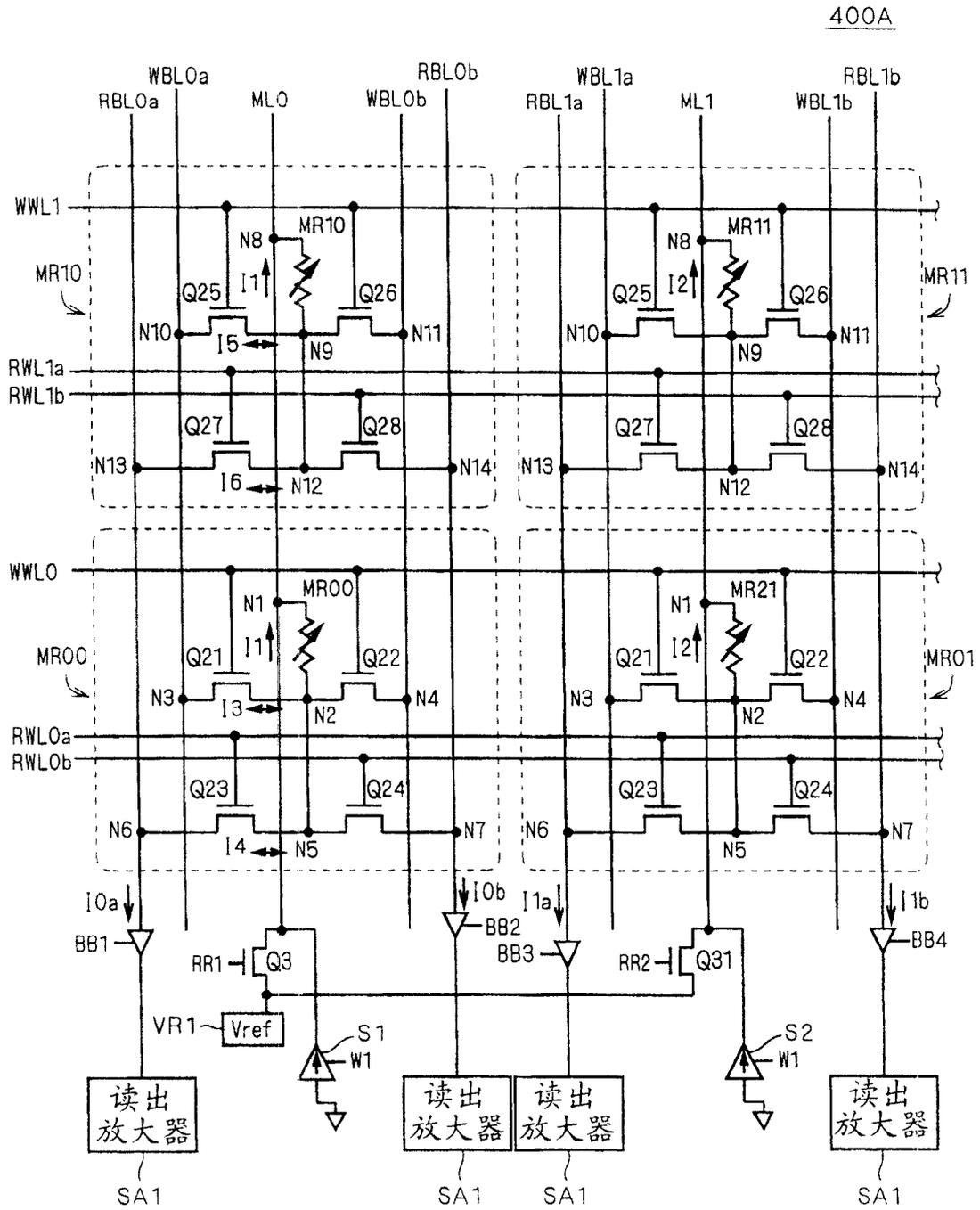


图 28

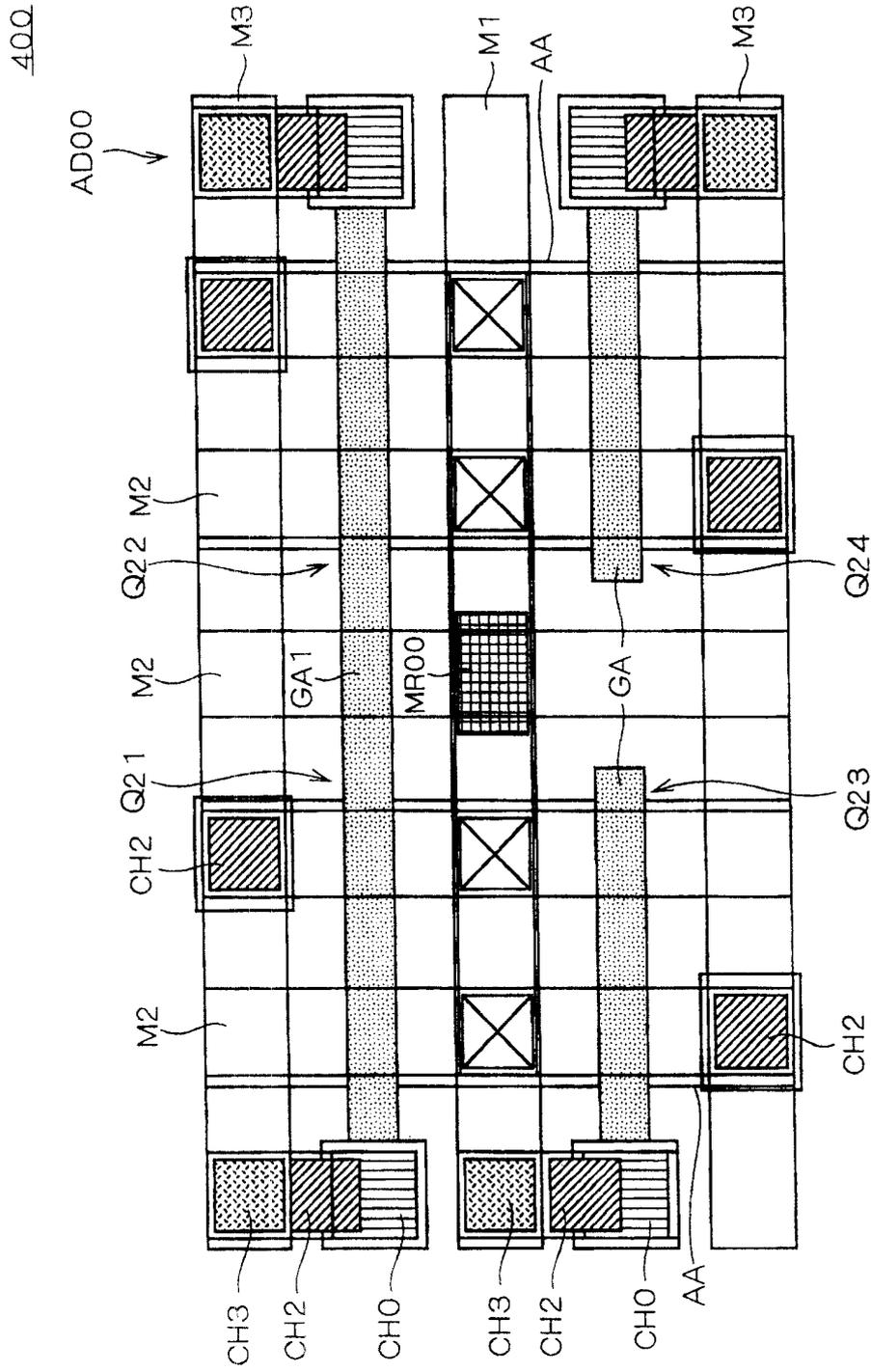


图 29

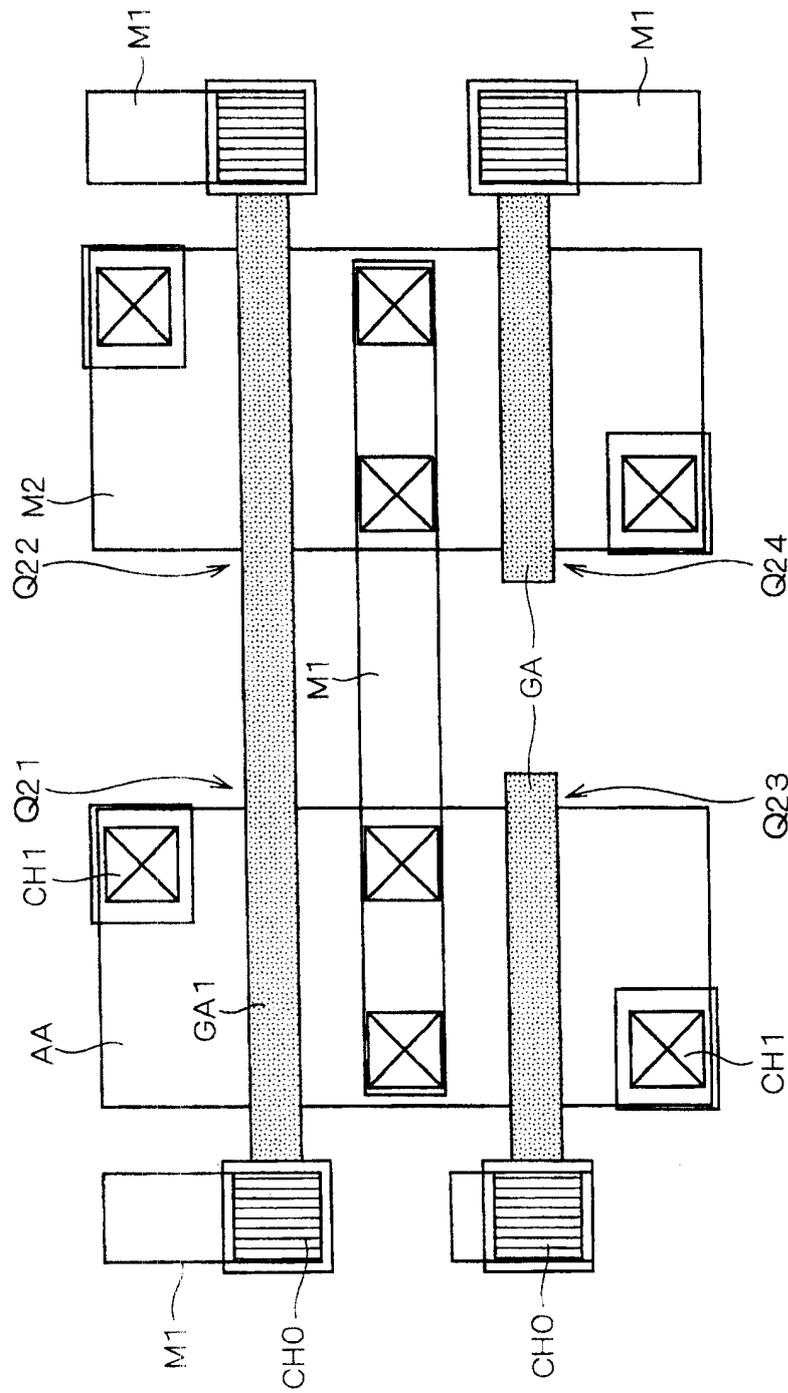


图 30

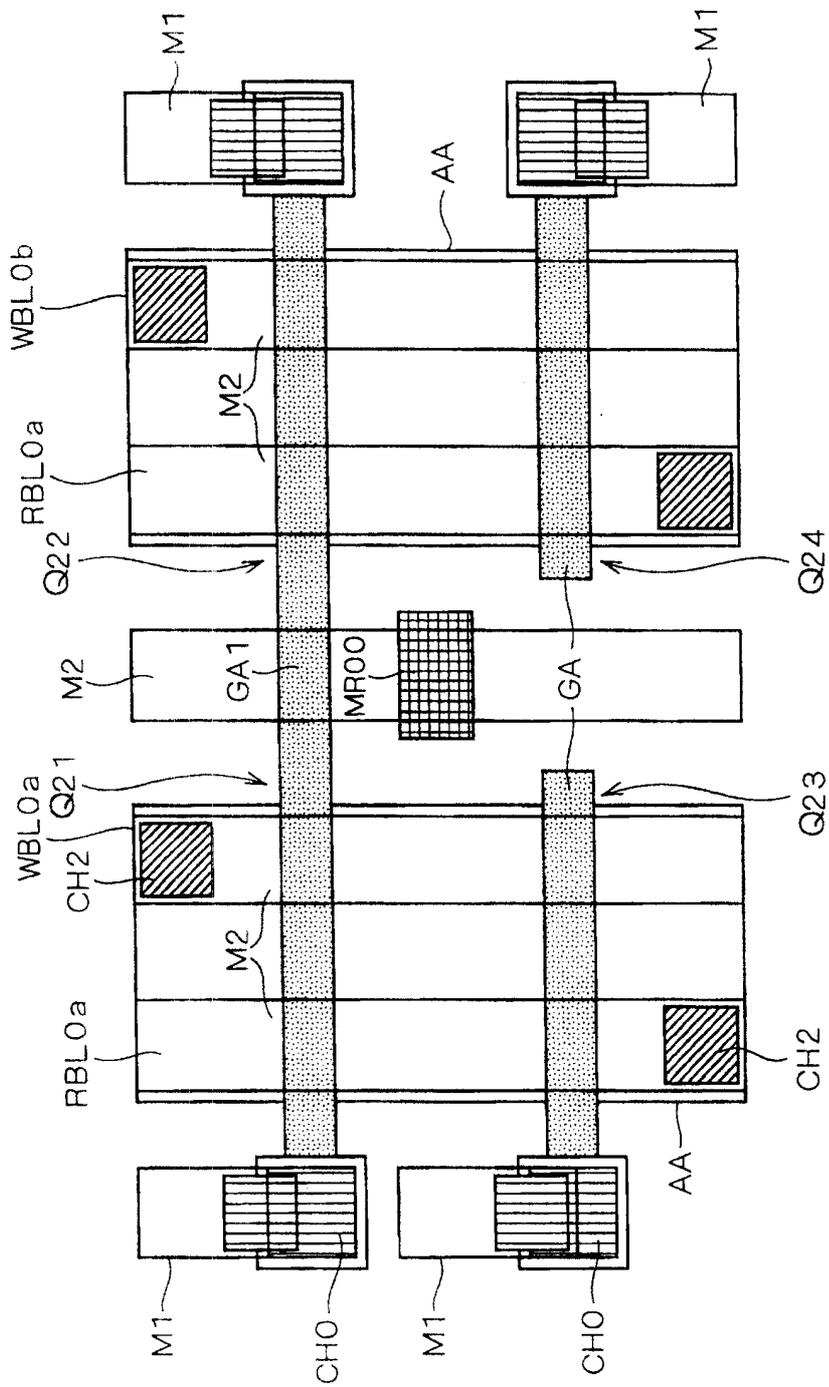


图 31

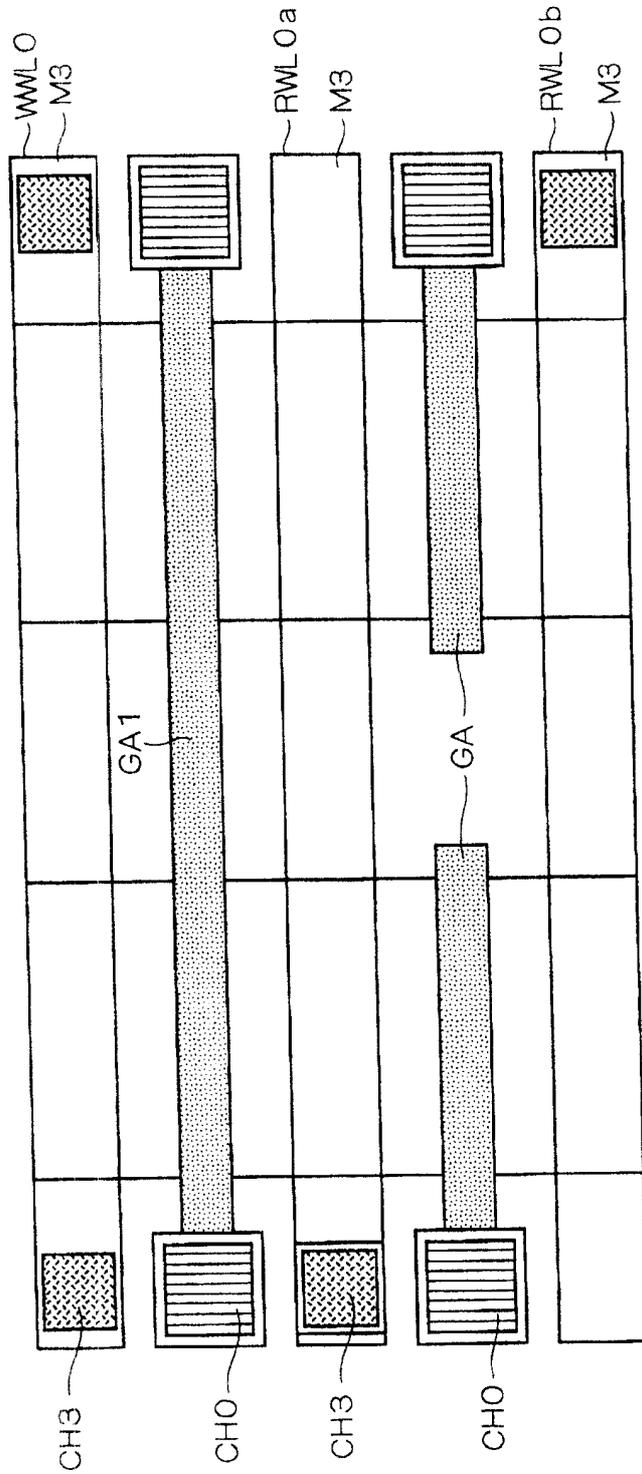


图 32

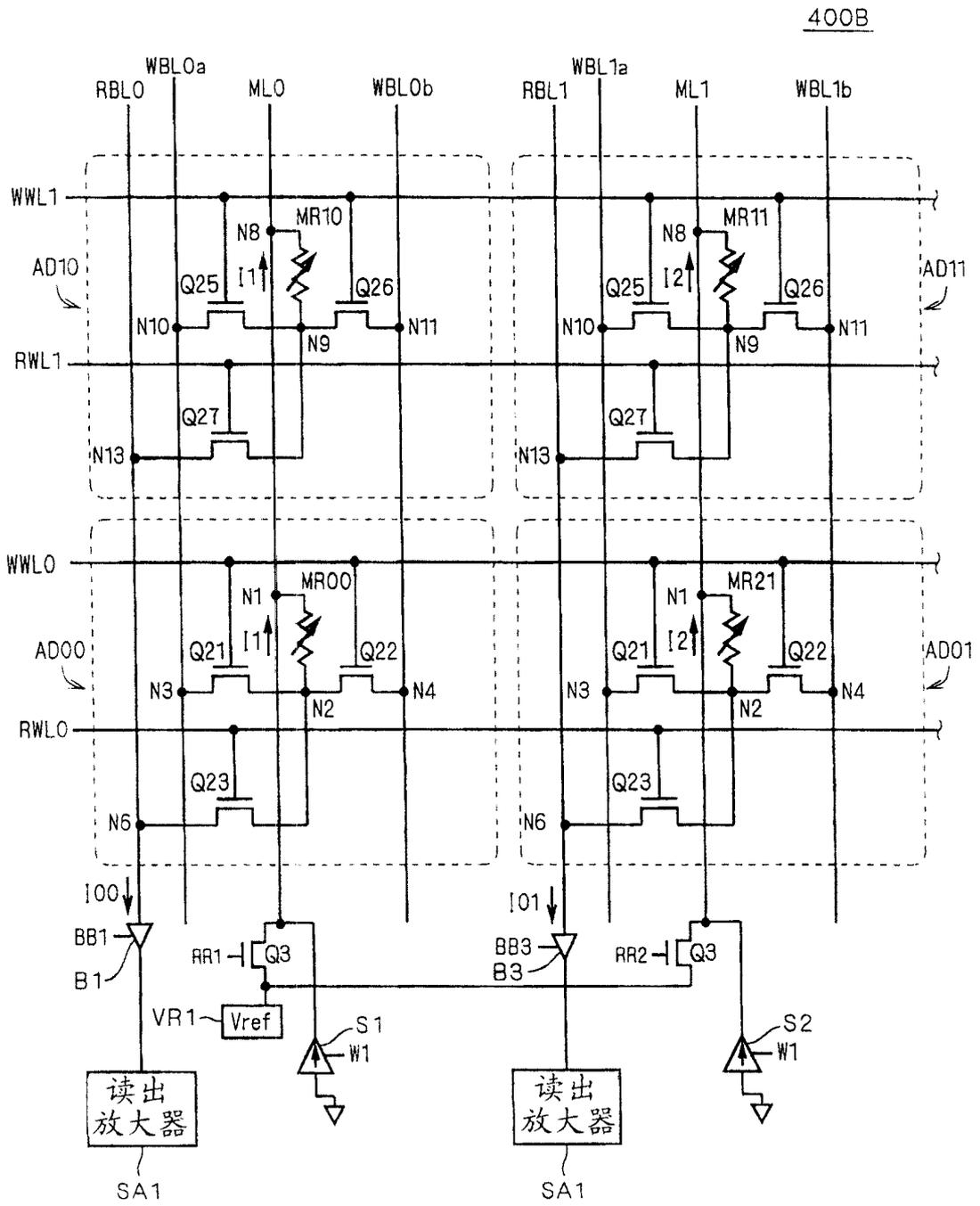


图 33

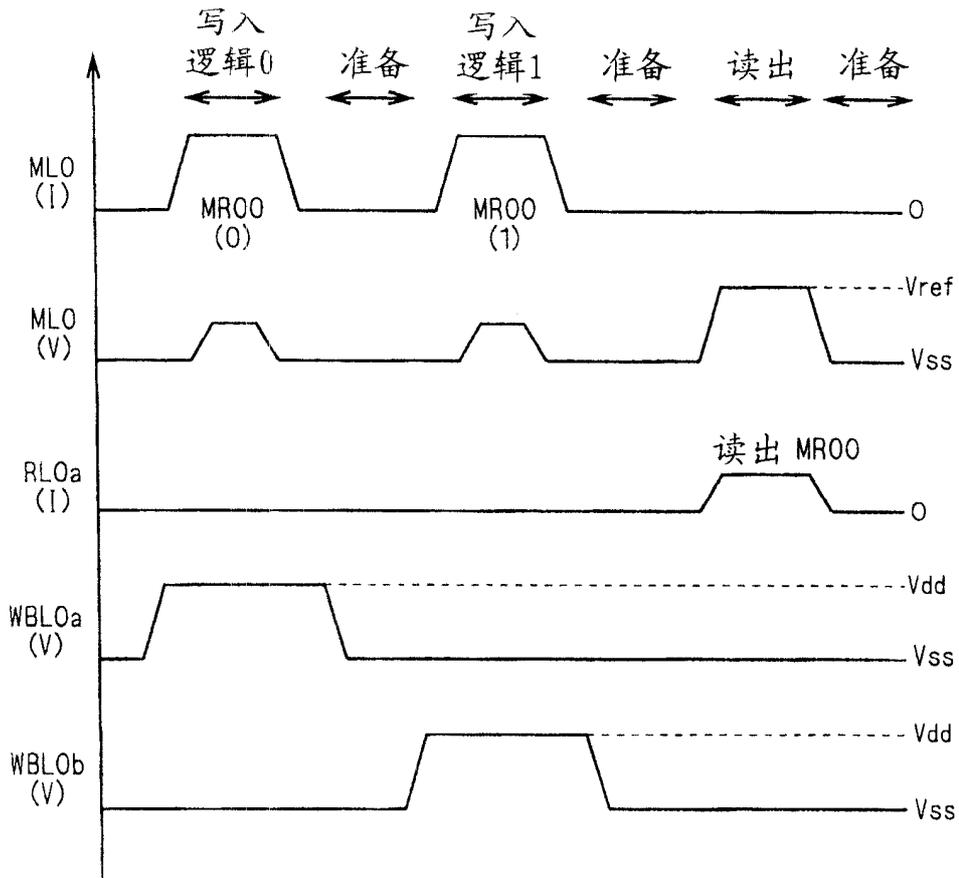


图 34

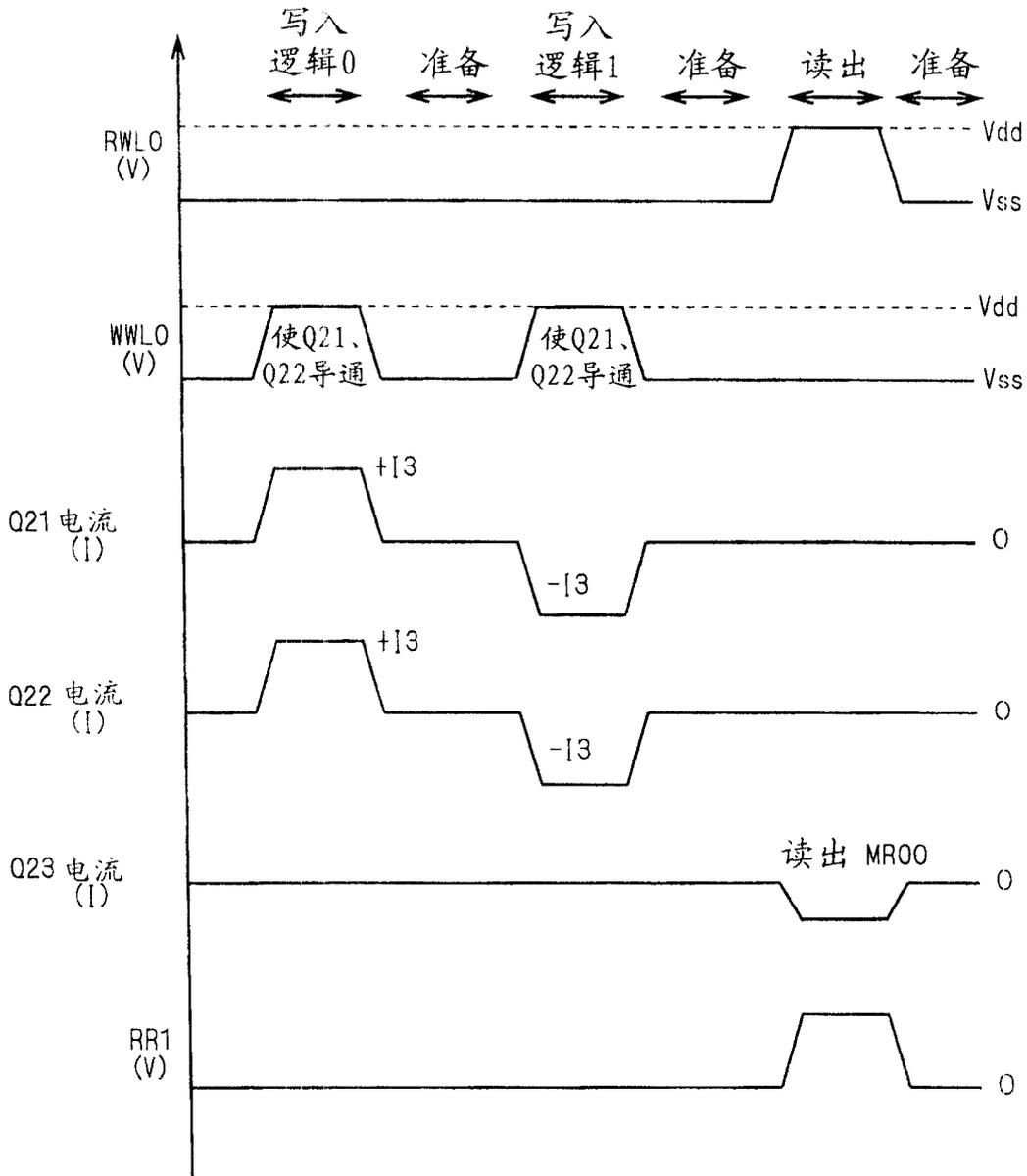


图 35

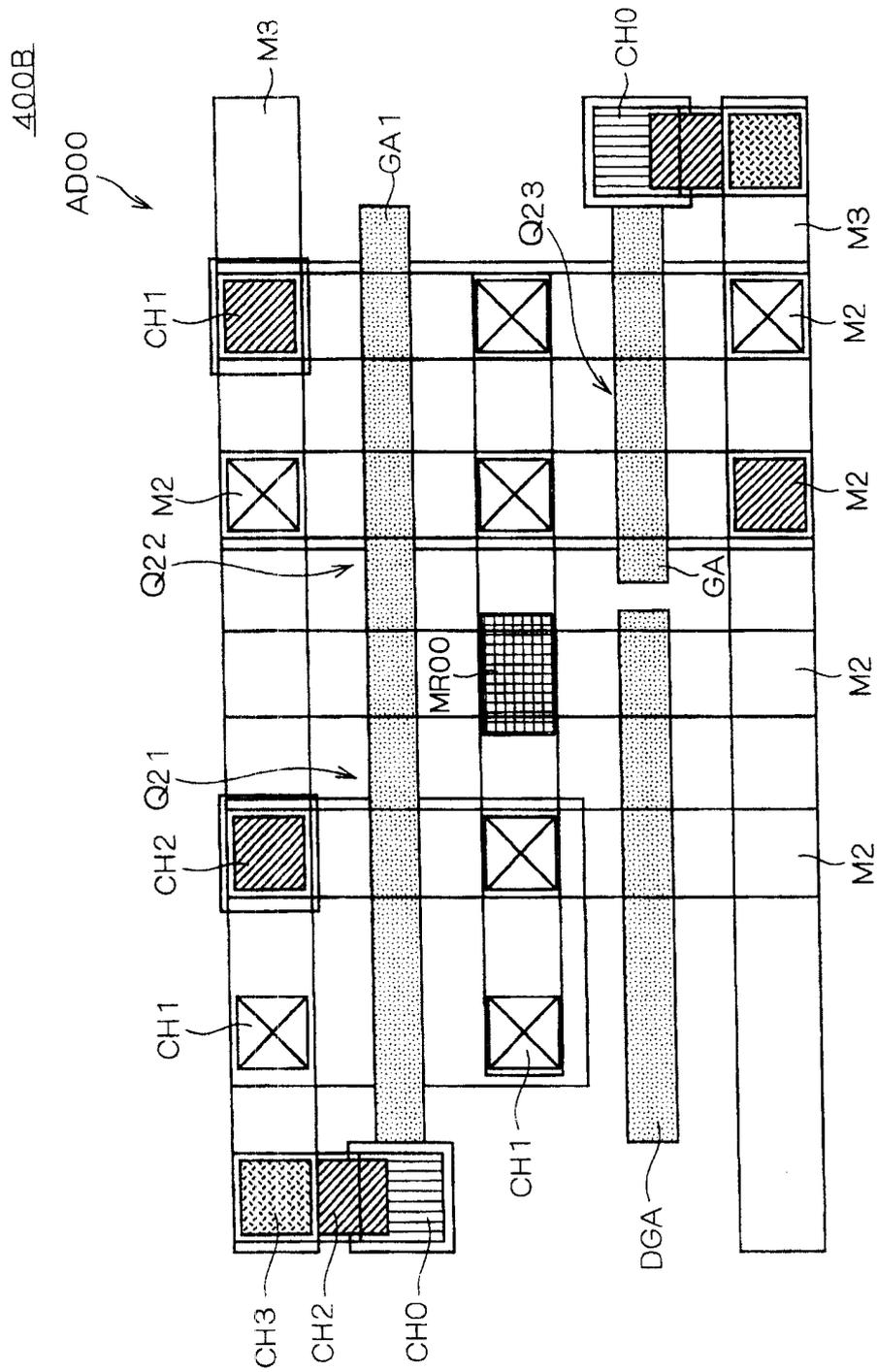


图 36

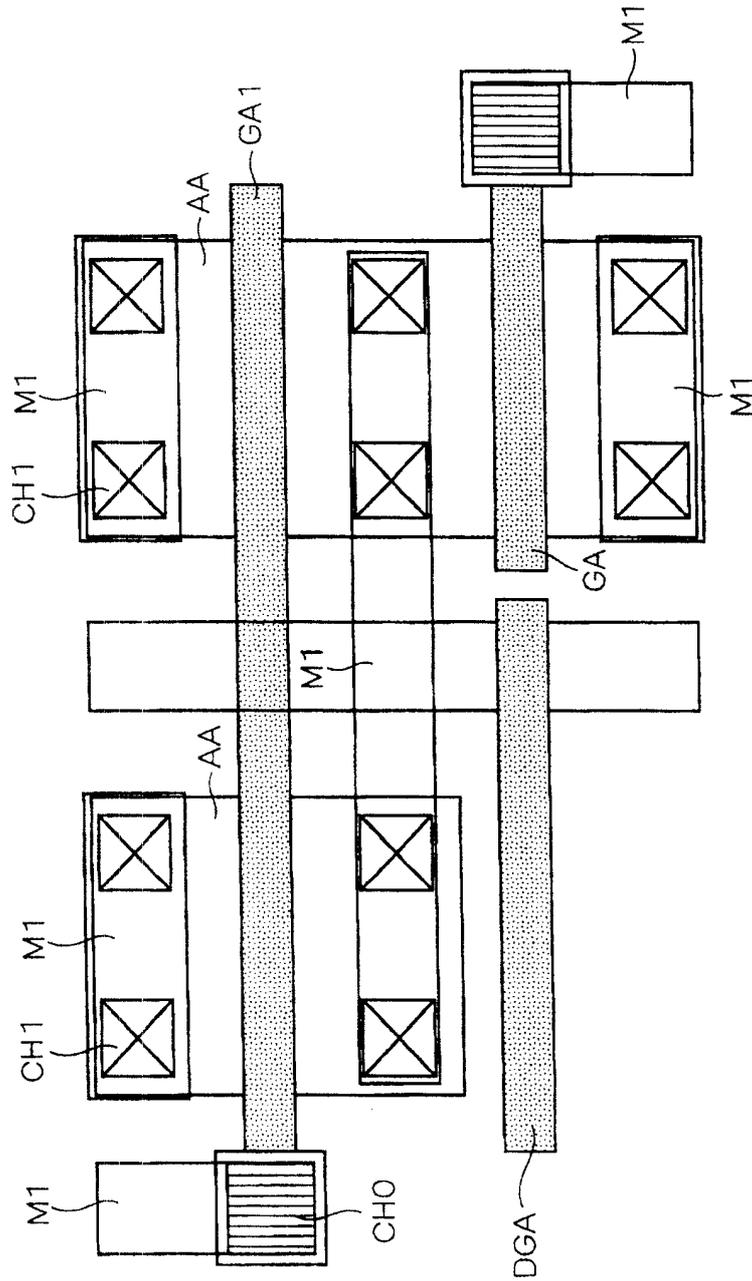


图 37

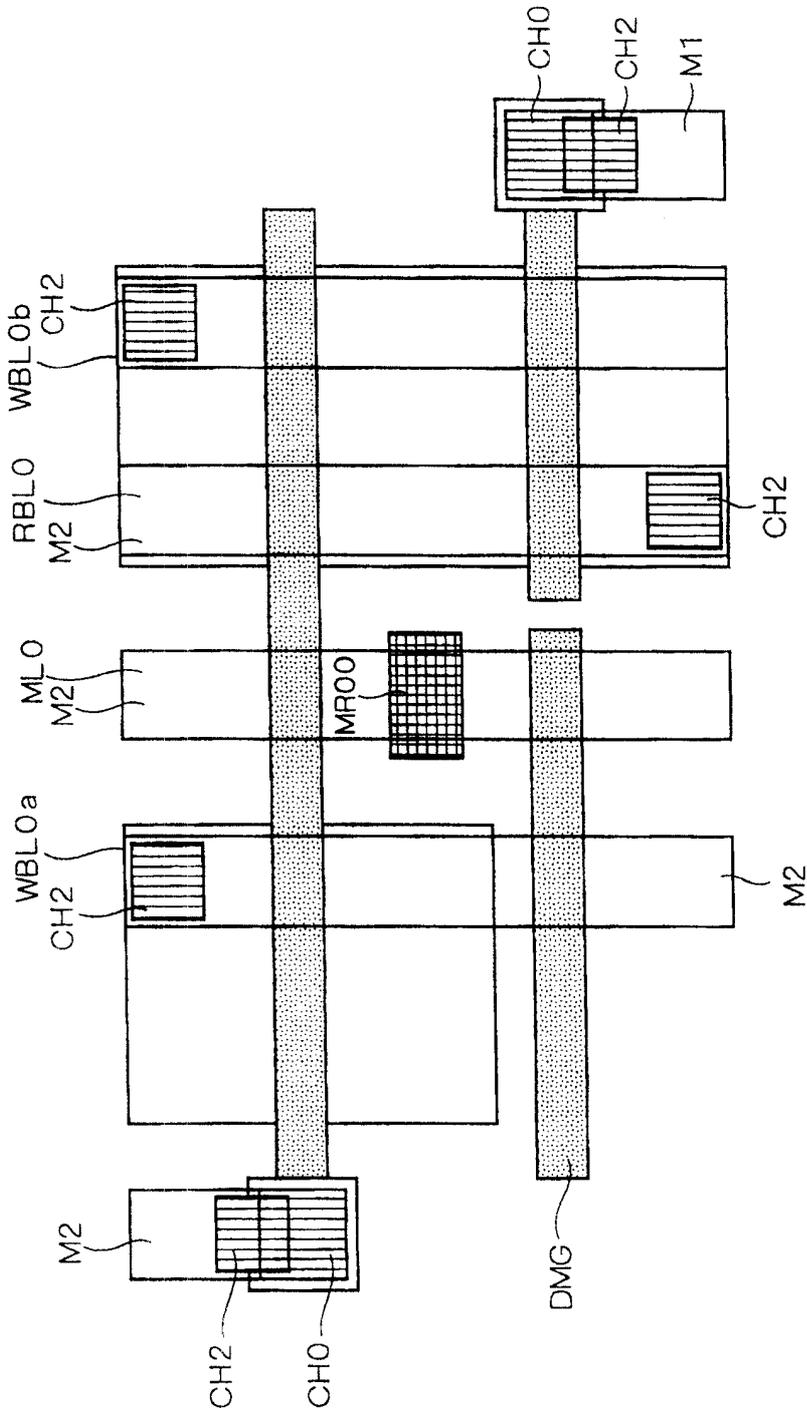


图 38

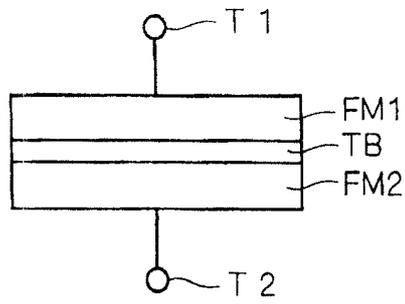


图 39

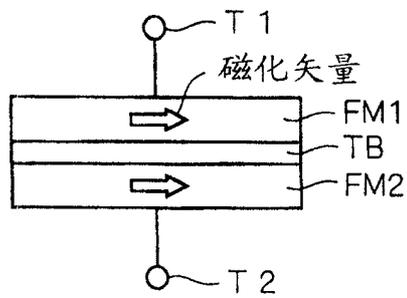


图 40

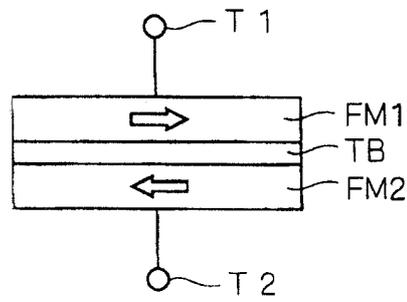


图 41

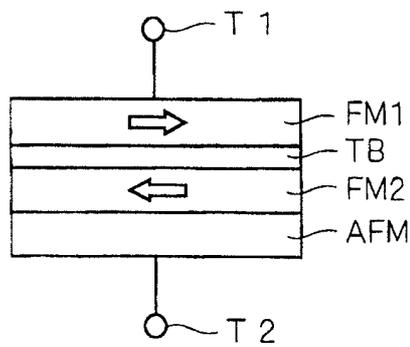


图 42

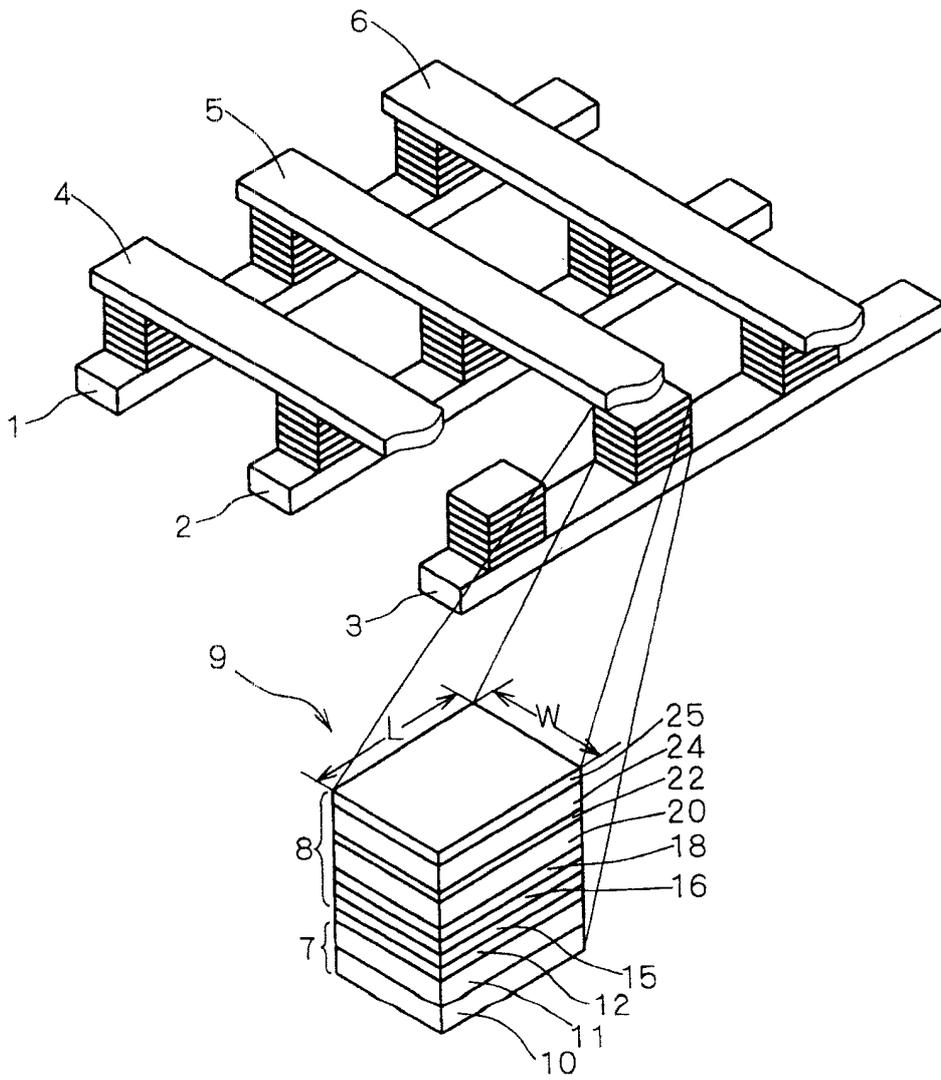


图 43

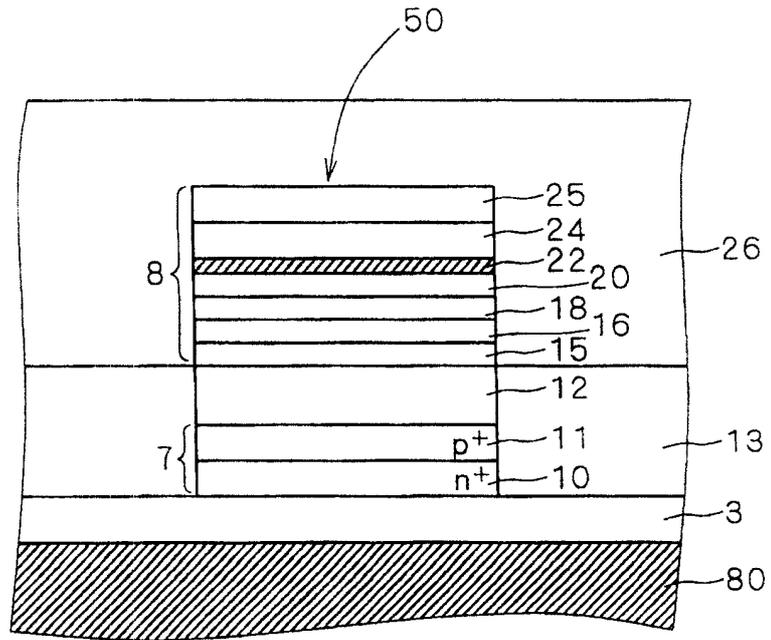


图 44

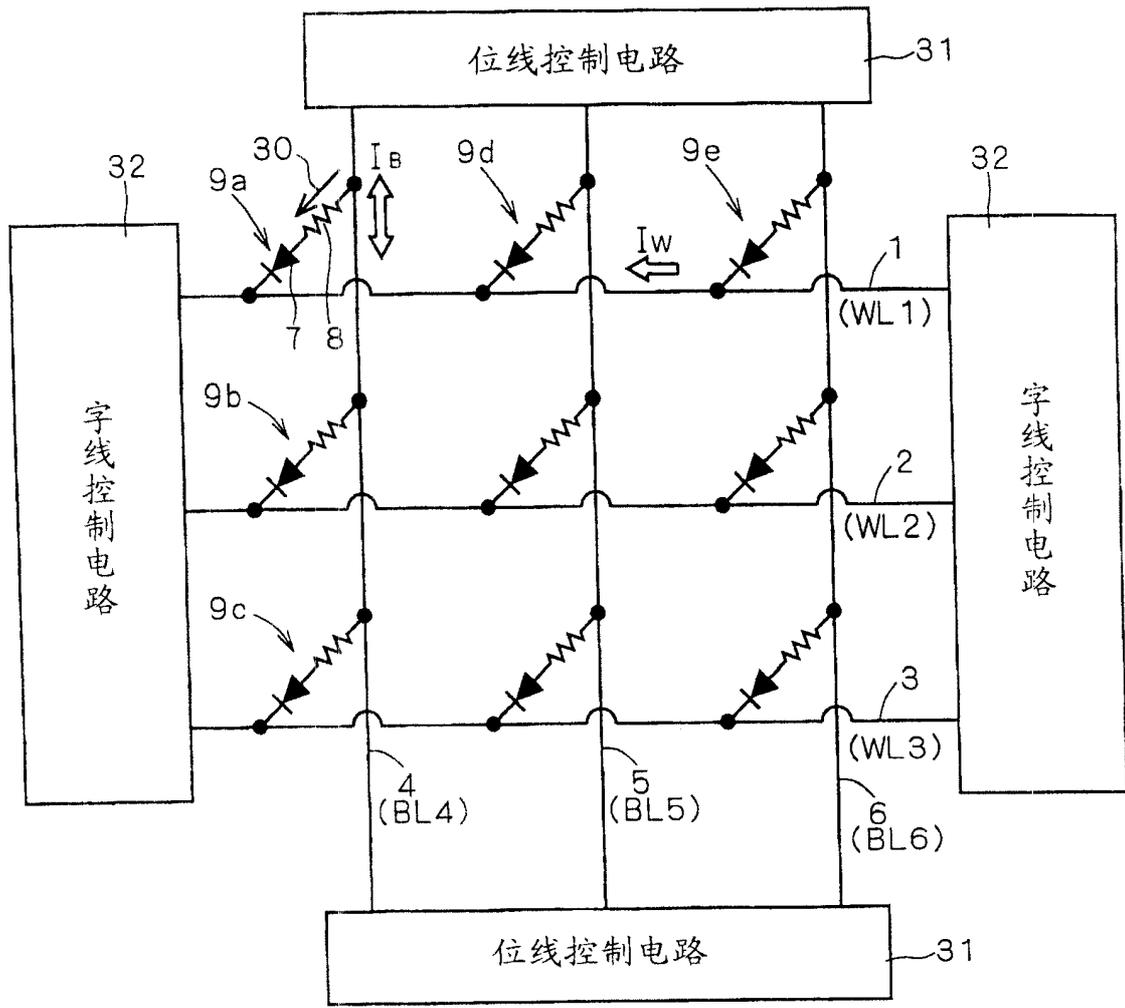


图 45

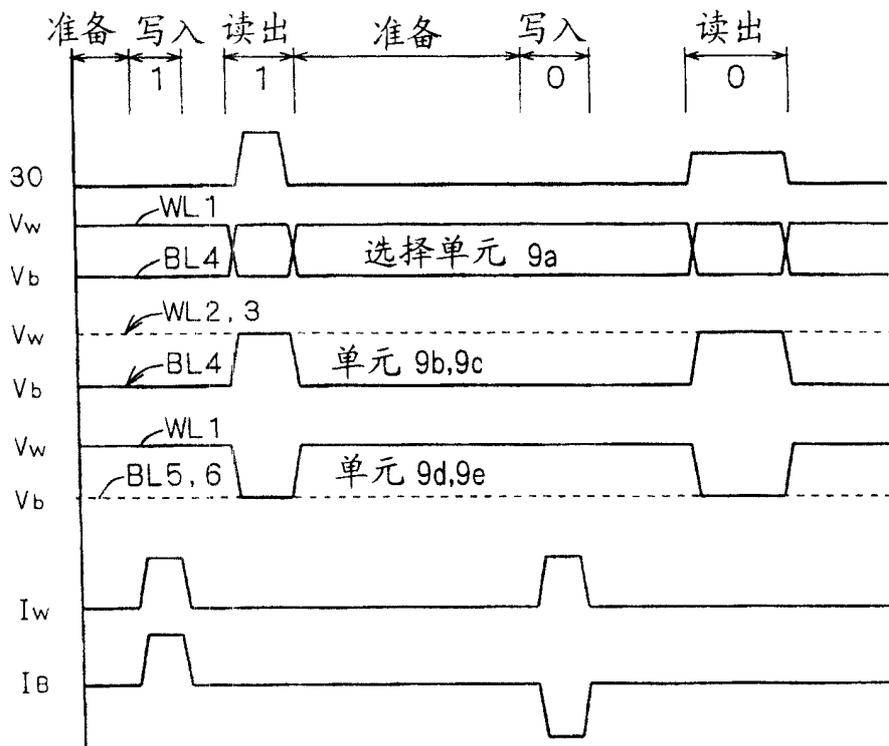


图 46

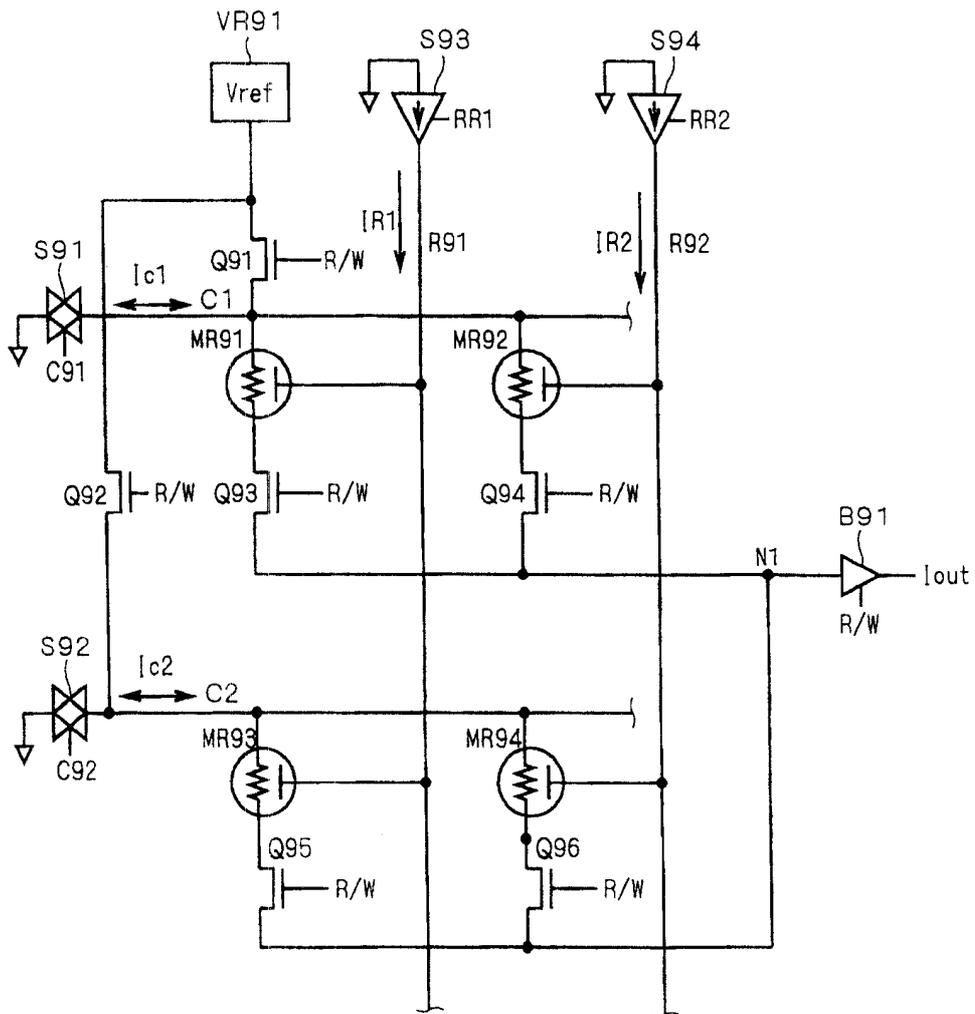


图 47