(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 109037207 B
(45)授权公告日 2023.10.31

(21)申请号 201810867703.2

(22)申请日 2013.11.28

(65)同一申请的已公布的文献号
申请公布号 CN 109037207 A

(43)申请公布日 2018.12.18

(30)优先权数据
2012-260208 2012.11.28 JP

(62)分案原申请数据
201310625431.2 2013.11.28

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 山崎舜平 木村肇 三宅博之 小山润

(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 何欣亭 杨美灵

(51)Int.Cl.
H01L 27/02(2006.01)
H01L 27/12(2006.01)
H10K 59/131(2023.01)
H10K 59/123(2023.01)

(56)对比文件
CN 101794791 A,2010.08.04
US 2011084271 A1,2011.04.14
US 2010006848 A1,2010.01.14
US 2008239189 A1,2008.10.02
JP 2009145834 A,2009.07.02

审查员 盛浩

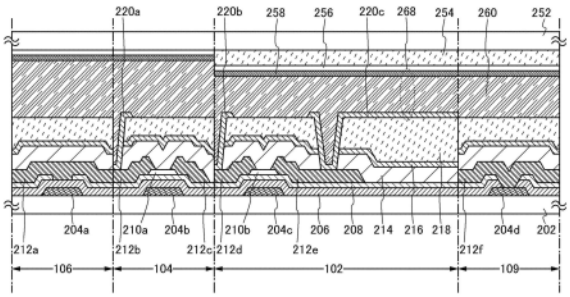
权利要求书2页 说明书36页 附图34页

(54)发明名称

显示装置及电子设备

(57)摘要

本发明提供一种新颖的显示装置。本发明的一个方式是一种显示装置,包括:像素部;设置在像素部的外侧的驱动电路部;以及与像素部和驱动电路部中的一方或双方连接且包括一对电极的保护电路,其中,像素部包括配置为矩阵状的像素电极和与像素电极电连接的晶体管,晶体管包括包含氮和硅的第一绝缘层和包含氧、氮和硅的第二绝缘层,并且,保护电路在一对电极之间具有第一绝缘层。



CN 109037207 B

1.一种包括保护电路的显示装置，

该保护电路包括：

与栅电极在同一表面上的第一导电层；

所述第一导电层上的第一绝缘层；

在所述第一绝缘层上且位于与所述第一导电层重叠的位置的氧化物半导体层；

所述氧化物半导体层上的第二绝缘层;以及

所述第二绝缘层上的第二导电层，

其中,所述第二导电层通过形成在所述第二绝缘层中的开口部与所述氧化物半导体层电连接。

2.根据权利要求1所述的显示装置，

其中所述氧化物半导体层以至少包含铟、锌及M的In-M-Zn氧化物表示，

并且M为Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属元素。

3.根据权利要求1所述的显示装置，

其中所述氧化物半导体层包含结晶部，

并且在所述结晶部中,c轴在平行于形成所述氧化物半导体层的表面的法线向量的方向上取向。

4.根据权利要求1所述的显示装置,还包括晶体管，

其中,所述晶体管包括栅极绝缘层，

所述栅极绝缘层包括所述第一绝缘层，

并且,所述第一绝缘层包括：

包含氮和硅的第三绝缘层;以及

包含氧、氮和硅的第四绝缘层。

5.根据权利要求1所述的显示装置，

其中所述第一绝缘层的电阻率大于或等于10^{10}Ωcm且小于10^{18}Ωcm。

6.根据权利要求4所述的显示装置，

其中所述第三绝缘层是氮化硅膜。

7.一种包括根据权利要求1所述的显示装置的电子设备。

8.一种显示装置,包括：

像素部;以及

与所述像素部电连接的保护电路,所述保护电路包括元件，

其中,所述元件包括：

氧化物半导体层；

所述氧化物半导体层上的绝缘层,所述绝缘层包括第一开口和第二开口；

所述绝缘层上的第一导电层,所述第一导电层通过所述第一开口与所述氧化物半导体层电连接；

所述绝缘层上的第二导电层,所述第二导电层通过所述第二开口与所述氧化物半导体层电连接。

9.一种显示装置,包括：

像素部;以及

与所述像素部电连接的保护电路,所述保护电路包括元件,

其中,所述元件包括:

氧化物半导体层,包括在第一方向延伸的第一部分和在与所述第一方向垂直的第二方向延伸的第二部分;

所述氧化物半导体层上的绝缘层,所述绝缘层包括第一开口和第二开口;

所述绝缘层上的第一导电层,所述第一导电层通过所述第一开口与所述氧化物半导体层电连接;

所述绝缘层上的第二导电层,所述第二导电层通过所述第二开口与所述氧化物半导体层电连接。

10.一种显示装置,包括:

像素部;以及

与所述像素部电连接的保护电路,所述保护电路包括元件,

其中,所述元件包括:

第一导电层;

所述第一导电层上的第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层重叠于所述第一导电层;

所述氧化物半导体层上的绝缘层,所述绝缘层包括第一开口和第二开口;

所述绝缘层上的第二导电层,所述第二导电层通过所述第一开口与所述氧化物半导体层电连接;

所述绝缘层上的第三导电层,所述第三导电层通过所述第二开口与所述氧化物半导体层电连接。

11.根据权利要求10所述的显示装置,

其中所述第一导电层与所述第三导电层电连接。

12.根据权利要求10所述的显示装置,

其中所述第一开口和所述第二开口在一个方向排列,

并且所述第一导电层在所述方向上比所述氧化物半导体层长。

13.根据权利要求8到10的任一项所述的显示装置,

其中所述元件是电阻。

14.根据权利要求8到10的任一项所述的显示装置,还包括栅极驱动器,

其中所述像素部通过栅极线与所述栅极驱动器电连接,

并且所述栅极线通过所述保护电路与功率供应线电连接。

15.根据权利要求8到10的任一项所述的显示装置,

其中所述氧化物半导体层包括铟、镓和锌。

16. 一种电视接收机,包括:

根据权利要求8到10的任一项所述的显示装置,以及

调谐器。

显示装置及电子设备

[0001] 本申请是如下发明专利申请的分案申请：

[0002] 发明名称：显示装置及电子设备；申请号：201310625431.2；申请日：2013年11月28日。

技术领域

[0003] 本发明涉及一种物体、方法、制造方法、工序(process)、机器(machine)、产品(manufacture)或者组件(composition of matter)。尤其是，本发明涉及一种半导体装置、显示装置、发光装置、电子设备、它们的驱动方法或制造方法。例如，本发明尤其涉及一种包括氧化物半导体的半导体装置、显示装置、电子设备或者发光装置。

[0004] 注意，显示装置是指包括显示元件的装置。另外，显示装置包括驱动多个像素的驱动电路等。此外，显示装置包括配置在其他衬底上的控制电路、电源电路、信号生成电路等。

背景技术

[0005] 近年来，随着技术革新，以液晶显示装置为典型的显示装置的元件及布线的微型化进展，量产技术也显著地进步。今后，需要通过进一步提高制造成品率来实现低成本化。

[0006] 当对显示装置施加因静电等引起的浪涌电压时，元件被破坏而不能进行正常的显示。因此，有制造成品率恶化的忧虑。作为上述问题的对策，在显示装置中设置有用来使浪涌电压分散到其他布线的保护电路(例如，参照专利文献1至7)。

[0007] [专利文献1]日本专利申请公开2010-92036号公报

[0008] [专利文献2]日本专利申请公开2010-92037号公报

[0009] [专利文献3]日本专利申请公开2010-97203号公报

[0010] [专利文献4]日本专利申请公开2010-97204号公报

[0011] [专利文献5]日本专利申请公开2010-107976号公报

[0012] [专利文献6]日本专利申请公开2010-107977号公报

[0013] [专利文献7]日本专利申请公开2010-113346号公报

[0014] 在显示装置中，保护电路等用来提高可靠性的结构非常重要。

发明内容

[0015] 于是，本发明的一个方式的课题之一是提供一种能够提高可靠性的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低静电破坏的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低静电的影响的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种不容易损坏的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低在研磨工序中对晶体管造成的影响的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低在检查工序中对晶体管造成的影响的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低使用触摸传感器时的不良

现象的影响的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低晶体管的特性变动或劣化的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够降低晶体管的阈值电压的变动或劣化的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够抑制晶体管的常导通化的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够提高晶体管的制造成品率的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够保护晶体管的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够使积聚在像素电极中的电荷放电的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够使积聚在布线中的电荷放电的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种包括导电率得到提高的氧化物半导体层的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够控制氧化物半导体层的导电率的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够控制栅极绝缘膜的导电率的具有新颖结构的显示装置。或者，本发明的一个方式的课题之一是提供一种能够容易实现正常的显示的具有新颖结构的显示装置。

[0016] 注意，这些课题的记载不妨碍其他课题的存在。此外，本发明的一个方式并不需要解决所有上述课题。另外，从说明书、附图、权利要求书等的记载看来上述以外的课题是显然的，且可以从说明书、附图、权利要求书等的记载中抽出上述以外的课题。

[0017] 本发明的一个方式是一种显示装置，包括：像素部；设置在像素部的外侧的驱动电路部；以及与像素部和驱动电路部中的一方或双方连接且包括一对电极的保护电路，其中，像素部包括配置为矩阵状的像素电极和与像素电极电连接的晶体管，晶体管包括包含氮和硅的第一绝缘层和包含氧、氮和硅的第二绝缘层，并且，保护电路在一对电极之间具有第一绝缘层。

[0018] 根据本发明的一个方式，可以提高显示装置的可靠性。

附图说明

[0019] 图1A和图1B是显示装置的平面模式图及说明保护电路的电路图；

[0020] 图2A和图2B是说明显示装置的电阻元件的截面图；

[0021] 图3是包括保护电路的电路图的显示装置的平面模式图；

[0022] 图4A和图4B是说明保护电路及电阻元件的平面图及截面图；

[0023] 图5是说明保护电路的电路图；

[0024] 图6是显示装置的截面图；

[0025] 图7A和图7B是说明显示装置的制造方法的截面图；

[0026] 图8A和图8B是说明显示装置的制造方法的截面图；

[0027] 图9A和图9B是说明显示装置的制造方法的截面图；

[0028] 图10A和图10B是说明显示装置的制造方法的截面图；

[0029] 图11是说明显示装置的制造方法的截面图；

[0030] 图12A和图12B是说明显示装置的制造方法的截面图；

[0031] 图13A和图13B是说明能够用于显示装置的像素电路的电路图；

[0032] 图14A至图14D是说明晶体管的平面及截面的图；

[0033] 图15A至图15D是说明电阻元件的平面及截面的图；

[0034] 图16A至图16C是说明电阻元件的电路图的图；

[0035] 图17A至图17C是说明电阻元件的截面的图；

[0036] 图18A至图18D是晶体管的截面图及说明氧化物叠层的图；

[0037] 图19是说明显示装置的连接端子部的截面图；

[0038] 图20A和图20B是说明触摸传感器的图；

[0039] 图21是说明触摸传感器的电路图；

[0040] 图22是说明触摸传感器的截面图；

[0041] 图23是说明使用本发明的一个方式的显示装置的显示模块的图；

[0042] 图24A至图24H是说明使用本发明的一个方式的显示装置的电子设备的图；

[0043] 图25A至图25H是说明使用本发明的一个方式的显示装置的电子设备的图。

[0044] 本发明的选择图为图6。

具体实施方式

[0045] 下面，参照附图对实施方式进行说明。但是，实施方式可以以多个不同方式来实施，所属技术领域的普通技术人员可以很容易地理解一个事实，就是其方式和详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0046] 注意，在附图中，大小、层的厚度或区域有时为了明确起见而被夸大。因此，不一定局限于其尺度。此外，在附图中，示意性地示出理想的例子，而不局限于附图所示的形状或数值等。例如，可以包括因杂波或时间差异所引起的信号、电压或电流的不均匀等。

[0047] 此外，在本说明书等中，晶体管是指至少包括栅极、漏极以及源极的三个端子的元件。在漏极(漏极端子、漏区或漏电极)与源极(源极端子、源区或源电极)之间具有沟道区，并能够通过漏极、沟道区以及源极流过电流。

[0048] 在此，因为源极和漏极根据晶体管的结构或工作条件等而调换，因此很难限定哪个是源极哪个是漏极。因此，有时将用作源极的部分或用作漏极的部分不称为源极或漏极，而将源极和漏极中的一方称为第一电极并将源极和漏极中的另一方称为第二电极。

[0049] 注意，本说明书所使用的“第一”、“第二”、“第三”等序数词是为了避免结构要素的混同而附上的，而不是为了在数目方面上进行限定而附上的。

[0050] 注意，在本说明书中，“使A与B连接”的描述除了使A与B直接连接的情况以外，还包括使A与B电连接的情况。在此，“使A与B电连接”的描述是指当在A与B之间存在具有某种电作用的对象物时，能够进行A和B的电信号的授受。

[0051] 注意，在本说明书中，为了方便起见，使用“上”“下”等的表示配置的词语以参照附图说明结构的位置关系。另外，结构的位置关系根据描述各结构的方向适当地改变其关系。因此，不局限于本说明书中所说明的词语，根据情况可以适当地换词语。

[0052] 另外，附图中的方框图的各电路方框的配置是为了说明而特定位置关系的，虽然其示出为使用不同的电路方框使不同的功能实现，但是有时在实际上的电路或区域中，将其设置为有可能在相同的电路或相同的区域中使不同的功能实现。此外，附图中的方框图的各电路方框的功能是为了说明而特定功能的，虽然其示出为一个电路方框，但是有时在

实际上的电路或区域中，将通过一个电路方框进行的处理设定为通过多个电路方框进行。

[0053] 注意，像素相当于能够控制一个色彩单元(例如，R(红色)、G(绿色)、B(蓝色)中任一种)的亮度的显示单位。因此，当采用彩色显示装置时，彩色图像的最小显示单位由R的像素、G的像素和B的像素的三种像素构成。但是，用来显示彩色图像的色彩单元不局限于三种颜色，而也可以使用三种以上的颜色或RGB以外的颜色。

[0054] 在本说明书中，参照附图对本发明的实施方式进行说明。另外，按如下顺序进行各实施方式的说明。

[0055] 1.实施方式1(根据本发明的一个方式的基本结构)

[0056] 2.实施方式2(显示装置的各结构)

[0057] 3.实施方式3(显示装置的制造方法)

[0058] 4.实施方式4(像素电路的结构)

[0059] 5.实施方式5(像素部的结构)

[0060] 6.实施方式6(保护电路的变形例子)

[0061] 7.实施方式7(晶体管的结构)

[0062] 8.实施方式8(连接端子部的结构)

[0063] 9.实施方式9(触摸传感器、显示模块)

[0064] 10.实施方式10(电子设备)

[0065] 实施方式1

[0066] 在本实施方式中，参照图1A至图5对本发明的一个方式的显示装置进行说明。

[0067] 图1A所示的显示装置包括：具有像素的显示元件的区域(以下称为像素部102)；具有用来驱动像素的电路的电路部(以下称为驱动电路部104)；具有保护元件的功能的电路(以下称为保护电路106)；以及端子部107。

[0068] 像素部102包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的多个显示元件的电路(以下称为像素电路108)，驱动电路部104包括输出选择像素的信号(扫描信号)的电路(以下称为栅极驱动器104a)、用来供应用来驱动像素的显示元件的信号(数据信号)的电路(以下称为源极驱动器104b)等的驱动电路。

[0069] 栅极驱动器104a具有移位寄存器等。栅极驱动器104a通过端子部107被输入用来驱动移位寄存器的信号并将该信号输出。例如，栅极驱动器104a被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器104a具有控制被施加扫描信号的布线(以下称为扫描线GL_1至GL_X)的电位的功能。另外，也可以设置多个栅极驱动器104a，并通过多个栅极驱动器104a分别控制扫描线GL_1至GL_X。或者，栅极驱动器104a具有能够供应初始化信号的功能。但是，不局限于此，栅极驱动器104a可以供应其他信号。

[0070] 源极驱动器104b具有移位寄存器等。除了用来驱动移位寄存器的信号之外，成为数据信号的基础的信号(像素信号)也通过端子部107输入到源极驱动器104b。源极驱动器104b具有以像素信号为基础生成对像素电路108写入的数据信号的功能。另外，源极驱动器104b具有根据因起始脉冲信号、时钟信号等的输入而产生的脉冲信号来控制数据信号的输出的功能。另外，源极驱动器104b具有控制被施加数据信号的布线(以下称为数据线DL_1至DL_Y)的电位的功能。或者，源极驱动器104b具有能够供应初始化信号的功能。但是，不局限于此，源极驱动器104b可以供应其他信号。

[0071] 源极驱动器104b例如使用多个模拟开关等构成。通过依次使多个模拟开关成为导通状态，源极驱动器104b可以输出对图像信号进行时间分割而成的信号作为数据信号。此外，也可以使用移位寄存器等构成源极驱动器104b。

[0072] 分别通过被施加扫描信号的多个布线(以下称为扫描线GL)之一和被施加数据信号的多个布线(以下称为数据线DL)之一对多个像素电路108的每一个施加脉冲信号和数据信号。另外，由栅极驱动器104a控制多个像素电路108的每一个中的数据信号的数据的写入及保持。例如，通过扫描线GL_m(m是X以下的自然数)从栅极驱动器104a对第m行第n列的像素电路108输入脉冲信号，并根据扫描线GL_m的电位通过数据线DL_n(n是Y以下的自然数)从源极驱动器104b对第m行第n列的像素电路108输入数据信号。

[0073] 保护电路106与作为栅极驱动器104a与像素电路108之间的布线的扫描线GL连接。或者，保护电路106与作为源极驱动器104b与像素电路108之间的布线的数据线DL连接。或者，保护电路106可以与栅极驱动器104a与端子部107之间的布线连接。或者，保护电路106可以与源极驱动器104b与端子部107之间的布线连接。注意，端子部107是指设置有用来从外部的电路对显示装置输入电源、控制信号及像素信号的端子的部分。

[0074] 保护电路106是当连接到其本身的布线被供应规定的范围之外的电位时使该布线和其他布线成为导通状态的电路。但是，不局限于此，保护电路106也可以供应其他信号。

[0075] 如图1A所示，通过对像素部102和驱动电路部104的每一个设置保护电路106，可以提高显示装置对因ESD(Electro Static Discharge:静电放电)等而产生的过电流的耐性。但是，保护电路106的结构不局限于此，例如，也可以采用将栅极驱动器104a与保护电路106连接的结构或将源极驱动器104b与保护电路106连接的结构。或者，也可以采用将端子部107与保护电路106连接的结构。

[0076] 或者，虽然在图1A中示出由栅极驱动器104a和源极驱动器104b形成驱动电路部104的例子，但是不局限于此。例如，也可以采用如下结构：只形成栅极驱动器104a并安装另外准备的形成有源极驱动电路的衬底(例如，由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)的结构。

[0077] 换言之，保护电路106与像素部102和驱动电路部104中的一方或双方电连接。

[0078] 保护电路106例如可以使用电阻元件等构成。图1B示出具体的保护电路的一个例子。

[0079] 在图1B所示的保护电路106中，在布线110与布线112之间连接有电阻元件114。另外，布线110例如是从图1A所示的扫描线GL、数据线DL或端子部107引至驱动电路部104的布线。

[0080] 另外，布线112例如是被施加用来对图1A所示的栅极驱动器104a或源极驱动器104b供应电源的电源线的电位(VDD、VSS或GND)的布线。或者，布线112是被施加共同电位(公共电位)的布线(公用线)。作为一个例子，布线112优选与用来对栅极驱动器104a供应电源的电源线，尤其是，供应低电位的布线连接。这是因为：扫描线GL在大部分的期间中为低电位，因此，当布线112的电位也为低电位时，可以降低在正常工作中从扫描线GL泄漏到布线112的电流。

[0081] 在此，参照图2A和图2B对能够用作电阻元件114的结构的一个例子进行说明。

[0082] 图2A所示的电阻元件114包括：形成在衬底140上的具有导电性的层(以下称为导

电层142)；形成在衬底140及导电层142上的具有绝缘性的层(以下称为绝缘层144)；以及形成在绝缘层144上的具有导电性的层(以下称为导电层148)。

[0083] 图2B所示的电阻元件114包括：形成在衬底140上的导电层142；形成在衬底140及导电层142上的绝缘层144；形成在绝缘层144上的绝缘层146；以及形成在绝缘层144及绝缘层146上的导电层148。

[0084] 另外，图1B所示的布线112相当于由导电层142形成的布线。此外，图1B所示的布线110相当于由导电层148形成的布线。

[0085] 换言之，图2A和图2B所示的电阻元件114具有在一对电极之间夹持绝缘层144的结构，通过控制绝缘层144的电阻率(也称为比电阻)，当一对电极中的一个电极流过过电流时，可以使过电流的一部分或全部流过到一对电极中的另一个电极。

[0086] 但是，当夹在一对电极之间的绝缘层的电阻较高时，例如，在使用电阻为$10^{18}\Omega cm$以上的绝缘层的情况下，当一对电极中的一个电极流过过电流时，不能使过电流顺利地流过到一对电极中的另一个电极。

[0087] 于是，在本发明的一个方式中，作为夹在一对电极之间的绝缘层144，例如使用电阻率为$10^{10}\Omega cm$以上且低于$10^{18}\Omega cm$，优选为$10^{11}\Omega cm$以上且低于$10^{15}\Omega cm$的绝缘膜。作为具有这样的电阻率的绝缘膜，例如可以举出包含氮和硅的绝缘膜。

[0088] 另外，如图2B所示，电阻元件114也可以具有将覆盖一对电极中的一个电极的端部的绝缘层146设置在绝缘层144上的结构。绝缘层146可以使用其电阻率高于绝缘层144的材料形成。作为绝缘层146，优选使用例如电阻率为$10^{18}\Omega cm$以上的绝缘膜。作为具有这样的电阻率的绝缘膜，例如可以举出包含氧、氮和硅的绝缘膜。

[0089] 另外，在图1A所示的构成显示装置的构成像素部102及驱动电路部104的晶体管的制造工序中，可以同时形成用作电阻元件114的一对电极的导电层142、148以及用作电阻元件114的绝缘层的绝缘层144、146。

[0090] 具体而言，例如，可以在与上述晶体管的栅电极相同的工序中制造导电层142，可以在与上述晶体管的源电极或漏电极相同的工序中制造导电层148，可以在与上述晶体管的栅极绝缘层相同的工序中制造绝缘层144、146。

[0091] 如此，通过在图1A所示的显示装置中设置保护电路106，像素部102及驱动电路部104可以提高对因ESD等而产生的过电流的耐性。因此，可以提供一种能够提高可靠性的新颖的显示装置。

[0092] 另外，作为一个例子，像素部102优选与保护电路106形成在同一衬底上。由此，可以减少构件的数量或端子的数量。再者，作为一个例子，驱动电路部104的一部分或全部优选与像素部102形成在同一衬底上。由此，可以减少构件的数量或端子的数量。当驱动电路部104的一部分或全部不与像素部102形成在同一衬底上时，在很多情况下驱动电路部104的一部分或全部通过COG或TAB安装。

[0093] 接着，参照图3对图1A所示的显示装置的具体结构进行说明。

[0094] 图3所示的显示装置包括：像素部102；用作驱动电路部的栅极驱动器104a；源极驱动器104b；保护电路106_1；保护电路106_2；保护电路106_3；以及保护电路106_4。

[0095] 另外，像素部102、栅极驱动器104a及源极驱动器104b与图1A所示的结构相同。

[0096] 保护电路106_1包括晶体管151、152、153、154以及电阻元件171、172、173。另外，保

护电路106_1设置在栅极驱动器104a与连接到该栅极驱动器104a的布线181、182、183之间。另外，在晶体管151中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与布线183连接。在晶体管152中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管151的第一端子连接。在晶体管153中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管152的第一端子连接。在晶体管154中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管153的第一端子连接。另外，晶体管154的第一端子与布线183及布线181连接。另外，布线183设置有电阻元件171、173。此外，电阻元件172设置在布线182与晶体管152的第一端子及晶体管153的第三端子之间。

[0097] 另外，布线181例如可以用作被施加低电源电位VSS的电源线。此外，布线182例如可以用作公用线。另外，布线183例如可以用作被施加高电源电位VDD的电源线。

[0098] 保护电路106_2包括晶体管155、156、157、158以及电阻元件174、175。另外，保护电路106_2设置在栅极驱动器104a与像素部102之间。此外，在晶体管155中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与布线185连接。在晶体管156中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管155的第一端子连接。在晶体管157中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管156的第一端子连接。在晶体管158中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管157的第一端子连接。另外，晶体管158的第一端子与布线184连接。此外，电阻元件174设置在布线185与晶体管156的第一端子及晶体管157的第三端子之间。另外，电阻元件175设置在布线184与晶体管156的第一端子及晶体管157的第三端子之间。

[0099] 另外，布线184例如可以用作被施加低电源电位VSS的电源线。此外，布线185例如可以用作被施加高电源电位VDD的电源线。另外，布线186例如可以用作栅极线。

[0100] 保护电路106_3包括晶体管159、160、161、162以及电阻元件176、177。另外，保护电路106_3设置在源极驱动器104b与像素部102之间。此外，在晶体管159中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与布线190连接。在晶体管160中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管159的第一端子连接。在晶体管161中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管160的第一端子连接。在晶体管162中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管161的第一端子连接。另外，晶体管162的第一端子与布线191连接。此外，电阻元件176设置在布线190与晶体管160的第一端子及晶体管161的第三端子之间。另外，电阻元件177设置在布线191与晶体管160的第一端子及晶体管161的第三端子之间。

[0101] 另外，布线188例如可以用作公用线或源极线。此外，布线189、190例如可以用作被施加高电源电位VDD的电源线。另外，布线191例如可以用作被施加低电源电位VSS的电源线。

[0102] 保护电路106_4包括晶体管163、164、165、166以及电阻元件178、179、180。此外，保护电路106_4设置在源极驱动器104b与连接到该源极驱动器104b的布线187、188、189、190、191之间。另外，在晶体管163中，用作源电极的第一端子与用作栅电极的第二端子连接，用

作漏电极的第三端子与布线187连接。在晶体管164中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管163的第一端子连接。在晶体管165中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管164的第一端子连接。在晶体管166中，用作源电极的第一端子与用作栅电极的第二端子连接，用作漏电极的第三端子与晶体管165的第一端子连接。另外，晶体管166的第一端子与布线189连接。此外，电阻元件178设置在布线187与布线188之间。此外，布线188设置有电阻元件179，并且电阻元件179与晶体管164的第一端子及晶体管165的第三端子连接。另外，电阻元件180设置在布线188与布线189之间。

[0103] 另外，布线187、191例如可以用作被施加低电源电位VSS的电源线。此外，布线188例如可以用作公用线或源极线。另外，布线189、190例如可以用作被施加高电源电位VDD的电源线。

[0104] 另外，布线181至布线191不局限于图3中所示的高电源电位VDD、低电源电位VSS、公用线CL所示的功能，也可以分别独立地具有扫描线、信号线、电源线、接地线、电容线或公用线等的功能。

[0105] 另外，作为保护电路106_1至106_4所具有的晶体管151至166的半导体层，优选使用氧化物半导体。与作为半导体层使用硅等的晶体管相比，使用氧化物半导体的晶体管由于不发生雪崩击穿所以对电场具有高的耐性。此外，作为晶体管151至166的晶体管结构，例如可以使用平面型或反交错型。

[0106] 如此，保护电路106_1至106_4由二极管连接的多个晶体管和多个电阻元件构成。换言之，保护电路106_1至106_4可以以并联的方式组合二极管连接的晶体管和电阻元件来形成。

[0107] 此外，如图3所示，保护电路106_1至保护电路106_4可以设置在像素部102与栅极驱动器104a之间、栅极驱动器104a与连接到栅极驱动器104a的布线之间、像素部102与源极驱动器104b之间或源极驱动器104b与连接到源极驱动器104b的布线之间。

[0108] 另外，作为一个例子，图4A和图4B示出对应于图3所说明的保护电路106_2的平面图及用作电阻元件的区域的截面图。在图4A所示的平面图中附记的符号相当于在图3中附记的符号。此外，图4B是沿着图4A的切断线M-N的截面图。如图4A和图4B所示，通过去除重叠于布线的绝缘层的一部分来控制布线之间的绝缘层的电阻率，本实施方式所说明的保护电路的电阻元件可以用作使过电流顺利地释放的电阻元件。

[0109] 另外，图5是示出与图3所说明的保护电路不同的结构的电路图。在图5所示的电路图中，示出晶体管155A、156A、157A、158A、晶体管155B、156B、157B、158B、电阻元件174A、175A、电阻元件174B、175B、电阻元件199、布线184、布线185及布线186。此外，在图5所示的电路图中对与图3所说明的保护电路106_2相同的结构附记相同的符号。图5所示的电路图与图3所示的保护电路106_2的不同之处在于：并列配置相当于图3的保护电路106_2的电路，且在布线之间设置电阻元件199。

[0110] 另外，与电阻率为$10^{10}\Omega cm$以上且低于$10^{18}\Omega cm$的电阻元件174A、175A、电阻元件174B、175B相比，图5所示的保护电路106_2所包括的电阻元件199优选具有更低的电阻率，即$10^{3}\Omega cm$以上且低于$10^{6}\Omega cm$。通过采用图5所示的电路图的结构，可以抑制施加到布线的信号发生陡峭变化。

[0111] 如此，通过在显示装置中设置多个保护电路，像素部102及驱动电路部104(栅极驱动器104a、源极驱动器104b)可以进一步提高对因ESD等发生的过电流的耐性。因此，可以提供一种能够提高可靠性的新颖的显示装置。

[0112] 另外，虽然在本实施方式中说明设置保护电路、电阻元件、晶体管等的情况的例子，但是本发明的实施方式的一个方式不局限于此。例如，根据情况，也可以不设置保护电路等。

[0113] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0114] 实施方式2

[0115] 在本实施方式中，参照图6对具有实施方式1所说明的保护电路的使用垂直电场方式的液晶元件的显示装置(也称为液晶显示装置)的结构进行说明。

[0116] 图6所示的显示装置包括：图1A所示的显示装置的像素部102；驱动电路部104；以及保护电路106。另外，作为各导电层彼此连接的部分，例示出连接部109。连接部109示出第一层的导电层与第二层的导电层之间的连接结构。这种连接结构可以应用于驱动电路部104或引线等。

[0117] 另外，虽然在图6所示的显示装置中例示出将保护电路106与驱动电路部104连接的结构，但是不局限于此。例如可以采用在驱动电路部104与像素部102之间连接保护电路106的结构。

[0118] 在本实施方式所示的显示装置中，在一对衬底(衬底202与衬底252)之间夹有液晶元件268。

[0119] 液晶元件268包括：形成在衬底202的上方的导电层220c；形成在导电层220c上的液晶层260；以及形成在液晶层260上的导电层258。导电层220c用作液晶元件268的一个电极，导电层258用作液晶元件268的另一个电极。

[0120] 另外，在本实施方式中，对液晶元件268为垂直电场方式的液晶元件的情况进行说明。作为垂直电场方式的液晶元件，典型地例如可以举出：TN(Twisted Nematic：扭曲向列)模式；STN(Super Twisted Nematic：超扭曲向列)模式；以及VA(Vertical Alignment：垂直定向)模式。但是，液晶元件不局限于此，例如可以使用水平电场方式的IPS(In-Plane-Switching：平面内转换)模式及FFS(Fringe Field Switching：边缘电场转换)模式等。

[0121] 如此，液晶显示装置是指包括液晶元件的装置。另外，液晶显示装置包括驱动多个像素的驱动电路等。此外，液晶显示装置包括配置在其他衬底上的控制电路、电源电路、信号生成电路及背光灯模块等，有时被称为液晶模块。

[0122] 如本实施方式所示，通过设置保护电路106，可以提高液晶显示装置中的设置在液晶显示装置所具有的驱动电路部104和像素部102中的晶体管对来自外部的过电流的耐性。

[0123] 例如，由于当制造液晶元件时进行的摩擦处理可能产生静电。但是，通过设置保护电路106可以防止或抑制因上述静电而产生的过电流流过形成在像素部102及驱动电路部104中的晶体管。因此，晶体管的静电破坏得到抑制，而可以实现可靠性高的显示装置。

[0124] 下面，对图6所示的显示装置的其他构成要素进行说明。

[0125] 在衬底202上形成有具有导电性的层(以下称为导电层204a、204b、204c、204d)。导电层204a形成在保护电路106中，并用作电阻元件的一对电极中的一个电极。导电层204b形成在驱动电路部104中，并用作驱动电路的晶体管的栅极。导电层204c形成在像素部102中，

并用作像素电路的晶体管的栅极。导电层204d形成在连接部109中，并与导电层212f连接。

[0126] 另外，在衬底202及导电层204a、204b、204c、204d上形成有具有绝缘性的层(以下称为绝缘层206、208)。绝缘层206、208用作驱动电路部104的晶体管的栅极绝缘层及像素部102的晶体管的栅极绝缘层。此外，绝缘层206也用作保护电路106的电阻元件(电阻层)。

[0127] 另外，在绝缘层208上形成有具有半导体特性的层(以下称为半导体层210a、210b)。半导体层210a形成在重叠于导电层204b的位置，并用作驱动电路的晶体管的沟道。此外，半导体层210b形成在重叠于导电层204c的位置，并用作像素电路的晶体管的沟道。

[0128] 另外，在绝缘层206、208及半导体层210a、210b上形成有具有导电性的层(以下称为导电层212a、212b、212c、212d、212e、212f)。导电层212a用作保护电路106的电阻元件的一对电极中的另一个电极。此外，导电层212b与半导体层210a电连接，并用作驱动电路的晶体管所具有的源极和漏极中的一方。另外，导电层212c与半导体层210a电连接，并用作驱动电路的晶体管所具有的源极和漏极中的另一方。此外，导电层212d与半导体层210b电连接，并用作像素电路的晶体管所具有的源极和漏极中的一方。另外，导电层212e与半导体层210b电连接，并用作像素电路的晶体管所具有的源极和漏极中的另一方。此外，导电层212f形成在连接部109中，并通过形成在绝缘层206和208中的开口部与导电层204d电连接。

[0129] 此外，在绝缘层208、半导体层210a、210b及导电层212a、212b、212c、212d、212e、212f上形成有具有绝缘性的层(以下称为绝缘层214、216)。绝缘层214、216具有保护晶体管的功能。尤其是，绝缘层214具有保护半导体层210a、210b的功能。

[0130] 另外，在绝缘层216上形成有具有绝缘性的层(以下称为绝缘层218)。绝缘层218用作平坦化层。此外，通过形成绝缘层218，可以抑制在形成于绝缘层218的下方的导电层与形成于绝缘层218的上方的导电层之间可能产生的寄生电容。

[0131] 另外，在绝缘层218上形成有具有导电性的层(以下称为导电层220a、220b、220c)。导电层220a通过以穿过绝缘层214、216、218的方式形成的开口部与导电层212b电连接，并用作将驱动电路部104的导电层212b与其他布线电连接的连接电极。导电层220b通过以穿过绝缘层214、216、218的方式形成的开口部与导电层212d电连接，并用作将像素部102的导电层212d与其他布线电连接的连接电极。另外，导电层220c通过以穿过绝缘层214、216、218的方式形成的开口部与导电层212e电连接，并用作像素部102的像素电极。此外，导电层220c可以用作像素电路的液晶元件所具有的一对电极中的一个电极。

[0132] 另外，在衬底252上形成有有色的层(以下称为有色层254)。有色层254用作滤色片。此外，虽然在图6中未图示，但是也可以以与有色层254相邻的方式形成用作黑矩阵的遮光膜。另外，不一定必须要设置有色层254，例如在显示装置进行黑白显示的情况等下，也可以采用不设置有色层254的结构。

[0133] 另外，在有色层254上形成有具有绝缘性的层(以下称为绝缘层256)。绝缘层256具有平坦化层的功能或抑制有色层254可能含有的杂质扩散到液晶元件一侧的功能。

[0134] 另外，在绝缘层256上形成有具有导电性的层(以下称为导电层258)。导电层258用作像素电路的液晶元件所具有的一对电极中的另一个电极。此外，也可以在导电层220a、220b、220c及导电层258上另行形成用作取向膜的绝缘膜。

[0135] 此外，在导电层220a、220b、220c与导电层258之间形成有液晶层260。另外，液晶层260使用密封剂(未图示)密封在衬底202与衬底252之间。此外，为了抑制来自外部的水分等

的侵入，密封剂优选与无机材料接触。

[0136] 另外，也可以在导电层220a、220b、220c与导电层258之间设置间隔物以保持液晶层260的厚度(也称为单元间隙)的。

[0137] 另外，在本实施方式所示的显示装置中，可以同时形成像素部102及驱动电路部104所具有的晶体管和保护电路106。因此，可以形成保护电路106而不增加制造成本等。

[0138] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0139] 实施方式3

[0140] 在本实施方式中，参照图7A至图12B对实施方式2所说明的显示装置的制造方法进行说明。

[0141] 首先，准备衬底202。作为衬底202，使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等玻璃材料。从量产的观点来看，作为衬底202优选使用第八代(2160mm×2460mm)、第九代(2400mm×2800mm或2450mm×3050mm)或第十代(2950mm×3400mm)等的母体玻璃。因为母体玻璃在处理温度高且处理时间长的情况下会发生大幅度收缩，所以当使用母体玻璃进行量产时，优选的是，在600℃以下，优选为450℃以下，更优选为350℃以下的温度下进行制造工序的加热处理。

[0142] 接着，在衬底202上形成导电膜，将该导电膜加工为所希望的区域，由此形成导电层204a、204b、204c、204d。另外，通过第一构图在所希望的区域上形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此形成导电层204a、204b、204c、204d(参照图7A)。

[0143] 导电层204a、204b、204c、204d可以使用选自铝、铬、铜、钽、钛、钼、钨中的金属元素、以上述金属元素为成分的合金或组合上述金属元素的合金等而形成。此外，导电层204a、204b、204c、204d可以具有单层结构或者两层以上的叠层结构。例如，可以举出在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜或氮化钨膜上层叠钨膜的两层结构以及依次层叠钛膜、该钛膜上的铝膜和其上的钛膜的三层结构等。此外，也可以使用组合铝与选自钛、钽、钨、钼、铬、钕、钪中的元素的膜、组合铝与上述元素中的多种的合金膜或氮化膜。另外，导电层204a、204b、204c、204d例如可以使用溅射法形成。

[0144] 另外，通过上述工序，可以将保护电路106所具有的导电层204a、像素部102所具有的导电层204c、驱动电路部104所具有的导电层204b形成在同一平面上。

[0145] 接着，在衬底202及导电层204a、204b、204c、204d上形成绝缘层206、208(参照图7B)。

[0146] 绝缘层206例如可以使用氮氧化硅膜、氮化硅膜、氧化铝膜等，并且使用PE-CVD装置以叠层或单层设置绝缘层206。此外，在作为绝缘层206采用叠层结构的情况下，优选的是，使用缺陷少的氮化硅膜作为第一氮化硅膜，在第一氮化硅膜上设置氢释放量及氨释放量少的氮化硅膜作为第二氮化硅膜。其结果，可以抑制包含在绝缘层206中的氢及氮移动到半导体层210a、210b。

[0147] 绝缘层208例如可以使用氧化硅膜、氧氮化硅膜等，并且使用PE-CVD装置以叠层或单层设置绝缘层208。另外，当在真空中连续地形成绝缘层206和绝缘层208时，混入绝缘层206与绝缘层208之间的界面的杂质少，所以是优选的。此外，重叠于导电层204b、204c的区域的绝缘层206、208可以用作栅极绝缘层，例如，作为绝缘层206可以使用厚度为300nm的氮

化硅膜，作为绝缘层208使用厚度为50nm的氧氮化硅膜。

[0148] 注意，氮氧化硅是指氮含量比氧多的绝缘材料，而氧氮化硅是指氧含量比氮多的绝缘材料。

[0149] 通过作为栅极绝缘层采用上述结构，例如可以获得如下效果。与氧化硅膜相比，氮化硅膜的相对介电常数高，为了得到相等的静电容量所需要的厚度大，所以可以在物理上使栅极绝缘膜厚膜化。因此，可以抑制晶体管的绝缘耐压的下降。再者，通过提高绝缘耐压，可以抑制晶体管的静电破坏。

[0150] 接着，在绝缘层208上形成半导体膜，将该半导体膜加工为所希望的区域，由此形成半导体层210a、210b。另外，通过第二构图在所希望的区域上形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此形成半导体层210a、210b。作为蚀刻，可以使用干蚀刻、湿蚀刻或组合双方的蚀刻(参照图8A)。

[0151] 作为半导体层210a、210b，例如可以使用氧化物半导体。作为能够应用于半导体层210a、210b的氧化物半导体优选至少包括包含铟(In)、锌(Zn)及M(Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属)的以In-M-Zn氧化物表示的层。或者，优选包含In和Zn的双方。另外，为了减少使用该氧化物半导体的晶体管的电特性不均匀，除了上述元素以外，优选还包含稳定剂(stabilizer)。

[0152] 作为稳定剂，可以举出镓(Ga)、锡(Sn)、铪(Hf)、铝(Al)或锆(Zr)等。另外，作为其他稳定剂，可以举出镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镥(Lu)等。

[0153] 例如，作为氧化物半导体，可以使用：氧化铟、氧化锡、氧化锌、In-Zn氧化物、Sn-Zn氧化物、Al-Zn氧化物、Zn-Mg氧化物、Sn-Mg氧化物、In-Mg氧化物、In-Ga氧化物、In-Ga-Zn氧化物、In-Al-Zn氧化物、In-Sn-Zn氧化物、Sn-Ga-Zn氧化物、Al-Ga-Zn氧化物、Sn-Al-Zn氧化物、In-Hf-Zn氧化物、In-La-Zn氧化物、In-Ce-Zn氧化物、In-Pr-Zn氧化物、In-Nd-Zn氧化物、In-Sm-Zn氧化物、In-Eu-Zn氧化物、In-Gd-Zn氧化物、In-Tb-Zn氧化物、In-Dy-Zn氧化物、In-Ho-Zn氧化物、In-Er-Zn氧化物、In-Tm-Zn氧化物、In-Yb-Zn氧化物、In-Lu-Zn氧化物、In-Sn-Ga-Zn氧化物、In-Hf-Ga-Zn氧化物、In-Al-Ga-Zn氧化物、In-Sn-Al-Zn氧化物、In-Sn-Hf-Zn氧化物、In-Hf-Al-Zn氧化物。

[0154] 注意，在此，例如In-Ga-Zn氧化物是指作为主要成分包含In、Ga和Zn的氧化物，对In、Ga、Zn的比率没有限制。另外，也可以包含In、Ga、Zn以外的金属元素。此外，在本说明书等中，将由In-Ga-Zn氧化物构成的膜称为IGZO膜。

[0155] 另外，也可以使用以$InMO_3(ZnO)_m$(m＞0，且m不是整数)表示的材料。注意，M表示选自Ga、Fe、Mn和Co中的一种金属元素或多种金属元素。另外，也可以使用以$In_2SnO_5(ZnO)_n$(n＞0，且n是整数)表示的材料。

[0156] 另外，当形成氧化物半导体时，优选使用溅射法。作为溅射法，可以使用RF溅射法、DC溅射法、AC溅射法等。尤其优选使用DC溅射法，因为其可以降低成膜时产生的尘屑并可以使厚度分布均匀。

[0157] 在此，对氧化物半导体膜的结构进行说明。

[0158] 氧化物半导体膜大致分为非单晶氧化物半导体膜和单晶氧化物半导体膜。非单晶氧化物半导体膜包括CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor:c轴

取向结晶氧化物半导体)膜、多晶氧化物半导体膜、微晶氧化物半导体膜及非晶氧化物半导体膜等。

[0159] 首先,对CAAC-OS膜进行说明。

[0160] CAAC-OS膜是包括c轴取向的多个结晶部的氧化物半导体膜之一。

[0161] 在CAAC-OS膜的透射电子显微镜(TEM:Transmission Electron Microscope)图像中,观察不到结晶部与结晶部之间的明确的边界,即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生起因于晶界的电子迁移率的降低。

[0162] 根据从大致平行于样品面的方向观察的CAAC-OS膜的TEM图像(截面TEM图像)可知在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的凸凹的形状并以平行于CAAC-OS膜的被形成面或顶面的方式排列。

[0163] 另一方面,根据从大致垂直于样品面的方向观察的CAAC-OS膜的TEM图像(平面TEM图像)可知在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0164] 由截面TEM图像及平面TEM图像可知,CAAC-OS膜的结晶部具有取向性。

[0165] 注意,在本说明书中,“平行”是指两条直线形成的角度为-10°以上且10°以下,因此也包括角度为-5°以上且5°以下的情况。另外,“垂直”是指两条直线形成的角度为80°以上且100°以下,因此也包括角度为85°以上且95°以下的情况。

[0166] 另外,包含在CAAC-OS膜中的大部分的结晶部的尺寸为能够容纳于一边短于100nm的立方体内的尺寸。因此,有时包括在CAAC-OS膜中的结晶部的尺寸为能够容纳于一边短于10nm、短于5nm或短于3nm的立方体内的尺寸。但是,有时包含在CAAC-OS膜中的多个结晶部联结形成一个大结晶区。例如,在平面TEM图像中有时会观察到2500nm^2以上、5μm^2以上或1000μm^2以上的结晶区。

[0167] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括$InGaZnO_4$的结晶的CAAC-OS膜时,在衍射角(2θ)为31°附近时常出现峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,由此可知CAAC-OS膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS膜的被形成面或顶面的方向。

[0168] 另一方面,当利用从大致垂直于c轴的方向使X线入射到样品的in-plane法分析CAAC-OS膜时,在2θ为56°附近时常出现峰值。该峰值来源于$InGaZnO_4$结晶的(110)面。在此,将2θ固定为56°附近并在以样品面的法线向量为轴(φ轴)旋转样品的条件下进行分析(φ扫描)。当该样品是$InGaZnO_4$的单晶氧化物半导体膜时,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,当该样品是CAAC-OS膜时,即使在将2θ固定为56°附近的状态下进行φ扫描也不能观察到明确的峰值。

[0169] 由上述结果可知,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间不同,但是c轴都朝向平行于被形成面或顶面的法线向量的方向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的ab面平行的面。

[0170] 注意,结晶部在形成CAAC-OS膜或进行加热处理等晶化处理时形成。如上所述,结晶的c轴朝向平行于CAAC-OS膜的被形成面或顶面的法线向量的方向。由此,例如,当CAAC-OS膜的形状因蚀刻等而发生改变时,结晶的c轴不一定平行于CAAC-OS膜的被形成面或顶面

的法线向量。

[0171] 此外，CAAC-OS膜中的c轴取向的结晶部的分布也可以不均匀。例如，当CAAC-OS膜的结晶部通过从CAAC-OS膜的顶面附近产生的结晶生长而形成时，有时顶面附近的c轴取向的结晶部的比例会高于被形成面附近。另外，在对CAAC-OS膜添加杂质时，有时被添加杂质的区域变质，而部分性地形成c轴取向的结晶部的比例不同的区域。

[0172] 注意，当利用out-of-plane法分析包括$InGaZnO_4$结晶的CAAC-OS膜时，除了在2θ为31°附近的峰值之外，有时还在2θ为36°附近观察到峰值。2θ为36°附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶。优选的是，在CAAC-OS膜中在2θ为31°附近时出现峰值而在2θ为36°附近时不出现峰值。

[0173] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是指氢、碳、硅、过渡金属元素等氧化物半导体膜的主要成分以外的元素。尤其是，硅等元素因为其与氧的结合力比构成氧化物半导体膜的金属元素与氧的结合力更强而成为从氧化物半导体膜夺取氧来使氧化物半导体膜的原子排列杂乱使得结晶性降低的主要因素。此外，铁或镍等重金属、氩、二氧化碳等因为其原子半径(分子半径)大而在包含在氧化物半导体膜内部时成为使氧化物半导体膜的原子排列杂乱使得结晶性降低的主要因素。注意，包含在氧化物半导体膜中的杂质有时成为载流子陷阱或载流子发生源。

[0174] 此外，CAAC-OS膜是缺陷态密度低的氧化物半导体膜。例如，氧化物半导体膜中的氧缺损有时成为载流子陷阱或者通过俘获氢而成为载流子发生源。

[0175] 将杂质浓度低且缺陷态密度低(氧缺损的个数少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体膜具有少载流子发生源，因此可以具有较低的载流子密度。因此，使用该氧化物半导体膜的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。此外，高纯度本征或实质上高纯度本征的氧化物半导体膜具有少载流子陷阱。因此，使用该氧化物半导体膜的晶体管的电特性变动小，而成为高可靠性晶体管。此外，被氧化物半导体膜的载流子陷阱俘获的电荷到被释放需要长时间，有时像固定电荷那样动作。因此，使用杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管的电特性有时不稳定。

[0176] 此外，在使用CAAC-OS膜的晶体管中，起因于可见光或紫外光的照射的电特性变动小。

[0177] 接下来，说明微晶氧化物半导体膜。

[0178] 在使用TEM观察微晶氧化物半导体膜时的图像中，有时无法明确地确认到结晶部。微晶氧化物半导体膜中含有的结晶部的尺寸大多为1nm以上且100nm以下，或1nm以上且10nm以下。尤其是，将具有尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶的纳米晶(nc:nanocrystal)的氧化物半导体膜称为nc-OS(nanocrystalline Oxide Semiconductor)膜。另外，例如在使用TEM观察nc-OS膜时，有时无法明确地确认到晶粒界面。

[0179] nc-OS膜在微小区域(例如1nm以上且10nm以下的区域，特别是1nm以上且3nm以下的区域)中其原子排列具有周期性。另外，nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。因此，在膜整体中观察不到取向性。所以，有时nc-OS膜在某些分析方法中与非晶氧化物半导体膜没有差别。例如，在通过其中利用使用径比结晶部大的X射线的XRD装置的

out-of-plane法对nc-OS膜进行结构分析时，检测不出表示结晶面的峰值。此外，在通过使用其探针的直径大于结晶部的电子束(例如，50nm以上)来获得的nc-OS膜的选区电子衍射中，观察到类似光晕图案的衍射图案。另一方面，在通过使用其探针的直径近于或小于结晶部的电子束(例如，1nm以上且30nm以下)来获得的nc-OS膜的纳米束电子衍射图案中，观察到斑点。另外，在nc-OS膜的纳米束电子衍射图案中，有时观察到如圆圈那样的(环状的)亮度高的区域。而且，在nc-OS膜的纳米束电子衍射图案中，有时还观察到环状的区域内的多个斑点。

[0180] nc-OS膜是比非晶氧化物半导体膜规律性高的氧化物半导体膜。因此，nc-OS膜的缺陷能级密度比非晶氧化物半导体膜低。但是，nc-OS膜在不同的结晶部之间观察不到晶面取向的规律性。所以，nc-OS膜的缺陷能级密度比CAAC-OS膜高。

[0181] 注意，氧化物半导体膜例如也可以是包括非晶氧化物半导体膜、微晶氧化物半导体膜和CAAC-OS膜中的两种以上的叠层膜。

[0182] 另外，为了形成CAAC-OS膜，优选采用以下条件。

[0183] 通过降低成膜时的杂质的混入，可以抑制因杂质导致的结晶状态的破坏。例如，可以降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)。另外，可以降低成膜气体中的杂质。具体而言，使用露点为-80℃以下，优选为-100℃以下的成膜气体。

[0184] 此外，通过增高成膜时的衬底加热温度，在溅射粒子到达衬底之后发生溅射粒子的迁移。具体而言，在将衬底加热温度设定为100℃以上且740℃以下，优选为200℃以上且500℃以下的状态下进行成膜。通过增高成膜时的衬底加热温度，当平板状的溅射粒子到达衬底时，在衬底上发生迁移，由此溅射粒子的平坦的面附着到衬底。

[0185] 优选的是，通过增高成膜气体中的氧比例并对电力进行最优化，减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为30vol.％以上，优选为100vol.％。

[0186] 下面，作为溅射靶材的一个例子示出In-Ga-Zn-O化合物靶材。

[0187] 通过将InO_X粉末、GaO_Y粉末及ZnO_Z粉末以规定的摩尔数混合，并进行加压处理，然后在1000℃以上且1500℃以下的温度下进行加热处理，由此形成多晶In-Ga-Zn-O化合物靶材。另外，X、Y及Z为任意正数。在此，粉末的种类及混合粉末时的摩尔数比可以根据所制造的溅射靶材适当地改变。

[0188] 接着，优选进行第一加热处理。在250℃以上且650℃以下，优选为300℃以上且500℃以下的温度下，在惰性气体气氛下、包含10ppm以上的氧化气体的气氛下或者减压状态下进行第一加热处理，即可。另外，为了填补脱离了的氧，也可以在惰性气体气氛下进行加热处理之后，在包含10ppm以上的氧化气体气氛下进行第一加热处理。通过第一加热处理，可以提高用于半导体层210a、210b的氧化物半导体的结晶性，并且可以去除绝缘层206、208及半导体层210a、210b中的氢或水等杂质。另外，也可以在形成氧化物半导体层的蚀刻之前进行第一加热工序。

[0189] 另外，为了使以氧化物半导体层为沟道的晶体管具有稳定的电特性，降低氧化物半导体层中的杂质浓度，使氧化物半导体层实现本征或实质上实现本征是有效的。在此，实质上本征是指氧化物半导体层的载流子密度低于$1\times10^{17}/cm^3$，优选低于$1\times10^{15}/cm^3$，更优选低于$1\times10^{13}/cm^3$的状态。

[0190] 另外，在氧化物半导体层中，氢、氮、碳、硅以及除了主要成分以外的金属元素都是

杂质。例如，氢及氮形成供体能级，使得载流子密度增大。另外，在氧化物半导体层中，硅形成杂质能级。有时该杂质能级成为陷阱，使晶体管的电特性劣化。

[0191] 为了使氧化物半导体层实现本征或实质上本征，在利用SIMS的分析中，将硅浓度设定为低于1×10^{19}atoms/cm^3，优选低于5×10^{18}atoms/cm^3，更优选低于1×10^{18}atoms/cm^3。另外，将氢浓度设定为2×10^{20}atoms/cm^{3}以下，优选为5×10^{19}atoms/cm^{3}以下，更优选为1×10^{19}atoms/cm^{3}以下，进一步优选为5×10^{18}atoms/cm^{3}以下。此外，将氮浓度设定为低于5×10^{19}atoms/cm^3，优选为5×10^{18}atoms/cm^{3}以下，更优选为1×10^{18}atoms/cm^{3}以下，进一步优选为5×10^{17}atoms/cm^{3}以下。

[0192] 另外，当氧化物半导体层包含结晶时，如果包含高浓度的硅或碳，则有时氧化物半导体层的结晶性降低。为了防止氧化物半导体层的结晶性的降低，可以将硅浓度设定为低于1×10^{19}atoms/cm^3，优选低于5×10^{18}atoms/cm^3，更优选低于1×10^{18}atoms/cm^3。另外，可以将碳浓度设定为低于1×10^{19}atoms/cm^3，优选低于5×10^{18}atoms/cm^{3}以下，更优选低于1×10^{18}atoms/cm^3。

[0193] 此外，将上述那样的高纯度化的氧化物半导体层用于沟道形成区域的晶体管的关态电流(off-state current)极小，可以使根据晶体管的沟道宽度被规格化的关态电流降低到几yA/μm至几zA/μm。

[0194] 另外，在氧化物半导体层中，通过降低层中的局部能级密度，可以使使用氧化物半导体层的晶体管具有稳定的电特性。此外，为了使晶体管具有稳定的电特性，可以将氧化物半导体层中的通过CPM测量(CPM:Constant Photocurrent Method)获得的起因于局部能级密度的吸收系数设定为低于1×10^{-3}/cm，优选低于3×10^{-4}/cm。

[0195] 接着，通过第三构图在绝缘层208上形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此去除保护电路106上的绝缘层208的一部分及连接部109上的绝缘层206、208的一部分。另外，也可以在形成半导体层210a、210b之前形成开口部207a、207b(参照图8B)。

[0196] 另外，通过使用多级灰度掩模，可以在第三构图中形成掩模。多级灰度掩模是指能够以如下三个级别进行曝光的掩模，即曝光部分、中间曝光部分以及未曝光部分。并且，多级灰度掩模是所透过的光具有多种强度的曝光掩模。通过进行一次曝光及显影工序，可以形成具有多种(典型为两种)厚度区域的抗蚀剂掩模。因此，通过使用多级灰度掩模，可以削减曝光掩模的数量。作为多级灰度掩模，可以举出半色调掩模或灰色调掩模等。

[0197] 通过在第三构图中使用多级灰度掩模，可以在不同的深度方向形成开口部207a、207b。由此，可以实现在开口部207a中绝缘层206被露出且在开口部207b中导电层204d被露出的结构。另外，开口部207a、207b的形成方法不局限于此，例如可以使用不同的掩模进行构图。

[0198] 由此，形成在像素部102及驱动电路部104中的绝缘层206、208可以用作叠层的栅极绝缘层。另外，形成在保护电路106中的绝缘层206可以用作电阻元件。

[0199] 接着，在绝缘层206、208、半导体层210a、210b及导电层204d上形成导电膜，并将该导电膜加工为所希望的区域，由此形成导电层212a、212b、212c、212d、212e、212f。另外，通过第四构图在所希望的区域上形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此形成导电层212a、212b、212c、212d、212e、212f(参照图9A)。

[0200] 另外，通过上述工序，可以将保护电路106所具有的导电层212a、像素部102所具有

的导电层212d、212e及驱动电路部104所具有的导电层212b、212c形成在同一平面上。

[0201] 导电层212a、212b、212c、212d、212e、212f作为导电材料使用由铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨构成的金属或以这些元素为主要成分的合金的单层结构或叠层结构。例如，可以举出如下结构：在铝膜上层叠钛膜的两层结构；在钨膜上层叠钛膜的两层结构；在铜-镁-铝合金膜上层叠铜膜的两层结构；在钛膜或氮化钛膜上层叠铝膜或铜膜，在其上还形成钛膜或氮化钛膜的三层结构；以及在钼膜或氮化钼膜上层叠铝膜或铜膜，在其上还形成钼膜或氮化钼膜的三层结构等。另外，还可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。此外，导电层212a、212b、212c、212d、212e、212f例如可以使用溅射法形成。

[0202] 另外，虽然在本实施方式中在半导体层210a、210b上形成导电层212b、212c、212d、212e，但是也可以在绝缘层208与半导体层210a、210b之间设置导电层212b、212c、212d、212e。

[0203] 接着，以覆盖绝缘层208、半导体层210a、210b及导电层212a、212b、212c、212d、212e、212f的方式形成绝缘层214、216(参照图9B)。

[0204] 为了提高与用作半导体层210a、210b的氧化物半导体之间的界面特性，作为绝缘层214可以使用包含氧的无机绝缘材料。另外，作为绝缘层216，优选使用从外部混入到用作半导体层210a、210b的氧化物半导体中的杂质诸如水分等少的材料，例如可以使用包含氮的无机绝缘材料。例如，绝缘层214、216可以使用PE-CVD法形成。

[0205] 作为一个例子，绝缘层214可以使用厚度为150nm以上且400nm以下的氧化硅膜、氧氮化硅膜、氧化铝膜等，绝缘层216可以使用厚度为150nm以上且400nm以下的氮化硅膜、氮氧化硅膜等。在本实施方式中，作为绝缘层214使用厚度为300nm的氧氮化硅膜，作为绝缘层216使用厚度为150nm的氮化硅膜。此时，氮化硅膜用作防止水分侵入到半导体层210a、210b的阻挡层。为了提高阻挡性，优选在高温度下形成该氮化硅膜，例如，优选在衬底温度为100℃以上且低于衬底的应变点，更优选为300℃以上且400℃以下的温度下加热来形成。另外，当在高温度下进行成膜时，有时氧从用作半导体层210a、210b的氧化物半导体脱离而发生载流子浓度上升的现象。因此，将加热温度设定为不发生这种现象的温度。

[0206] 接着，在绝缘层216上形成绝缘层218(参照图10A)。

[0207] 作为绝缘层218，可以使用具有耐热性的有机材料如丙烯酸类树脂、聚酰亚胺类树脂、苯并环丁烯类树脂、聚酰胺类树脂、环氧树脂等。另外，也可以通过层叠多个由上述材料形成的绝缘膜来形成绝缘层218。通过使用绝缘层218，可以使晶体管等的凹凸平坦化。绝缘层218例如可以使用旋涂法形成。

[0208] 另外，作为可以用作绝缘层218的丙烯酸类树脂，例如优选使用吸水性低且膜中的脱气体成分(例如，H_2O、C、F等)的释放较少的材料。

[0209] 接着，通过第五构图在绝缘层218上形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此形成开口部219a、219b、219c(参照图10B)。

[0210] 另外，以到达导电层212b、212d、212e的方式形成开口部219a、219b、219c。

[0211] 接着，以填充开口部219a、219b、219c的方式形成导电膜，并将该导电膜加工为所希望的区域，由此形成导电层220a、220b、220c。另外，通过第六构图在所希望的区域形成掩模，并对不被该掩模覆盖的区域进行蚀刻，由此形成导电层220a、220b、220c(参照图11)。

[0212] 作为导电层220a、220b、220c，可以使用具有透光性的导电材料诸如包含氧化钨的

铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(下面表示为ITO)、铟锌氧化物、添加有氧化硅的铟锡氧化物等。另外,导电层220a、220b、220c例如可以使用溅射法形成。

[0213] 通过上述工序,可以在衬底202上形成具有晶体管的像素部及驱动电路部、保护电路。另外,在本实施方式所示的制造工序中,可以通过第一至第六构图,即,使用六个掩模同时形成晶体管及保护电路。

[0214] 下面,对在以与衬底202对置的方式设置的衬底252上形成的结构进行说明。

[0215] 首先,准备衬底252。作为衬底252,可以使用用于衬底202的材料。接着,在衬底252上形成有色层254和绝缘层256(参照图12A)。

[0216] 有色层254只要能够透过特定的波长区域的光即可,例如可以使用透过红色波长区域的光的红色(R)滤色片、透过绿色波长区域的光的绿色(G)滤色片、透过蓝色波长区域的光的蓝色(B)滤色片等。通过使用公知的材料利用印刷法、喷墨法、使用光刻法技术的蚀刻方法等来将各滤色片形成在所希望的位置。另外,作为绝缘层256,例如可以使用丙烯酸类树脂等的绝缘膜。

[0217] 接着,在绝缘层256上形成导电层258(参照图12B)。作为导电层258,可以使用用于导电层220a、220b、220c的材料。

[0218] 接着,在衬底202与衬底252之间形成液晶层260。作为液晶层260的形成方法,可以使用分配器法(滴落法)或在将衬底202贴合到衬底252之后利用毛细现象注入液晶的注入法。

[0219] 通过上述工序,可以制造图6所示的显示装置。

[0220] 另外,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0221] 实施方式4

[0222] 在本实施方式中,参照图13A和图13B对能够用于图1A所示的显示装置的像素电路108的结构进行说明。

[0223] 在图1A所示的显示装置中,像素电路108可以具有图13A所示的结构。

[0224] 图13A所示的像素电路108具有液晶元件130、晶体管131_1和电容元件133_1。

[0225] 根据像素电路108的规格适当地设定液晶元件130的一对电极中的一个电极的电位。根据被写入的数据设定液晶元件130的取向状态。此外,也可以对多个像素电路108的每一个所具有的液晶元件130的一对电极中的一个电极供应共同电位(公共电位)。此外,也可以对各行的像素电路108的每一个所具有的液晶元件130的一对电极中的一个电极供应不同电位。

[0226] 例如,作为具备液晶元件130的显示装置的驱动方法也可以使用如下模式:TN模式;STN模式;VA模式;ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式;OCB(Optically Compensated Birefringence:光学补偿弯曲)模式;FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式;AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式;MVA(Multi-Domain Vertical Alignment:多畴垂直取向)模式;PVA(Patterned Vertical Alignment:垂直取向构型)模式;IPS模式;FFS模式;或TBA(Transverse Bend Alignment:横向弯曲取向)模式等。另外,作为显示装置的驱动方法,除了上述驱动方法之外,还有ECB(Electrically Controlled Birefringence:电控双折射)

模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网路型液晶)模式、宾主模式等。但是,不局限于此,作为液晶元件及其驱动方式可以使用各种液晶元件及驱动方式。

[0227] 此外,也可以由包含呈现蓝相(Blue Phase)的液晶和手性试剂的液晶组成物构成液晶元件。呈现蓝相的液晶的响应速度快,为1msec以下,并且由于其具有光学各向同性,所以不需要取向处理,且视角依赖性小。

[0228] 在第m行第n列的像素电路108中,晶体管131_1的源极和漏极中的一方与数据线DL_n电连接,源极和漏极中的另一方与液晶元件130的一对电极中的另一个电极电连接。此外,晶体管131_1的栅极与扫描线GL_m电连接。晶体管131_1具有通过成为导通状态或截止状态而对数据信号的数据的写入进行控制的功能。

[0229] 电容元件133_1的一对电极中的一个电极与供应电位的布线(以下,称为电位供应线VL)电连接,另一个电极与液晶元件130的一对电极中的另一个电极电连接。此外,根据像素电路108的规格适当地设定电位供应线VL的电位的值。电容元件133_1用作储存被写入的数据的存储电容器。

[0230] 例如,在具有图13A的像素电路108的显示装置中,通过栅极驱动器104a依次选择各行的像素电路108,并使晶体管131_1成为导通状态而写入数据信号的数据。

[0231] 当晶体管131_1成为截止状态时,被输入数据的像素电路108成为保持状态。通过按行依次进行上述步骤,可以显示图像。

[0232] 此外,图13B所示的像素电路108具备晶体管131_2、电容元件133_2、晶体管134以及发光元件135。

[0233] 晶体管131_2的源极和漏极中的一方与被施加数据信号的布线(以下,称为数据线DL_n)电连接。并且,晶体管131_2的栅极与被施加栅极信号的布线(以下,称为扫描线GL_m)电连接。

[0234] 晶体管131_2具有通过成为导通状态或截止状态而对数据信号的数据的写入进行控制的功能。

[0235] 电容元件133_2的一对电极中的一个电极与被施加电源的布线(以下,称为电源线VL_a)电连接,另一个电极与晶体管131_2的源极和漏极中的另一方电连接。

[0236] 电容元件133_2用作储存被写入的数据的存储电容器。

[0237] 晶体管134的源极和漏极中的一方与电源线VL_a电连接。并且,晶体管134的栅极与晶体管131_2的源极和漏极中的另一方电连接。

[0238] 发光元件135的阳极和阴极中的一方与电源线VL_b电连接,另一方与晶体管134的源极和漏极中的另一方电连接。

[0239] 作为发光元件135,例如可以使用有机电致发光元件(也称为有机EL元件)等。但是,发光元件135不局限于此,也可以采用由无机材料构成的无机EL元件。

[0240] 此外,对电源线VL_a和电源线VL_b中的一方施加高电源电位VDD,对另一方施加低电源电位VSS。

[0241] 在具备图13B所示的像素电路108的显示装置中,使用栅极驱动器104a依次选择各行的像素电路108,通过使晶体管131_2成为导通状态而写入数据信号的数据。

[0242] 当晶体管131_2成为截止状态时,被输入数据的像素电路108成为保持状态。而且,

根据被输入的数据信号的电位控制流过晶体管134的源极与漏极之间的电流量，发光元件135以对应于流过的电流量的亮度发光。通过按行依次进行上述步骤，可以显示图像。

[0243] 此外，在本说明书等中，显示元件、作为具有显示元件的装置的显示装置、发光元件以及作为具有发光元件的装置的发光装置可以采用各种方式或各种元件。作为显示元件、显示装置、发光元件或发光装置的一个例子，有对比度、亮度、反射率、透射率等因电磁作用而变化的显示媒体，如EL(电致发光)元件(包含有机物及无机物的EL元件、有机EL元件、无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示面板(PDP)、数字微镜设备(DMD)、压电陶瓷显示器、碳纳米管等。作为使用EL元件的显示装置的一个例子，有EL显示器等。作为使用电子发射元件的显示装置的一个例子，有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子，有液晶显示器(透过型液晶显示器、半透过型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水或电泳元件的显示装置的一个例子，有电子纸等。

[0244] 作为EL元件的一个例子，可以举出具有阳极、阴极、夹在阳极与阴极之间的EL层的元件等。作为EL层的一个例子，有利用来自单重态激子的发光(荧光)的层、利用来自三重态激子的发光(磷光)的层、包括利用来自单重态激子的发光(荧光)和来自三重态激子的发光(磷光)的层、由有机物形成的层、由无机物形成的层、包括由有机物和无机物形成的层、包含高分子材料的层、包含低分子材料的层或者包含高分子材料和低分子材料的层等。然而，不局限于此，作为EL元件可以使用各种元件。

[0245] 作为液晶元件的一个例子，有利用液晶的光学调制作用来控制光的透过或非透过的元件。该元件可以由一对电极及液晶层构成。另外，液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场或倾斜方向电场)控制。另外，具体而言，作为液晶元件的一个例子，可以举出向列液晶、胆甾相(cholesteric)液晶、近晶液晶、盘状液晶、热致液晶、溶致液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、强介电液晶、反强介电液晶、主链型液晶、侧链型高分子液晶、等离子体寻址液晶(PALC)、香蕉型液晶等。

[0246] 作为电子纸的显示方法的一个例子，可以使用:利用分子来进行显示的装置(如光学各向异性、染料分子取向等);利用粒子来进行显示的装置(如电泳、粒子移动、粒子旋转、相变等);通过使薄膜的一端移动而进行显示的装置;利用分子的发色/相变来进行显示的装置;通过分子的光吸收而进行显示的装置;电子和空穴相结合而通过自发光来进行显示的装置;等。具体而言，作为电子纸的显示方法的一个例子，有微囊型电泳、水平移动型电泳、垂直移动型电泳、球状扭转球、磁性扭转球、圆柱扭转球方式、带电色粉、电子粉粒状材料、磁泳型、磁热敏式、电润湿、光散射(透明/白浊变化)、胆甾相液晶/光导电层、胆甾相液晶、双稳态向列液晶、强介电液晶、二色性色素.液晶分散型、可动薄膜、利用无色染料的着色和去色、光致变色、电致变色、电沉积、柔性有机EL等。然而，不局限于此，作为电子纸及其显示方法，可以使用各种电子纸及显示方法。在此，通过使用微囊型电泳，可以解决迁移粒子的凝集和沉淀。电子粉粒状材料具有高速响应性、高反射率、广视角、低耗电量、存储性等的优点。

[0247] 另外，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0248] 实施方式5

[0249] 在本实施方式中，参照图14A至图14D对能够用于图6所示的显示装置的像素部102的结构进行说明。

[0250] 图14A是能够用于像素部102的晶体管的结构的一部分的俯视图，图14B是相当于沿着图14A的点划线A1-A2的截面图的图。另外，图14C是能够用于像素部102的晶体管的结构的一部分的俯视图，图14D是相当于沿着图14C的点划线B1-B2的截面图的图。此外，具有与上述实施方式所说明的部分相同的功能的部分由相同的附图标记及相同的阴影而省略详细说明。

[0251] 另外，在图14A和图14C所示的俯视图中，为了避免繁杂而省略绝缘层206、208、214、216、218等进行图示。

[0252] 图14A和图14B所示的能够用于像素部102的晶体管包括：形成在衬底202上的导电层204a；形成在衬底202及导电层204a上的绝缘层206、208；形成在绝缘层208上的半导体层210a；以及与半导体层210a电连接的导电层212d、212e。

[0253] 另外，在上述晶体管的上方形成有绝缘层214、216、218，导电层212e通过形成在绝缘层214、216、218中的开口部与导电层220c电连接。

[0254] 图14A和图14B所示的结构与图6所示的结构之间的不同之处在于导电层220c的位置。具体而言，在图14A和图14B所示的结构中，在一部分重叠于半导体层210a的区域中配置导电层220c。

[0255] 通过采用图14A和图14B所示的结构，可以使像素部102中的晶体管上方的过电流释放到导电层220c。

[0256] 图14C和图14D所示的能够用于像素部102的晶体管包括：形成在衬底202上的导电层204a；形成在衬底202及导电层204a上的绝缘层206、208；形成在绝缘层208上的半导体层210a；以及与半导体层210a电连接的导电层212d、212e。

[0257] 另外，在上述晶体管的上方形成有绝缘层214、216、218，导电层212e通过形成在绝缘层214、216、218中的开口部与导电层220c电连接。

[0258] 图14C和图14D所示的结构与图6所示的结构之间的不同之处在于绝缘层208的位置。具体而言，在图14C和图14D所示的结构中，绝缘层208的侧端部与半导体层210a的侧端部形成于大致相同的位置。例如，通过利用形成半导体层210a时的掩模对绝缘层208的一部分进行蚀刻，可以实现图14C和图14D所示的结构。

[0259] 通过采用图14C和图14D所示的结构，例如可以将导电层220c中的带电的电荷通过导电层212e及绝缘层206释放到导电层204a。

[0260] 另外，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0261] 实施方式6

[0262] 在本实施方式中，参照图15A至图17C对能够用作图1A和图1B所示的保护电路106的结构进行说明。

[0263] 图15A和图15B是能够用作保护电路106的元件的俯视图，图15C是相当于沿着图15A的点划线C1-C2、C3-C4的截面图的图，图15D是相当于沿着图15B的点划线D1-D2、D3-D4的截面图的图。

[0264] 图15A和图15C示出能够用作保护电路106的电阻元件。另外，图15A和图15C所示的

电阻元件包括:形成在衬底202上的绝缘层206、208;形成在绝缘层208上的半导体层210c;以及与半导体层210c电连接的导电层212g、212h。

[0265] 图15B和图15D示出能够用作保护电路106的电阻元件。另外,图15B和图15D所示的电阻元件包括:形成在衬底202上的绝缘层206、208;形成在绝缘层208上的半导体层210c及导电层212g、212h;形成在绝缘层208、半导体层210c及导电层212g、212h上的绝缘层214、216、218;形成在绝缘层218上且将导电层212g与半导体层210c电连接的导电层220d;以及形成在绝缘层218上且将导电层212h与半导体层210c电连接的导电层220e。

[0266] 在上述电阻元件中,可以将半导体层210c用作电阻元件。另外,通过作为半导体层210c采用图15A和图15B所示的结构,可以控制电阻率。

[0267] 另外,图16A、图16B和图16C示出能够用作保护电路106的电路结构的一个例子。

[0268] 图16A所示的电路结构包括布线451、452、481和晶体管402、404。

[0269] 在晶体管402中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线451电连接。另外,晶体管402的第一端子与布线481电连接。在晶体管404中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线452电连接。另外,晶体管404的第一端子与布线481电连接。

[0270] 图16B所示的电路结构包括布线453、454、482、483、484及晶体管406、408、410、412。

[0271] 在晶体管406中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线483电连接。另外,晶体管406的第一端子与布线482电连接。

[0272] 在晶体管408中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线484电连接。另外,晶体管408的第一端子与布线483电连接。

[0273] 在晶体管410中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线482电连接。另外,晶体管410的第一端子与布线483电连接。

[0274] 在晶体管412中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线483电连接。另外,晶体管412的第一端子与布线484电连接。

[0275] 图16C所示的电路结构包括布线455、456、485、486和晶体管414、416。

[0276] 在晶体管414中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线485电连接。另外,晶体管414的第一端子与布线486电连接。

[0277] 在晶体管416中,用作源电极的第一端子与用作栅电极的第二端子电连接,用作漏电极的第三端子与布线486电连接。另外,晶体管416的第一端子与布线485电连接。

[0278] 作为能够用于本发明的一个方式的保护电路106,也可以使用如图16A、图16B和图16C所示的电路结构那样的二极管连接的晶体管。

[0279] 另外,在图16A、图16B和图16C所示的电路结构中,通过作为用作源电极的第一端子与用作栅电极的第二端子之间的连接采用图17A至图17C所示的结构,可以任意控制电阻率。

[0280] 图17A示出能够用作保护电路106的电阻元件。另外,图17A所示的电阻元件包括:形成在衬底202上的导电层204e;形成在衬底202及导电层204e上的绝缘层206、208;形成在绝缘层208上的半导体层210d;与半导体层210d电连接的导电层212i;形成在绝缘层208、半导体层210d、导电层212i上的绝缘层214、216、218;形成在绝缘层218上且将半导体层210d

与导电层204e电连接的导电层220f。

[0281] 图17B示出能够用作保护电路106的电阻元件。另外，图17B所示的电阻元件包括：形成在衬底202上的导电层204e；形成在衬底202及导电层204e上的绝缘层206、208；形成在绝缘层208上的半导体层210d及导电层212j；形成在绝缘层208、半导体层210d及导电层212j上的绝缘层214、216、218；形成在绝缘层218上且将导电层212j与半导体层210d电连接的导电层220g；以及形成在绝缘层218上且将导电层204e与半导体层210d电连接的导电层220h。

[0282] 图14C示出能够用作保护电路106的电阻元件。另外，图17C所示的电阻元件包括：形成在衬底202上的导电层204e；形成在衬底202及导电层204e上的绝缘层206、208；形成在绝缘层208上的半导体层210d和导电层212j；与半导体层210d电连接的导电层212k；形成在绝缘层208、半导体层210d、导电层212j及导电层212k上的绝缘层214、216、218；形成在绝缘层218上且将导电层212i与半导体层210d电连接的导电层220i；以及形成在绝缘层218上且将导电层212k与半导体层210d电连接的导电层220j。

[0283] 作为用于图15A至图17C所说明的电阻元件的半导体层210c、210d，可以使用用于上述实施方式所示的半导体层210a、210b的材料。另外，也可以在与半导体层210a、210b的形成工序相同的工序中形成半导体层210c、210d。

[0284] 另外，作为用于图15A至图17C所说明的电阻元件的导电层212g、212h、212i、212j、212k，可以使用用于上述实施方式所示的导电层212a、212b、212c、212d、212e、212f的材料。此外，也可以在与导电层212a、212b、212c、212d、212e、212f的形成工序相同的工序中形成导电层212g、212h。

[0285] 另外，作为用于图15A至图17C所说明的电阻元件的导电层220d、220e、220f、220g、220h、220i、220j，可以使用用于上述实施方式所示的导电层220a、220b、220c的材料。此外，也可以在与导电层220a、220b、220c的形成工序相同的工序中形成导电层220d、220e。

[0286] 如此，作为用于保护电路的导电层，可以使用用作晶体管的栅电极的导电层和用作晶体管的源电极及漏电极的导电层等。例如，图17B所示的保护电路106的结构也可以表示为如下。

[0287] 图17B所示的保护电路106包括：与栅电极形成在同一表面上的第一导电层(导电层204e)；第一导电层(导电层204e)上的第一绝缘层(绝缘层206、208)；形成在第一绝缘层(绝缘层206、208)上且位于与第一导电层(导电层204e)重叠的位置的氧化物半导体层(半导体层210d)；氧化物半导体层(半导体层210d)上的第二绝缘层(绝缘层214、216、218)；以及第二绝缘层(绝缘层214、216、218)上的第二导电层(导电层220g、220h)，其中，第二导电层(导电层220g、220h)在形成在第二绝缘层(绝缘层214、216、218)中的开口部中与氧化物半导体层(半导体层210d)电连接。

[0288] 另外，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0289] 实施方式7

[0290] 在本实施方式中，参照图18A至图18D对能够用于实施方式1的图1A所示的显示装置的像素部102及驱动电路部104的晶体管的结构进行说明。

[0291] 图18A所示的晶体管包括：形成在衬底202上的导电层204c；形成在衬底202及导电层204c上的绝缘层206、208；形成在绝缘层208上的氧化物叠层211；以及形成在绝缘层208

及氧化物叠层211上的导电层212d、212e。另外，作为图18A所示的晶体管，也可以采用包括形成在该晶体管上，更详细地说形成在绝缘层208、氧化物叠层211及导电层212d、212e上的绝缘层214、216、218的结构。

[0292] 另外，根据用于导电层212d、212e的导电膜的种类，有时从氧化物叠层211的一部分夺取氧或者形成混合层，使氧化物叠层211中形成n型区域209。在图18A中，n型区域209可能形成在氧化物叠层211中的与导电层212d、212e接触的界面附近的区域中。另外，n型区域209可以用作源区及漏区。

[0293] 另外，在图18A所示的晶体管中，导电层204c用作栅电极，导电层212d用作源电极或漏电极，导电层212e用作源电极或漏电极。

[0294] 注意，在图18A所示的晶体管中，与导电层204c重叠的区域的氧化物叠层211的导电层212d与导电层212e之间的间隔被称为沟道长度。注意，沟道形成区是指氧化物叠层211中的与导电层204c重叠且夹在导电层212d和导电层212e之间的区域。此外，沟道是指在沟道形成区中电流主要流过的区域。

[0295] 在此，参照图18B对氧化物叠层211进行详细说明。

[0296] 图18B是图18A所示的氧化物叠层211的由虚线围绕的区域的放大图。氧化物叠层211包括氧化物半导体层211a和氧化物层211b。

[0297] 氧化物半导体层211a优选包括至少包含铟(In)、锌(Zn)及M(Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属)的以In-M-Zn氧化物表示的层。另外，作为氧化物半导体层211a，适当地援用能够用于上述实施方式所示的半导体层210a、210b的氧化物半导体材料或形成方法等。

[0298] 氧化物层211b由构成氧化物半导体层211a的元素中的一种以上构成。另外，氧化物层211b是其导带底端的能量比氧化物半导体层211a的导带底端的能量近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或0.4eV以下的氧化物膜。此时，当对用作栅电极的导电层204c施加电场时，在氧化物叠层211中的导带底端的能量小的氧化物半导体层211a中形成沟道。换言之，通过在氧化物半导体层211a与绝缘层214之间具有氧化物层211b，可以在不与绝缘层214接触的氧化物半导体层211a中形成晶体管的沟道。另外，由构成氧化物半导体层211a的元素中的一种以上构成氧化物层211b，由此在氧化物半导体层211a与氧化物层211b之间不容易发生界面散射。因此，因为在氧化物半导体层211a与氧化物层211b之间不阻碍载流子的移动，从而晶体管的场效应迁移率得到提高。另外，在氧化物半导体层211a与氧化物层211b之间不容易产生界面能级。当在氧化物半导体层211a与氧化物层211b之间具有界面能级时，有时形成以该界面为沟道的阈值电压不同的第二晶体管，使晶体管的外观上的阈值电压发生变动。因此，通过设置氧化物层211b，可以降低晶体管的阈值电压等电特性的不均匀。

[0299] 氧化物层211b包括至少包含以In-M-Zn氧化物(M为Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等)表示且M的原子数比高于氧化物半导体层211a的氧化物层。具体而言，作为氧化物层211b，使用与氧化物半导体层211a相比包含1.5倍以上、优选为2倍以上、更优选为3倍以上的高原子数比的上述元素的氧化物层。上述元素与氧的键合比铟与氧的键合坚固，所以具有抑制在氧化物层中产生氧缺损的功能。就是说，与氧化物半导体层211a相比，氧化物层211b不容易产生氧缺损。

[0300] 就是说，在氧化物半导体层211a、氧化物层211b为至少包含铟、锌及M(Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属)的In-M-Zn氧化物的情况下，当将氧化物层211b的原子数比设定为In:M:Zn＝x_1:y_1:z_1并且将氧化物半导体层211a的原子数比设定为In:M:Zn＝x_2:y_2:z_2时，y_1/x_1优选大于y_2/x_2。将y_1/x_1设定为y_2/x_2的1.5倍以上，优选为2倍以上，更优选为3倍以上。此时，在氧化物半导体层211a中，当y_2为x_2以上时可以使晶体管具有稳定的电特性。但是，当y_2为x_2的3倍以上时晶体管的场效应迁移率变低，所以y_2优选小于x_2的3倍。

[0301] 另外，当氧化物半导体层211a为In-M-Zn氧化物时，作为In和M的原子数比率，优选为In为25atomic％以上且M低于75atomic％，更优选为In为34atomic％以上且M低于66atomic％。此外，当氧化物层211b为In-M-Zn氧化物时，作为In和M的原子数比率，优选为In低于50atomic％且M为50atomic％以上，更优选为In低于25atomic％且M为75atomic％以上。

[0302] 作为氧化物半导体层211a及氧化物层211b，例如可以使用包含铟、锌及镓的氧化物半导体。具体而言，作为氧化物半导体层211a，可以使用In:Ga:Zn＝1:1:1[原子数比]的In-Ga-Zn氧化物、In:Ga:Zn＝3:1:2[原子数比]的In-Ga-Zn氧化物或具有与其相近组成的氧化物，并且，作为氧化物层211b，可以使用In:Ga:Zn＝1:3:2[原子数比]的In-Ga-Zn氧化物、In:Ga:Zn＝1:6:4[原子数比]的In-Ga-Zn氧化物、In:Ga:Zn＝1:9:6[原子数比]的In-Ga-Zn氧化物或具有与其相近组成的氧化物。

[0303] 另外，将氧化物半导体层211a的厚度设定为3nm以上且200nm以下，优选为3nm以上且100nm以下，更优选为3nm以上且50nm以下。此外，将氧化物层211b的厚度设定为3nm以上且100nm以下，优选为3nm以上且50nm以下。

[0304] 接着，参照图18C和图18D对氧化物叠层211的带结构进行说明。

[0305] 作为一个例子，使用能隙为3.15eV的In-Ga-Zn氧化物作为氧化物半导体层211a，使用能隙为3.5eV的In-Ga-Zn氧化物作为氧化物层211b。利用光谱椭偏仪(HORIBA JOBIN YVON公司制造的UT-300)测量能隙。

[0306] 氧化物半导体层211a及氧化物层211b的真空能级和价电子带上端的能量差(也称为电离电位)分别为8eV及8.2eV。另外，关于真空能级和价带顶端之间的能量差，利用紫外线光电子能谱(UPS:Ultraviolet Photoelectron Spectroscopy)装置(PHI公司制造的VersaProbe)进行测量。

[0307] 因此，氧化物半导体层211a及氧化物层211b的真空能级与导带底端之间的能量差(也称为电子亲和力)分别为4.85eV及4.7eV。

[0308] 图18C意图性地示出氧化物叠层211的带结构的一部分。在此，对以与氧化物叠层211接触的方式设置氧化硅膜的情况进行说明。图18C所示的EcI1表示氧化硅膜的导带底端的能量，EcS1表示氧化物半导体层211a的导带底端的能量，EcS2表示氧化物层211b的导带底端的能量，EcI2表示氧化硅膜的导带底端的能量。另外，在图18A中，EcI1相当于绝缘层208，在图18A中，EcI2相当于绝缘层214。

[0309] 如图18C所示，在氧化物半导体层211a及氧化物层211b中，导带底端的能量没有势垒而平缓地变化。换言之，可以说导带底端的能量连续地变化。这可以说是因为如下缘故：氧化物层211b包含与氧化物半导体层211a共通的元素，氧在氧化物半导体层211a与氧化物层211b之间移动，由此形成混合层。

[0310] 从图18C可知，氧化物叠层211的氧化物半导体层211a成为阱(well)，在使用氧化物叠层211的晶体管中沟道区形成在氧化物半导体层211a中。另外，由于氧化物叠层211的导带底端的能量连续地变化，也可以说氧化物半导体层211a和氧化物层211b连续地接合。

[0311] 另外，如图18C所示那样，虽然在氧化物层211b与绝缘层214之间的界面附近有可能形成起因于杂质或缺陷的陷阱能级，但是通过设置氧化物层211b，可以使氧化物半导体层211a与该陷阱能级离开。注意，当EcS1与EcS2之间的能量差小时，有时氧化物半导体层211a的电子越过该能量差到达陷阱能级。电子被陷阱能级俘获，在绝缘层界面产生负的固定电荷，这导致晶体管的阈值电压漂移到正的方向。因此，通过将EcS1与EcS2之间的能量差设定为0.1eV以上，优选为0.15eV以上，晶体管的阈值电压变动得到降低而使晶体管具有稳定的电特性，所以是优选的。

[0312] 图18D意图性地示出氧化物叠层211的带结构的一部分，其是图18C所示的带结构的变形例子。在此，对以与氧化物叠层211接触的方式设置氧化硅膜的情况进行说明。图18D所示的EcI1表示氧化硅膜的导带底端的能量，EcS1表示氧化物半导体层211a的导带底端的能量，EcI2表示氧化硅膜的导带底端的能量。另外，在图18A中，EcI1相当于绝缘层208，在图18A中，EcI2相当于绝缘层214。

[0313] 在图18A所示的晶体管中，当形成导电层212d、212e时，有时氧化物叠层211的上方，即氧化物层211b被蚀刻。但是，当形成氧化物层211b时，有时在氧化物半导体层211a的顶面形成氧化物半导体层211a和氧化物层211b的混合层。

[0314] 例如，在氧化物半导体层211a为In:Ga:Zn＝1:1:1[原子数比]的In-Ga-Zn氧化物或In:Ga:Zn＝3:1:2[原子数比]的In-Ga-Zn氧化物并且氧化物层211b为In:Ga:Zn＝1:3:2[原子数比]的In-Ga-Zn氧化物或In:Ga:Zn＝1:6:4[原子数比]的In-Ga-Zn氧化物的情况下，与氧化物半导体层211a相比，氧化物层211b的Ga的含量多，所以在氧化物半导体层211a的顶面可能形成与GaOx层或氧化物半导体层211a相比包含更多的Ga的混合层。

[0315] 因此，即使氧化物层211b被蚀刻，EcS1的位于EcI2一侧的导带底端的能量也会变高，有时成为图18D所示的带结构。

[0316] 另外，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0317] 实施方式8

[0318] 在本实施方式中，参照图19对能够用于实施方式1的图1A所示的显示装置的连接端子部的结构进行说明。此外，具有与上述实施方式所说明的部分相同的功能的部分由相同的附图标记及相同的阴影而省略详细说明。

[0319] 能够用于图19所示的显示装置的连接端子部103包括：形成在衬底202上的绝缘层206、208；形成在绝缘层208上的导电层212m；以及形成在绝缘层208上的绝缘层214、216。另外，在绝缘层214、216中形成有到达导电层212m的开口部，导电层212m通过各向异性导电剂262与FPC264所具有的端子电连接。

[0320] 另外，在连接端子部103中，在绝缘层216上形成有密封剂266。通过密封剂266，在衬底202与衬底252之间密封有液晶层260。

[0321] 另外，作为绝缘层206、208，可以援用上述实施方式所示的材料。

[0322] 另外，导电层212m可以使用与形成在保护电路106及驱动电路部104中的导电层212a、212b、212c相同的导电膜形成。

[0323] 各向异性导电剂262是使对热固化性或热固化性及光固化性的树脂混合导电粒子的膏状或片状的材料固化的导电剂。各向异性导电剂262通过光照射或热压接合成成为呈现各向异性的导电材料。作为用于向异性导电剂262的导电粒子，例如可以使用由薄膜状的金属诸如Au、Ni、Co等覆盖球状的有机树脂的粒子。

[0324] 如本实施方式所示，通过在连接端子部103与驱动电路部104之间设置本发明的一个方式的保护电路106，例如可以保护驱动电路部104避免受到当贴合FPC264时产生的静电等导致的过电流的影响。因此，可以提供一种可靠性高的显示装置。

[0325] 注意，本说明书中的显示装置是指图像显示装置或光源(包括照明装置)。另外，显示装置还包括：安装有诸如FPC或TCP的连接器的模块；在TCP的端部设置有印刷线路板的模块；或者通过COG方式将IC(集成电路)直接安装到显示元件的模块。

[0326] 另外，本实施方式所示的结构等可以与其他实施方式所示的结构适当地组合而实施。

[0327] 实施方式9

[0328] 在本实施方式中，参照图20A至图23对可以与本发明的一个方式的显示装置组合的触摸传感器及显示模块进行说明。

[0329] 图20A是示出触摸传感器4500的结构例子的分解透视图，图20B是示出触摸传感器4500的电极的结构例子的平面图。另外，图21是示出触摸传感器4500的结构例子的截面图。

[0330] 在图20A和图20B所示的触摸传感器4500中，在衬底4910上形成有配置在X轴方向上的多个导电层4510以及配置在与X轴方向交叉的Y轴方向上的多个导电层4520。图20A和图20B所示的触摸传感器4500分开示出形成有多个导电层4510的平面图与多个导电层4520的平面图。

[0331] 另外，图21是图20A和图20B所示的触摸传感器4500的导电层4510和导电层4520的交叉部分的等效电路图。如图21所示，在导电层4510与导电层4520的交叉部分形成电容4540。

[0332] 另外，导电层4510、4520具有多个四边形状的导电膜连接的结构。多个导电层4510及多个导电层4520以导电膜的四边形状的部分的位置不重叠的方式设置。为了防止导电层4510接触于导电层4520，在导电层4510与导电层4520交叉的部分设置有绝缘膜。

[0333] 另外，图22是说明图20A和图20B所示的触摸传感器4500的导电层4510与导电层4520之间的连接结构的一个例子的截面图，作为一个例子示出导电层4510(导电层4510a、4510b、4510c)与导电层4520交叉的部分的截面图。

[0334] 如图22所示，导电层4510由第一层的导电层4510a及导电层4510b以及绝缘层4810上的第二层的导电层4510c构成。导电层4510a通过导电层4510c与导电层4510b连接。导电层4520由第一层的导电膜形成。以覆盖导电层4510、4520及电极4710的方式形成有绝缘层4820。作为绝缘层4810、4820，例如可以形成氧氮化硅膜。另外，也可以在衬底4910与导电层4510及电极4710之间形成由绝缘膜构成的基底膜。作为基底膜，例如可以形成氧氮化硅膜。

[0335] 导电层4510和导电层4520由具有可见光透光性的导电材料形成。例如，作为具有透光性的导电材料，有包含氧化硅的氧化铟锡、氧化铟锡、氧化锌、氧化铟锌或添加有镓的氧化锌等。

[0336] 导电层4510a与电极4710连接。电极4710构成用来与FPC连接的端子。与导电层

4510同样，导电层4520也连接到其他电极4710。电极4710例如可以使用钨膜形成。

[0337] 以覆盖导电层4510、4520及电极4710的方式形成有绝缘层4820。为了将电极4710与FPC电连接，在电极4710上的绝缘层4810及绝缘层4820中形成有开口。在绝缘层4820上，由粘合剂或粘合薄膜等贴合衬底4920。通过由粘合剂或粘合薄膜将衬底4910一侧安装在显示面板的滤色片衬底，构成触摸屏。

[0338] 接着，参照图23对可以使用本发明的一个方式的显示装置的显示模块进行说明。

[0339] 图23所示的显示模块8000在上部覆盖物8001与下部覆盖物8002之间包括连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光单元8007、框架8009、印刷衬底8010、电池8011。

[0340] 上部覆盖物8001及下部覆盖物8002根据触摸面板8004及显示面板8006的尺寸可以适当地改变形状或尺寸。

[0341] 触摸面板8004可以使用电阻膜方式或静电容量方式的触摸面板并重叠于显示面板8006。此外，也可以使显示面板8006的对置衬底(密封衬底)具有触摸面板的功能。另外，也可以在显示面板8006的各像素内设置光传感器，而用作光学触摸面板。

[0342] 背光单元8007具有光源8008。光源8008也可以设置在背光单元8007的端部，并使用光扩散板。

[0343] 框架8009除了具有保护显示面板8006的功能以外还具有用来遮断因印刷衬底8010的工作而产生的电磁波的电磁屏蔽的功能。此外，框架8009具有放热板的功能。

[0344] 印刷衬底8010具有用来输出电源电路、视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源，既可以采用外部的商业电源，又可以采用另行设置的电池8011的电源。当使用商用电源时，可以省略电池8011。

[0345] 此外，在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0346] 另外，本实施方式所示的结构等可以与其他实施方式所示的结构适当地组合而实施。

[0347] 实施方式10

[0348] 在本实施方式中说明电子设备的例子。

[0349] 图24A至图24H以及图25A至图25D是示出电子设备的图。这些电子设备可以包括框体5000、显示部5001、扬声器5003、LED灯5004、操作键5005(包括电源开关或操作开关)、连接端子5006、传感器5007(它具有测量如下因素的功能：力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0350] 图24A示出移动计算机，该移动计算机除了上述以外还可以包括开关5009、红外端口5010等。图24B示出具备记录媒体的便携式图像再现装置(例如DVD再现装置)，该便携式图像再现装置除了上述以外还可以包括第二显示部5002、记录媒体读取部5011等。图24C示出护目镜型显示器，该护目镜型显示器除了上述以外还可以包括第二显示部5002、支撑部5012、耳机5013等。图24D示出便携式游戏机，该便携式游戏机除了上述以外还可以包括记录媒体读取部5011等。图24E示出具有电视接收功能的数码相机，该数码相机除了上述以外还可以包括天线5014、快门按钮5015、图像接收部5016等。图24F示出便携式游戏机，该便携式游戏机除了上述以外还可以包括第二显示部5002、记录媒体读取部5011等。图24G示出电

视接收机，该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图24H示出便携式电视接收机，该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器5017等。图25A示出显示器，该显示器除了上述以外还可以包括支撑台5018等。图25B示出相机，该相机除了上述以外还可以包括外部连接端口5019、快门按钮5015、图像接收部5016等。图25C示出计算机，该计算机除了上述以外还可以包括指向装置5020、外部连接端口5019、读写器5021等。图25D示出移动电话机，该移动电话机除了上述以外还可以包括发送部、接收部、用于移动电话/移动终端的单波段播放(one-segment broadcasting)部分接收服务用调谐器等。

[0351] 图24A至图24H、图25A至图25D所示的电子设备可以具有各种功能。例如，可以具有如下功能：将各种信息(静态图像、动态图像、文字图像等)显示在显示部上；触控面板；显示日历、日期或时刻等；通过利用各种软件(程序)控制处理；进行无线通信；通过利用无线通信功能来连接到各种计算机网络；通过利用无线通信功能，进行各种数据的发送或接收；读出储存在记录媒体中的程序或数据来将其显示在显示部上等。再者，在具有多个显示部的电子设备中，可以具有如下功能：一个显示部主要显示图像信息，而另一个显示部主要显示文字信息；或者，在多个显示部上显示考虑到视差的图像来显示立体图像等。再者，在具有图像接收部的电子设备中，可以具有如下功能：拍摄静态图像；拍摄动态图像；对所拍摄的图像进行自动或手动校正；将所拍摄的图像储存在记录媒体(外部或内置于相机)中；将所拍摄的图像显示在显示部上等。注意，图24A至图24H、图25A至图25D所示的电子设备可具有的功能不局限于上述功能，而可以具有各种各样的功能。

[0352] 本实施方式所述的电子设备的特征在于具有用来显示某些信息的显示部。

[0353] 下面，说明显示装置的应用例子。

[0354] 图25E示出将显示装置与建筑物设置为一体的例子。图25E包括框体5022、显示部5023、作为操作部的遥控装置5024、扬声器5025等。显示装置以壁挂式的方式结合到建筑物内并且可以不需要较大的空间而设置。

[0355] 图25F示出在建筑物内将显示装置与建筑物设置为一体的另一个例子。显示模块5026与浴室5027设置为一体，并且洗澡的人可以观看显示模块5026。

[0356] 注意，在本实施方式中，作为建筑物的例子举出墙、浴室。但是，本实施方式不局限于此，也可以将显示装置安装到各种建筑物。

[0357] 下面，示出将显示装置与移动体设置为一体的例子。

[0358] 图25G是示出将显示装置设置到汽车中的例子的图。显示模块5028被安装到汽车的车体5029，并且可以根据需要显示车体的工作或从车体内部或外部输入的信息。另外，也可以具有导航功能。

[0359] 图25H是示出将显示装置与旅客用飞机设置为一体的例子的图。图25H是示出在将显示模块5031设置在旅客用飞机的座位上方的天花板5030时的使用时的形状的图。显示模块5031通过铰链部5032被结合到天花板5030，并且利用铰链部5032的伸缩乘客可以观看显示模块5031。显示模块5031具有通过乘客的操作来显示信息的功能。

[0360] 注意，在本实施方式中，作为移动体例示出汽车、飞机，但是不限于此，还可以设置在各种移动体诸如摩托车、自动四轮车(包括汽车、公共汽车等)、电车(包括单轨、铁路等)以及船舶等。

[0361] 注意，在本说明书等中，可以在某一个实施方式中所述的附图或文章中取出其一部分而构成发明的一个方式。因此，在记载有说明某一部分的附图或文章的情况下，取出其一部分的附图或文章的内容也是作为发明的一个方式被公开的，所以能够构成发明的一个方式。因此，例如，可以在记载有一个或多个主动元件(晶体管、二极管等)、布线、被动元件(电容元件、电阻元件等)、导电层、绝缘层、半导体层、有机材料、无机材料、构件、装置、工作方法、制造方法等的附图或文章中，取出其一部分而构成发明的一个方式。例如，可以从具有N个(N是整数)电路元件(晶体管、电容元件等)构成的电路图中取出M个(M是整数，M＜N)电路元件(晶体管、电容元件等)来构成发明的一个方式。作为其他例子，可以从具有N个(N是整数)层构成的截面图中取出M个(M是整数，M＜N)层来构成发明的一个方式。再者，作为其他例子，可以从具有N个(N是整数)要素构成的流程图中取出M个(M是整数，M＜N)要素来构成发明的一个方式。

[0362] 此外，在本说明书等中，在某一个实施方式所述的附图或文章中记载有至少一个具体例子的情况下，所属技术领域的普通技术人员可以很容易地理解一个事实就是可以由上述具体例子导出该具体例子的上位概念。因此，在某一个实施方式中所述的附图或文章中记载有至少一个具体例子的情况下，该具体例子的上位概念也作为发明的一个方式被公开，并可以构成发明的一个方式。

[0363] 另外，在本说明书等中，至少附图中记载的内容(也可以是附图中的一部分)作为发明的一个方式被公开，并可以构成发明的一个方式。因此，其内容只要在附图中有记载，即使不使用文章描述，该内容也作为发明的一个方式被公开，并可以构成发明的一个方式。同样地，取出附图中的一部分的附图也作为发明的一个方式被公开，并可以构成发明的一个方式。

[0364] 实施方式11

[0365] 另外，虽然上述实施方式所公开的导电膜或半导体膜可以利用溅射法或等离子体CVD法形成，但是也可以利用热CVD(Chemical Vapor Deposition:化学气相沉积)法等其他方法形成。作为热CVD法的例子，可以举出MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法或ALD(Atomic Layer Deposition:原子层沉积)法。

[0366] 由于热CVD法是不使用等离子体的成膜方法，因此具有不产生因等离子体损伤所引起的缺陷的优点。

[0367] 可以以如下方法进行利用热CVD法的成膜:将原料气体及氧化剂同时供应到处理室内，将处理室内的压力设定为大气压或减压，使其在衬底附近或在衬底上发生反应。

[0368] 另外，可以以如下方法进行利用ALD法的成膜:将处理室内的压力设定为大气压或减压，将用于反应的原料气体依次引入处理室，并且按该顺序反复地引入气体。例如，通过切换各开关阀(也称为高速阀)来将两种以上的原料气体依次供应到处理室内。为了防止多种原料气体混合，例如，在引入第一原料气体的同时或之后引入惰性气体(氩或氮等)等，然后引入第二原料气体。注意，当同时引入第一原料气体及惰性气体时，惰性气体用作载流子气体，另外，可以在引入第二原料气体的同时引入惰性气体。另外，也可以利用真空抽气将第一原料气体排出来代替引入惰性气体，然后引入第二原料气体。第一原料气体附着到衬底表面形成第一层，之后引入的第二原料气体与该第一层起反应，由此第二层层叠在第一

层上而形成薄膜。通过按该顺序反复多次地引入气体直到获得所希望的厚度为止，可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节，因此，ALD法可以准确地调节厚度而适用于形成微型FET。

[0369] 利用MOCVD法或ALD法等热CVD法可以形成以上所示的实施方式所公开的导电膜或半导体膜，例如，当形成In-Ga-Zn-O膜时，使用三甲基铟、三甲基镓及二甲基锌。另外，三甲基铟的化学式为$In(CH_3)_3$。另外，三甲基镓的化学式为$Ga(CH_3)_3$。另外，二甲基锌的化学式为$Zn(CH_3)_2$。另外，不局限于上述组合，也可以使用三乙基镓(化学式为$Ga(C_2H_5)_3$)代替三甲基镓，并使用二乙基锌(化学式为$Zn(C_2H_5)_2$)代替二甲基锌。

[0370] 例如，在使用利用ALD法的成膜装置形成钨膜时，依次反复引入WF_6气体和B_2H_6气体形成初始钨膜，然后同时引入WF_6气体和H_2气体形成钨膜。注意，也可以使用SiH_4气体代替B_2H_6气体。

[0371] 例如，在使用利用ALD法的成膜装置形成氧化物半导体膜如In-Ga-Zn-O膜时，依次反复引入$In(CH_3)_3$气体和O_3气体形成In-O层，然后同时引入$Ga(CH_3)_3$气体和O_3气体形成GaO层，之后同时引入$Zn(CH_3)_2$气体和O_3气体形成ZnO层。注意，这些层的顺序不局限于上述例子。此外，也可以混合这些气体来形成混合化合物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意，虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的H_2O气体代替O_3气体，但是优选使用不包含H的O_3气体。另外，也可以使用$In(C_2H_5)_3$气体代替$In(CH_3)_3$气体。此外，也可以使用$Ga(C_2H_5)_3$气体代替$Ga(CH_3)_3$气体。还可以使用$In(C_2H_5)_3$气体代替$In(CH_3)_3$气体。另外，也可以使用$Zn(CH_3)_2$气体。

[0372] 符号说明

[0373] 102 像素部

[0374] 103 连接端子部

[0375] 104 驱动电路部

[0376] 104a 栅极驱动器

[0377] 104b 源极驱动器

[0378] 106 保护电路

[0379] 106_1 保护电路

[0380] 106_2 保护电路

[0381] 106_3 保护电路

[0382] 106_4 保护电路

[0383] 108 像素电路

[0384] 109 连接部

[0385] 110 布线

[0386] 112 布线

[0387] 114 电阻元件

[0388] 130 液晶元件

[0389] 131_1 晶体管

[0390] 131_2 晶体管

[0391] 133_1 电容元件

[0392] 133_2 电容元件

[0393] 134 晶体管

[0394] 135 发光元件

[0395] 140 衬底

[0396] 142 导电层

[0397] 144 绝缘层

[0398] 146 绝缘层

[0399] 148 导电层

[0400] 151 晶体管

[0401] 152 晶体管

[0402] 153 晶体管

[0403] 154 晶体管

[0404] 155 晶体管

[0405] 155A 晶体管

[0406] 155B 晶体管

[0407] 156 晶体管

[0408] 156A 晶体管

[0409] 156B 晶体管

[0410] 157 晶体管

[0411] 157A 晶体管

[0412] 157B 晶体管

[0413] 158 晶体管

[0414] 158A 晶体管

[0415] 158B 晶体管

[0416] 159 晶体管

[0417] 160 晶体管

[0418] 161 晶体管

[0419] 162 晶体管

[0420] 163 晶体管

[0421] 164 晶体管

[0422] 165 晶体管

[0423] 166 晶体管

[0424] 171 电阻元件

[0425] 172 电阻元件

[0426] 173 电阻元件

[0427] 174 电阻元件

[0428] 174A 电阻元件

[0429] 174B 电阻元件

[0430] 175 电阻元件

[0431] 175A 电阻元件

[0432] 175B 电阻元件

[0433] 176 电阻元件

[0434] 177 电阻元件

[0435] 178 电阻元件

[0436] 179 电阻元件

[0437] 180 电阻元件

[0438] 181 布线

[0439] 182 布线

[0440] 183 布线

[0441] 184 布线

[0442] 185 布线

[0443] 186 布线

[0444] 187 布线

[0445] 188 布线

[0446] 189 布线

[0447] 190 布线

[0448] 191 布线

[0449] 199 电阻元件

[0450] 202 衬底

[0451] 204a 导电层

[0452] 204b 导电层

[0453] 204c 导电层

[0454] 204d 导电层

[0455] 204e 导电层

[0456] 206 绝缘层

[0457] 207a 开口部

[0458] 207b 开口部

[0459] 208 绝缘层

[0460] 209 n型区域

[0461] 210a 半导体层

[0462] 210b 半导体层

[0463] 210c 半导体层

[0464] 210d 半导体层

[0465] 211 氧化物叠层

[0466] 211a 氧化物半导体层

[0467] 211b 氧化物层

[0468] 212a 导电层

[0469] 212b 导电层

[0470] 212c 导电层

[0471] 212d 导电层

[0472] 212e 导电层

[0473] 212f 导电层

[0474] 212g 导电层

[0475] 212h 导电层

[0476] 212i 导电层

[0477] 212j 导电层

[0478] 212k 导电层

[0479] 212m 导电层

[0480] 214 绝缘层

[0481] 216 绝缘层

[0482] 218 绝缘层

[0483] 219a 开口部

[0484] 219b 开口部

[0485] 219c 开口部

[0486] 220a 导电层

[0487] 220b 导电层

[0488] 220c 导电层

[0489] 220d 导电层

[0490] 220e 导电层

[0491] 220f 导电层

[0492] 220g 导电层

[0493] 220h 导电层

[0494] 220i 导电层

[0495] 220j 导电层

[0496] 252 衬底

[0497] 254 有色层

[0498] 256 绝缘层

[0499] 258 导电层

[0500] 260 液晶层

[0501] 262 各向异性导电剂

[0502] 264 FPC

[0503] 266 密封剂

[0504] 268 液晶元件

[0505] 402 晶体管

[0506] 404 晶体管

[0507] 406 晶体管

[0508] 408 晶体管

[0509] 410 晶体管

[0510] 412 晶体管

[0511] 414 晶体管

[0512] 416 晶体管

[0513] 451 布线

[0514] 452 布线

[0515] 453 布线

[0516] 454 布线

[0517] 455 布线

[0518] 456 布线

[0519] 481 布线

[0520] 482 布线

[0521] 483 布线

[0522] 484 布线

[0523] 485 布线

[0524] 486 布线

[0525] 4500 触摸传感器

[0526] 4510 导电层

[0527] 4510a 导电层

[0528] 4510b 导电层

[0529] 4510c 导电层

[0530] 4520 导电层

[0531] 4540 电容

[0532] 4710 电极

[0533] 4810 绝缘层

[0534] 4820 绝缘层

[0535] 4910 衬底

[0536] 4920 衬底

[0537] 5000 框体

[0538] 5001 显示部

[0539] 5002 显示部

[0540] 5003 扬声器

[0541] 5004 LED灯

[0542] 5005 操作键

[0543] 5006 连接端子

[0544] 5007 传感器

[0545] 5008 麦克风

[0546] 5009 开关

[0547] 5010 红外端口

[0548] 5011 记录媒体读取部

[0549] 5012 支撑部

[0550] 5013 耳机

[0551] 5014 天线

[0552] 5015 快门按钮

[0553] 5016 图像接收部

[0554] 5017 充电器

[0555] 5018 支撑台

[0556] 5019 外部连接端口

[0557] 5020 指向装置

[0558] 5021 读写器

[0559] 5022 框体

[0560] 5023 显示部

[0561] 5024 遥控装置

[0562] 5025 扬声器

[0563] 5026 显示模块

[0564] 5027 浴室

[0565] 5028 显示模块

[0566] 5029 车体

[0567] 5030 天花板

[0568] 5031 显示模块

[0569] 5032 铰链部

[0570] 8000 显示模块

[0571] 8001 上部覆盖物

[0572] 8002 下部覆盖物

[0573] 8003 FPC

[0574] 8004 触摸面板

[0575] 8005 FPC

[0576] 8006 显示面板

[0577] 8007 背光单元

[0578] 8008 光源

[0579] 8009 框架

[0580] 8010 印刷衬底

[0581] 8011 电池

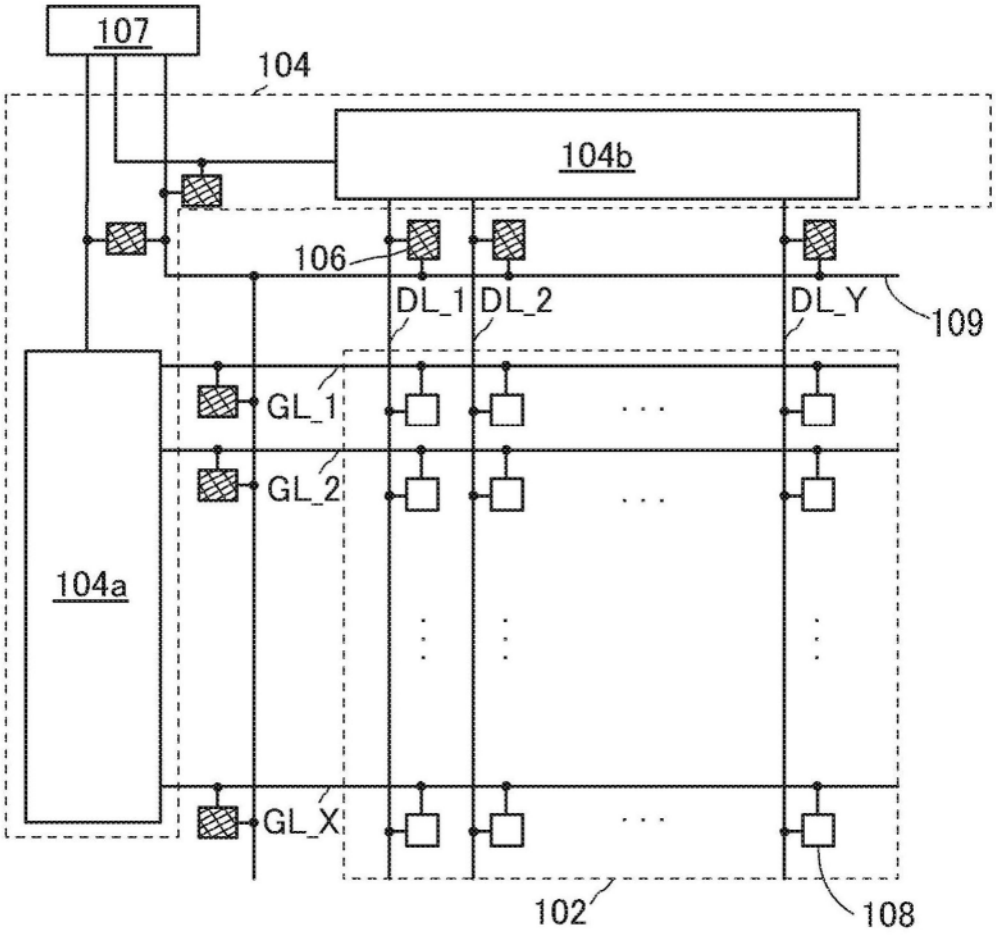

107
104
104b
106
DL_1
DL_2
DL_Y
109
GL_1
GL_2
GL_X
104a
102
108

图1A

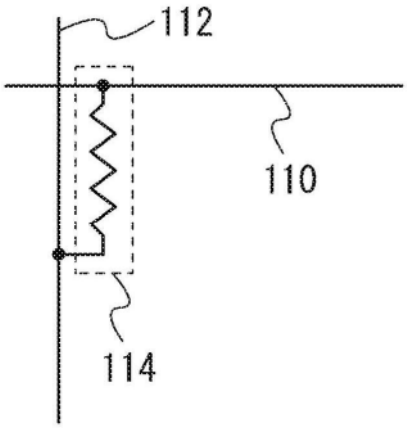

112
110
114

图1B

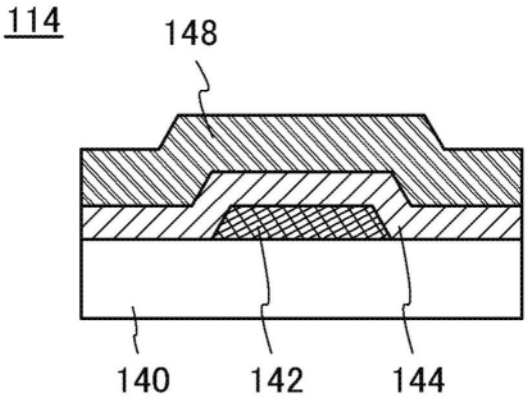


图2A

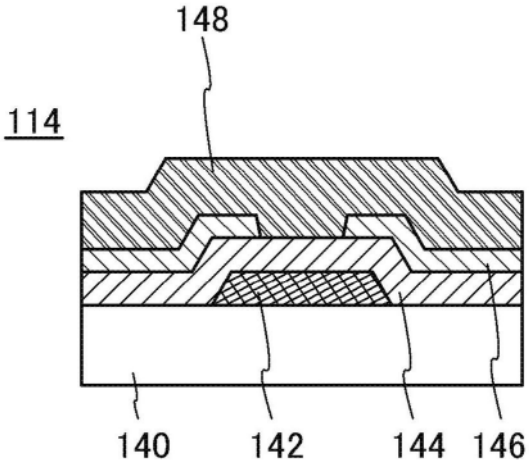


图2B

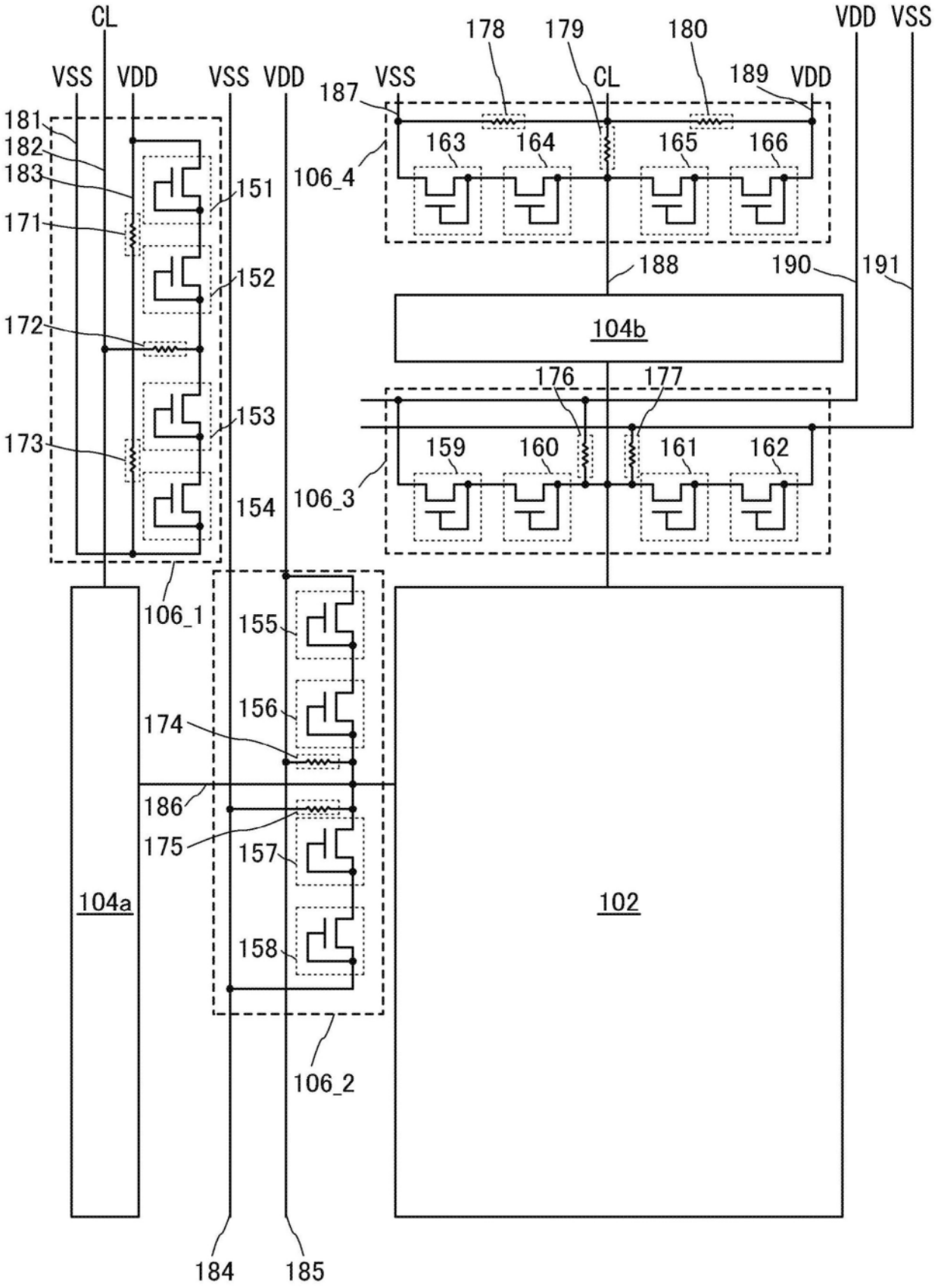

CL
VSS
VDD
VSS
VDD
VSS
178
179
CL
180
189
VDD
VDD
VSS
187
181
182
183
171
172
173
151
152
153
154
106_1
106_4
163
164
165
166
188
190
191
104b
176
177
159
160
161
162
106_3
155
156
174
186
175
157
158
106_2
104a
102
184
185

图3

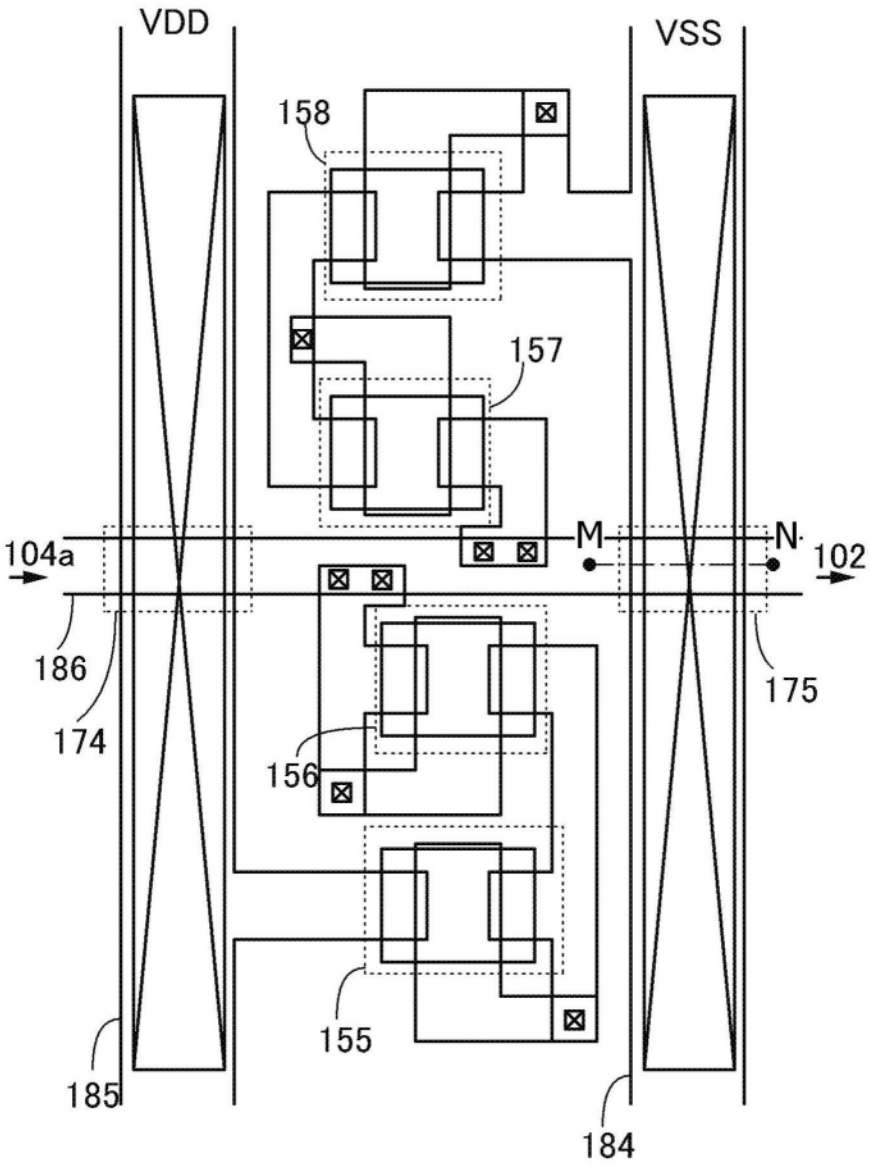


图4A

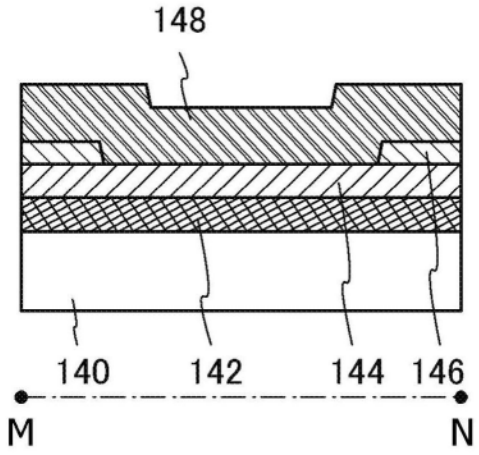

148
140
142
144
146
M
N

图4B

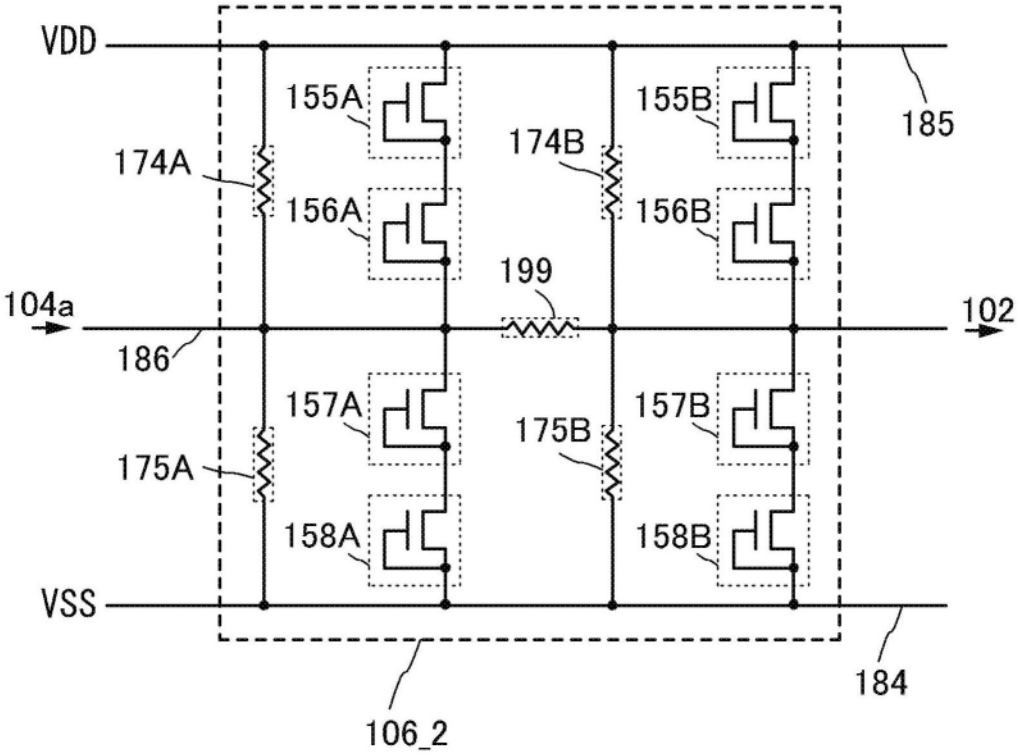

VDD
155A
155B
185
174A
174B
156A
156B
199
104a
102
186
157A
157B
175B
175A
158A
158B
VSS
184
106_2

图5

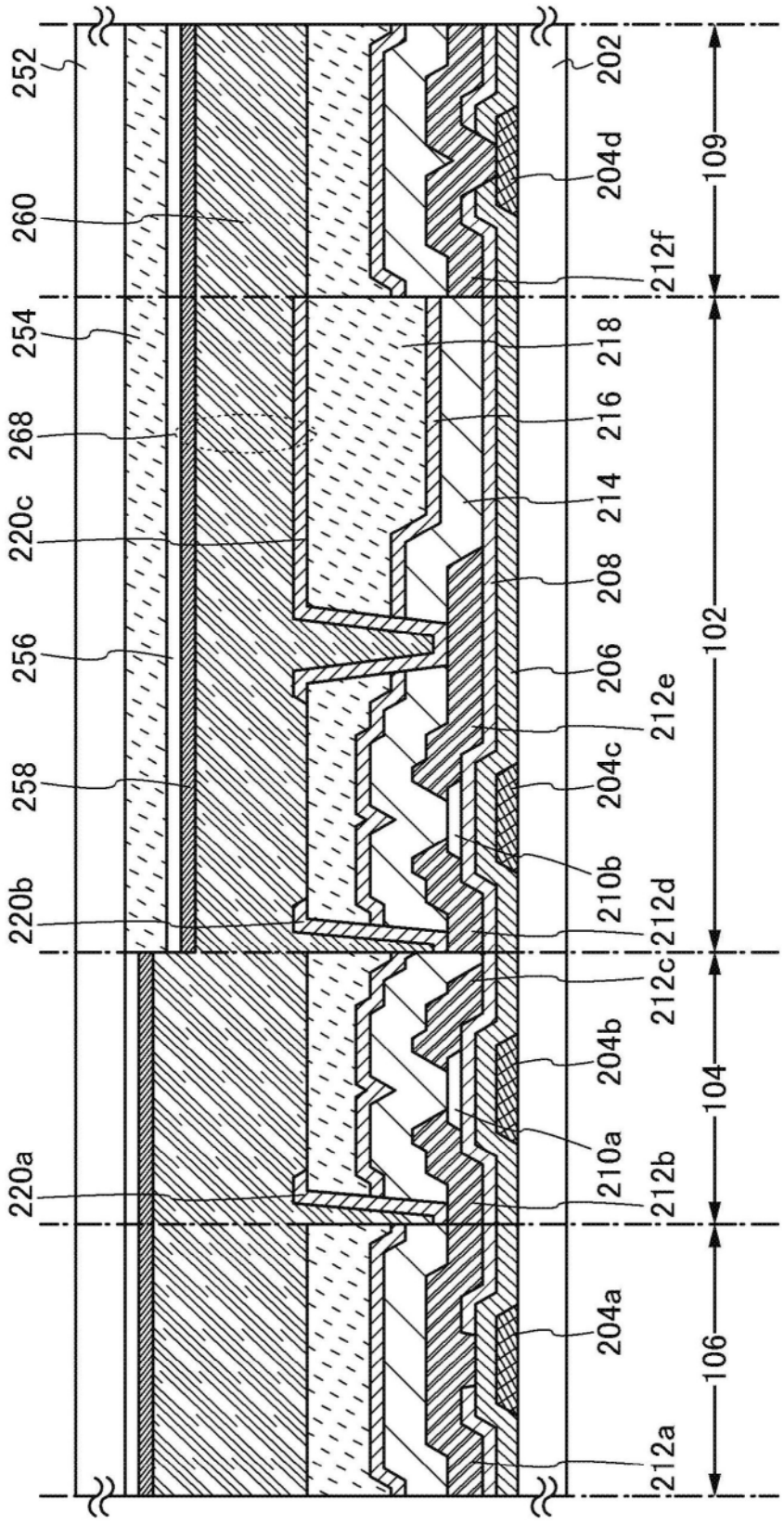

252
260
254
268
220c
256
258
220b
220a
202
204d
212f
218
216
214
208
206
212e
204c
210b
212d
212c
204b
210a
212b
204a
212a
109
102
104
106

图6

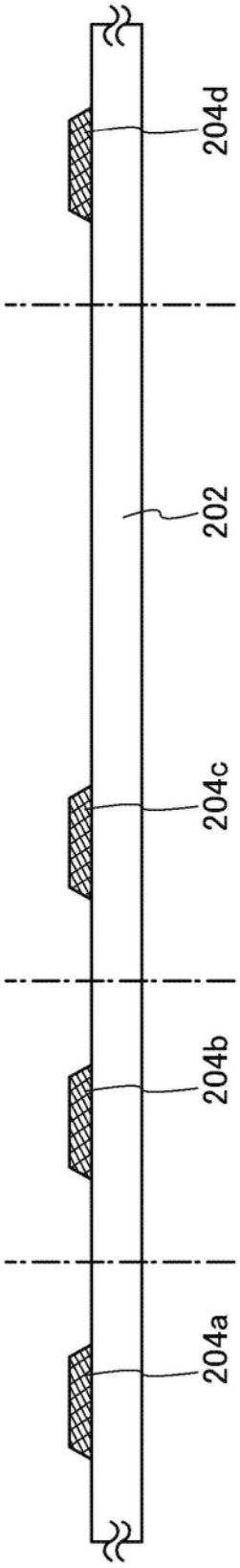


图7A

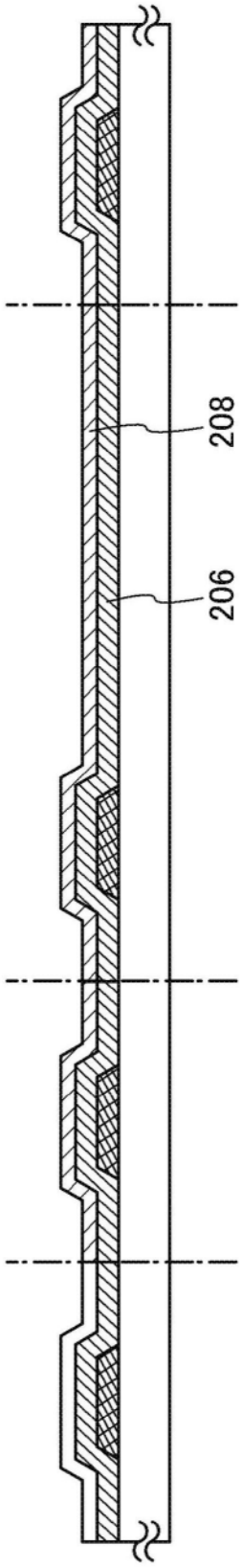


图7B

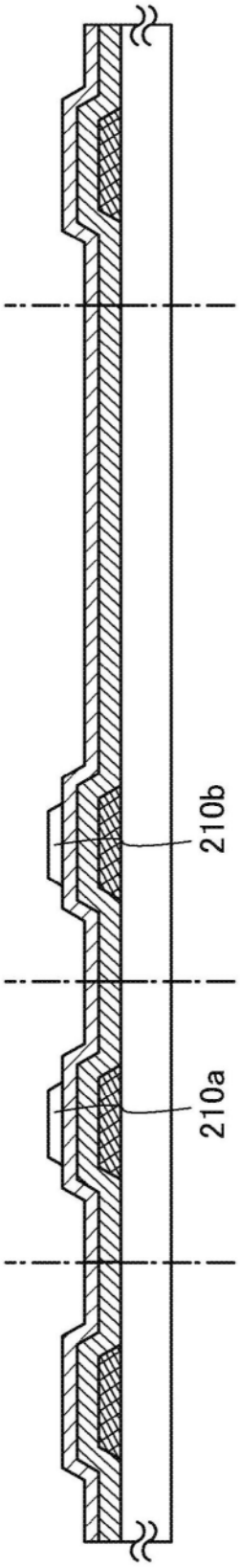


图8A

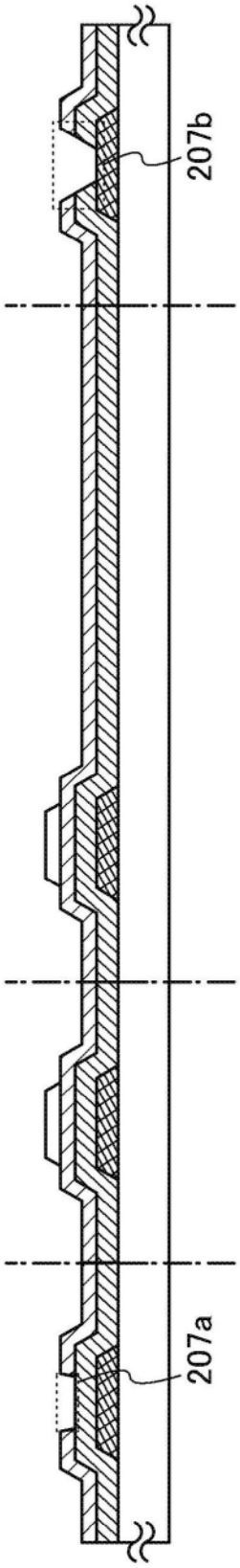


图8B

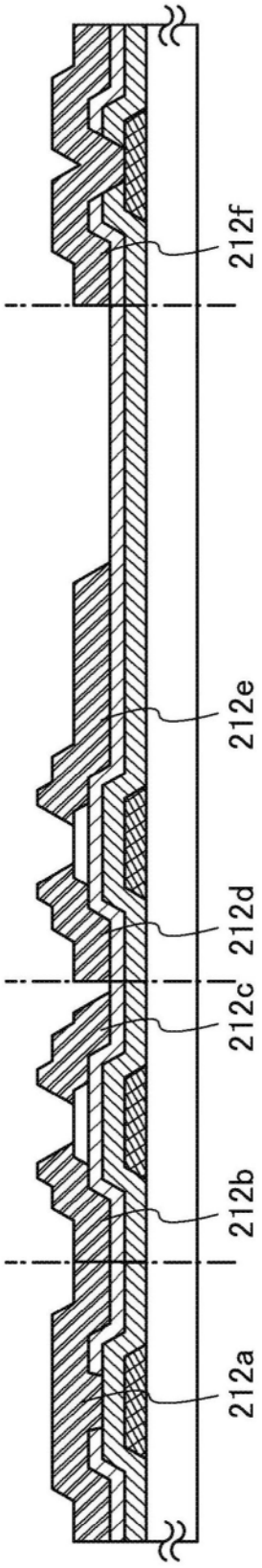


图9A

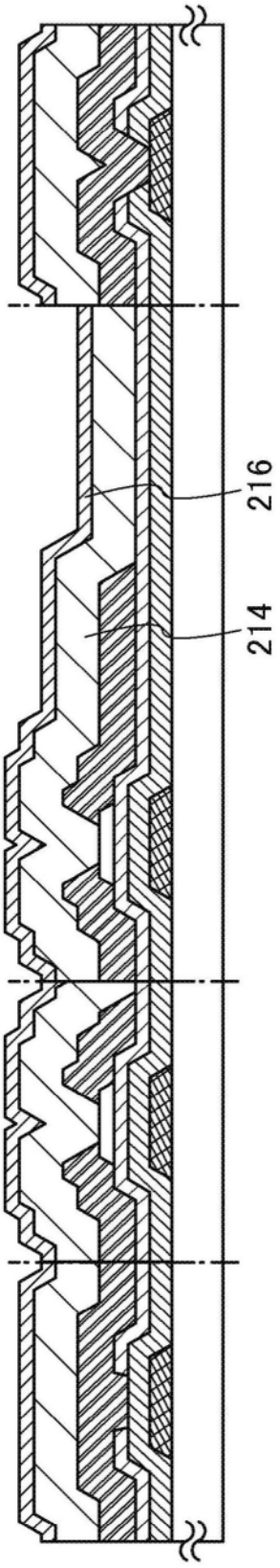


图9B

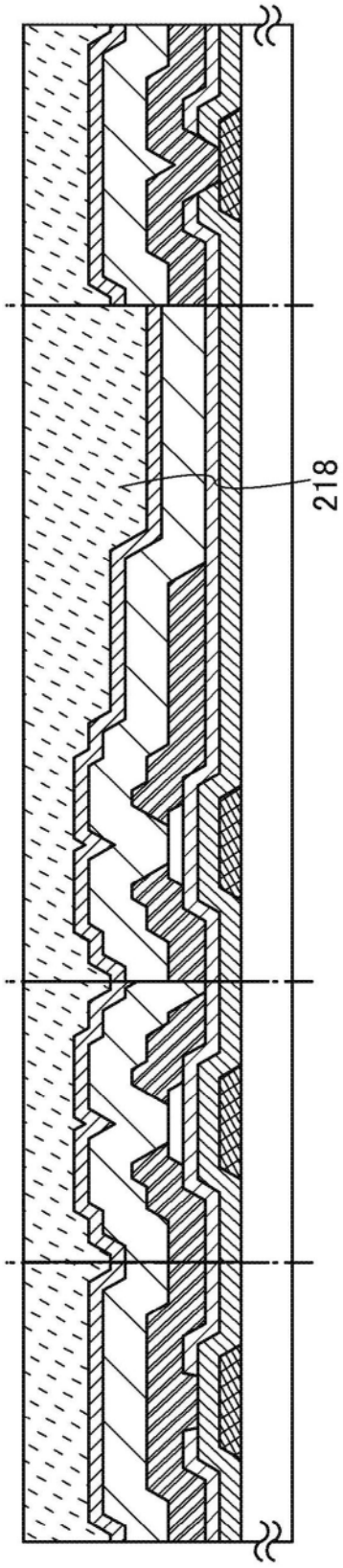


图10A

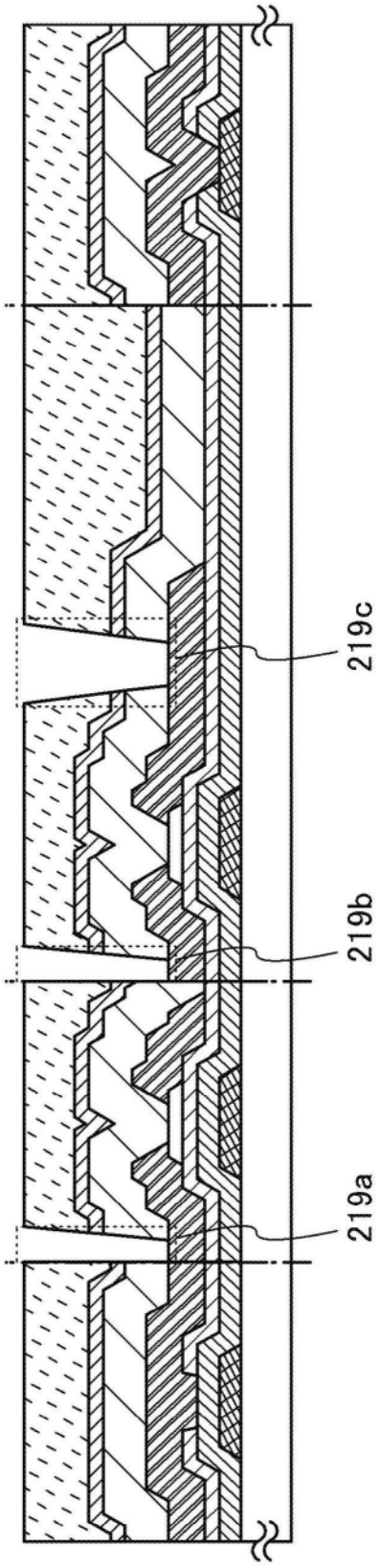


图10B

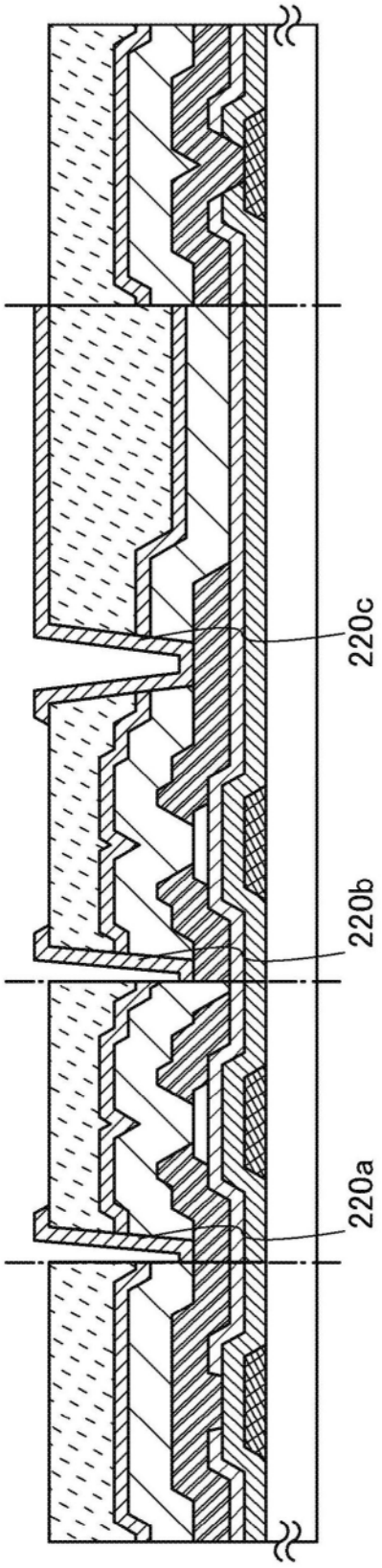


图11

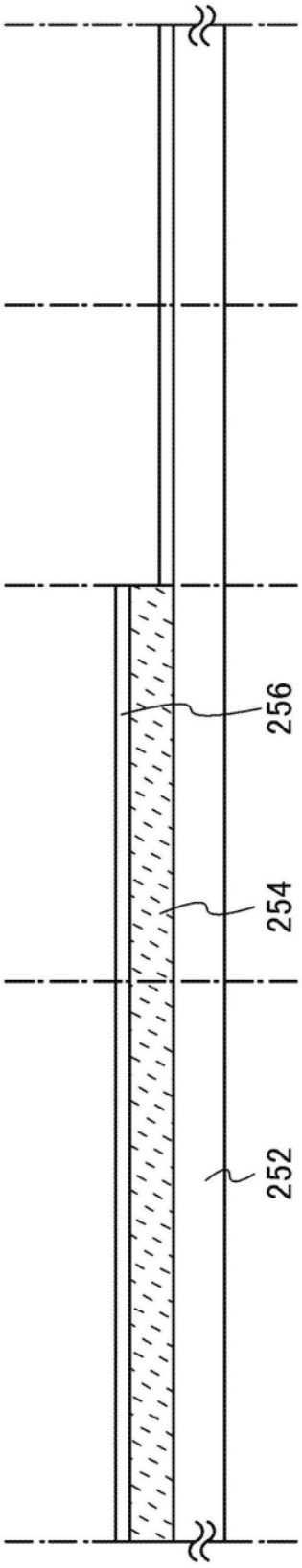


图12A

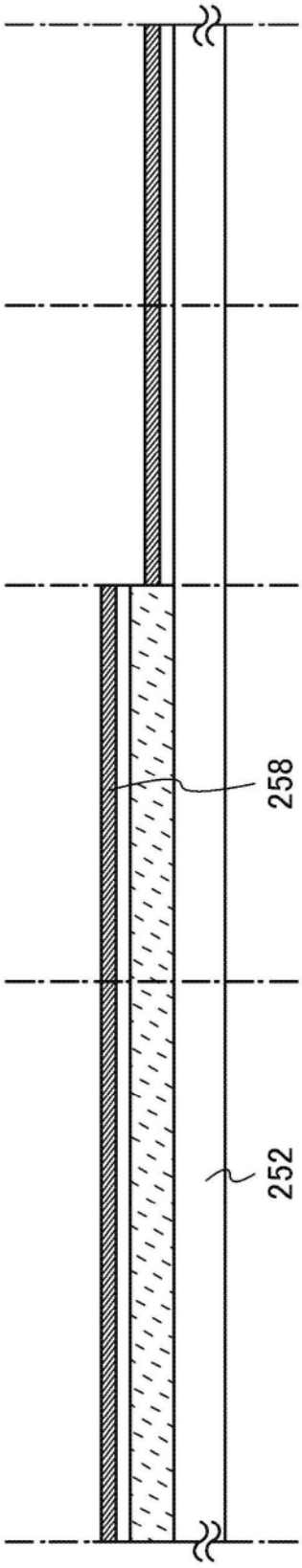


图12B

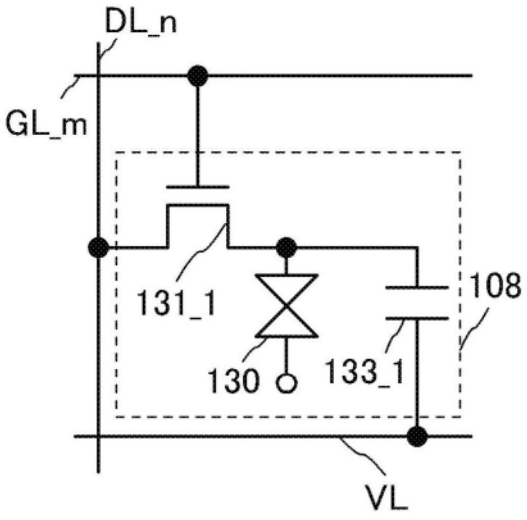

DL_n
GL_m
131_1
130
133_1
108
VL

图13A

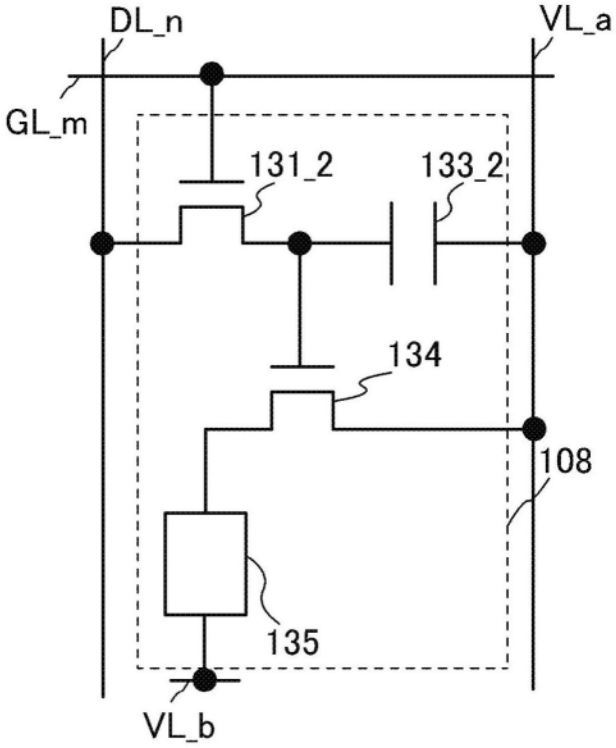

DL_n
VL_a
GL_m
131_2
133_2
134
108
135
VL_b

图13B

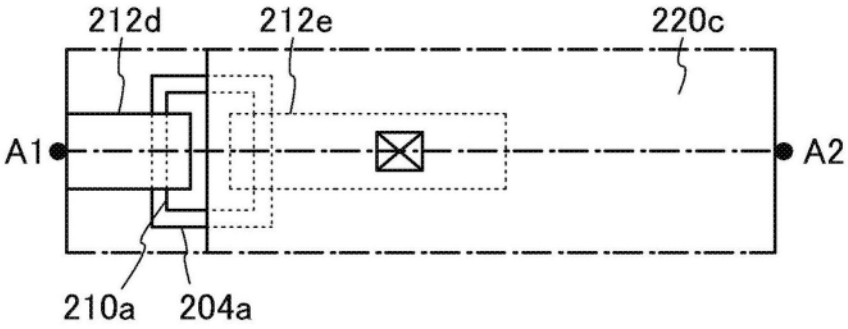


图14A

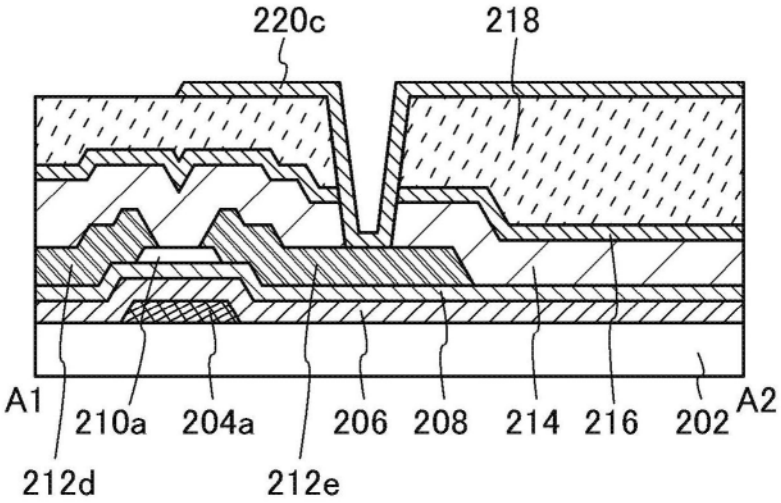


图14B

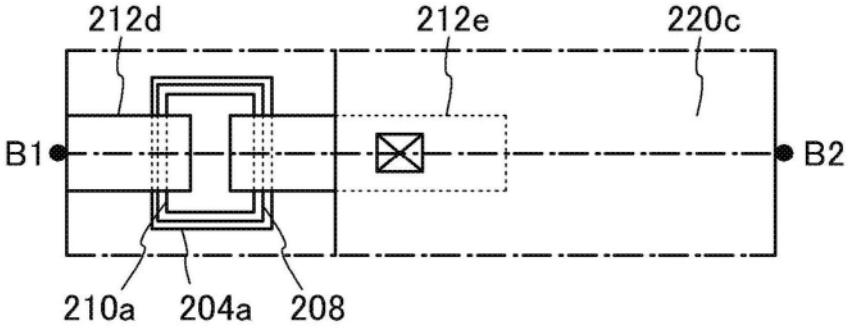


图14C

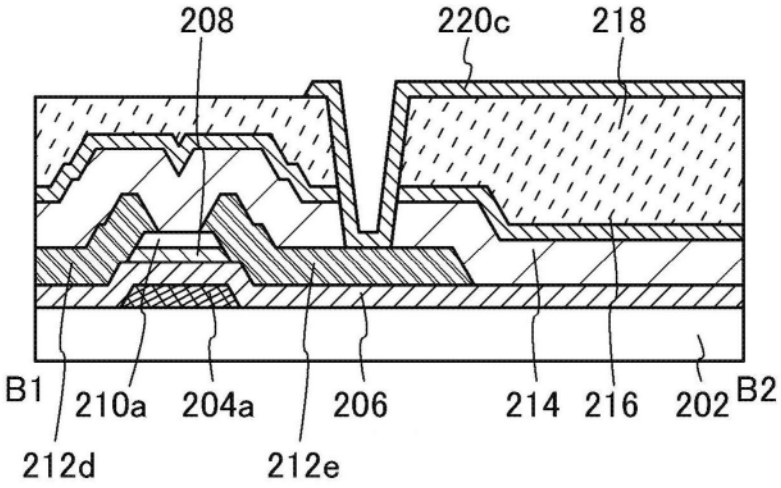

208
220c
218
B1
210a
204a
206
214
216
202
B2
212d
212e

图14D

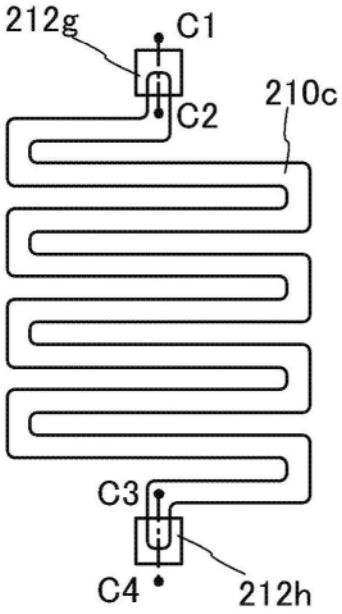

212g
C1
C2
210c
C3
C4
212h

图15A

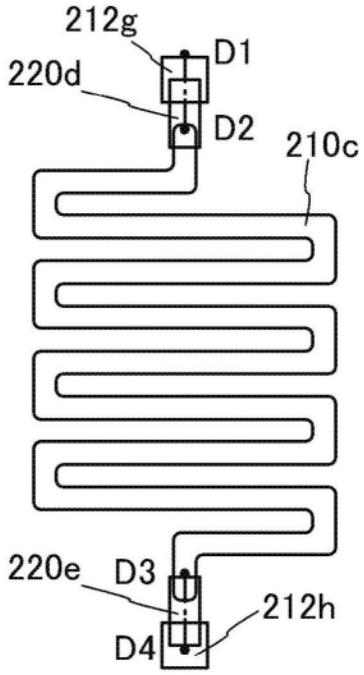

212g
D1
220d
D2
210c
220e
D3
212h
D4

图15B

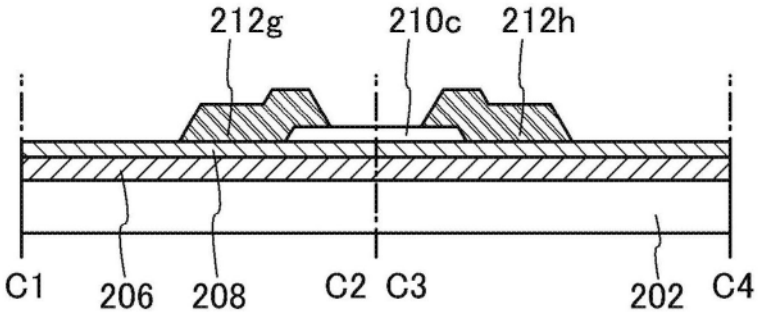

212g
210c
212h
C1
206
208
C2
C3
202
C4

图15C

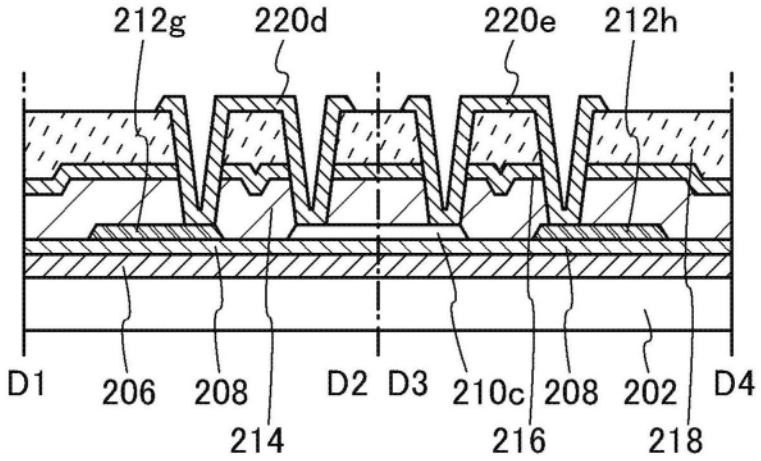


图15D

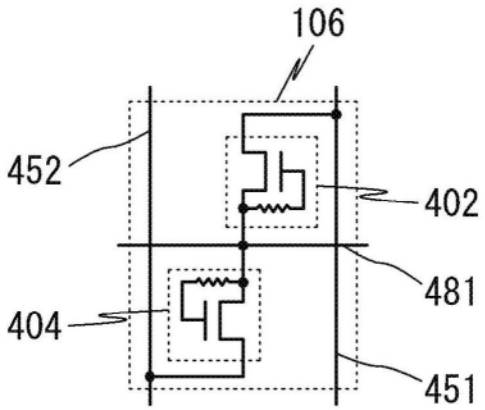


图16A

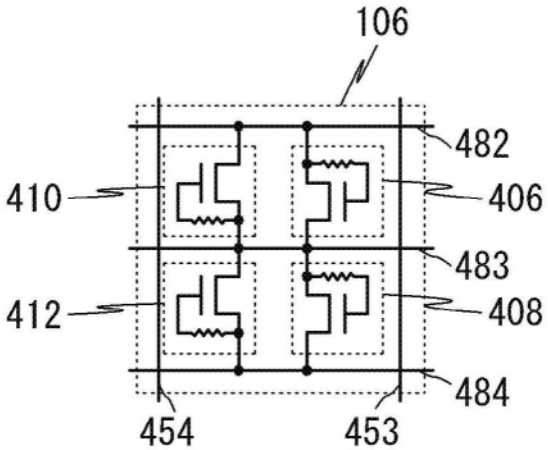


图16B

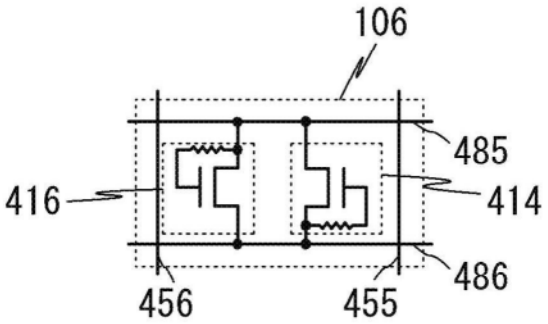


图16C

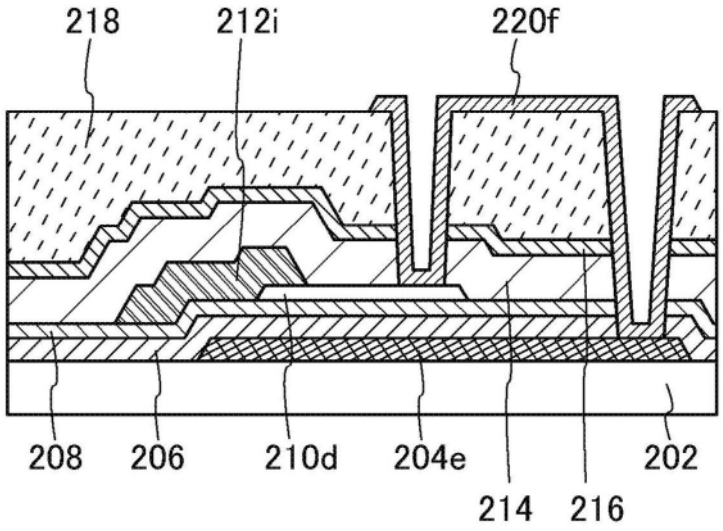


图17A

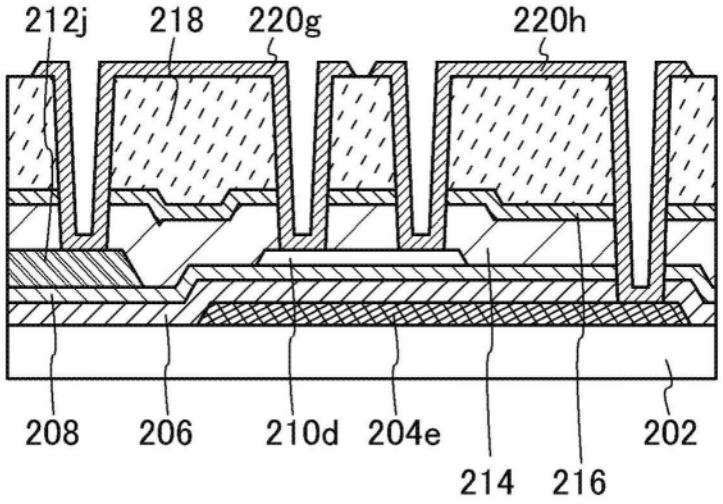


图17B

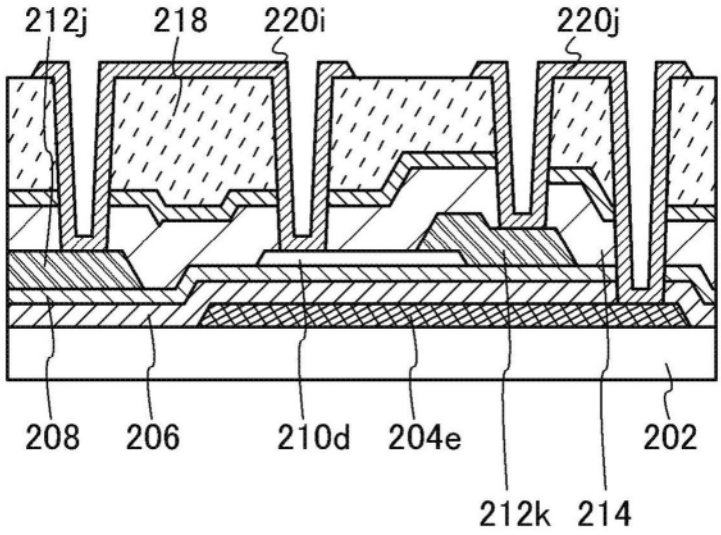

212j
218
220i
220j
208
206
210d
204e
202
212k
214

图17C

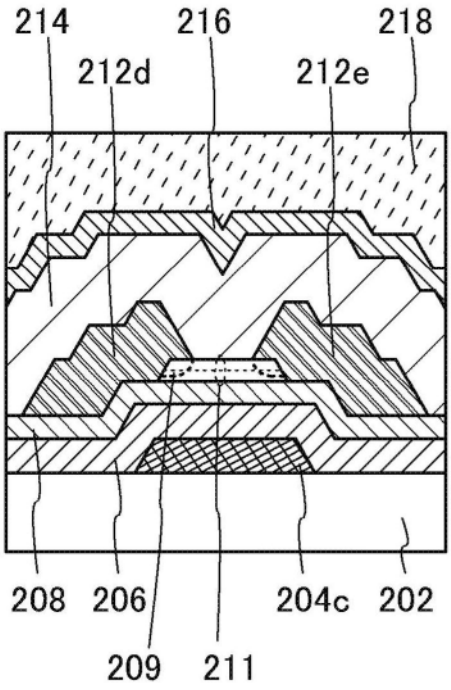

214
216
218
212d
212e
208
206
204c
202
209
211

图18A

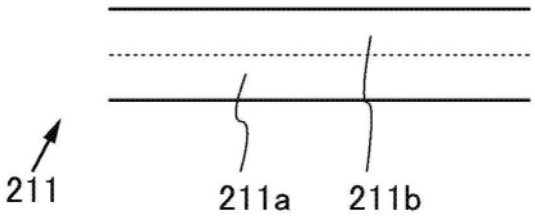


图18B

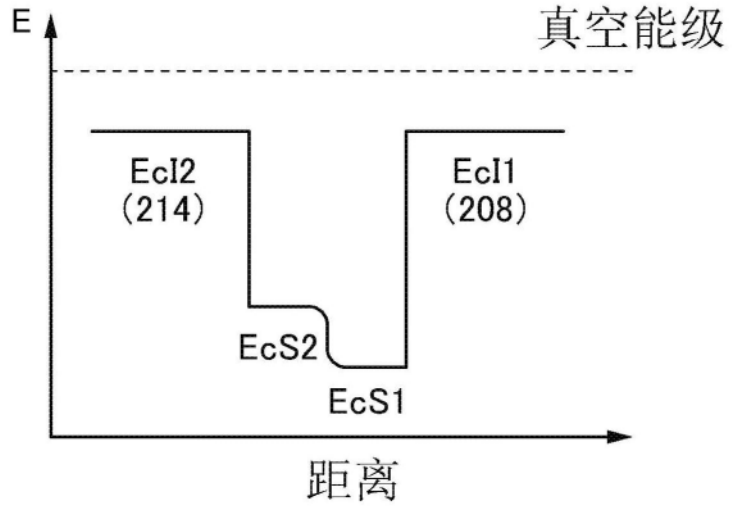


图18C

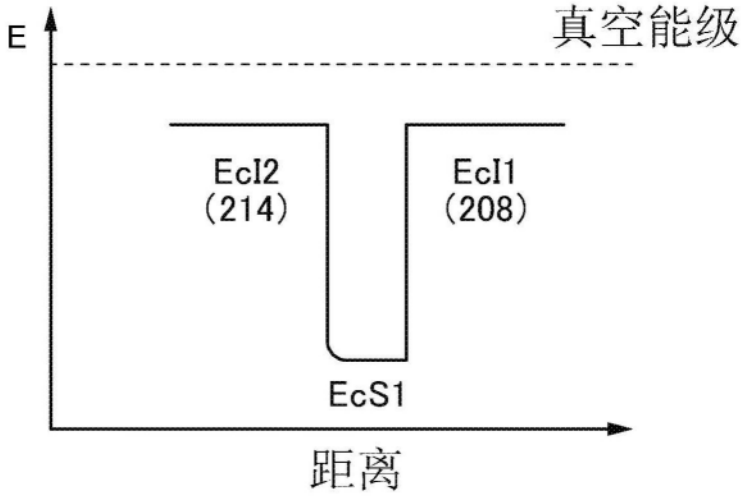


图18D

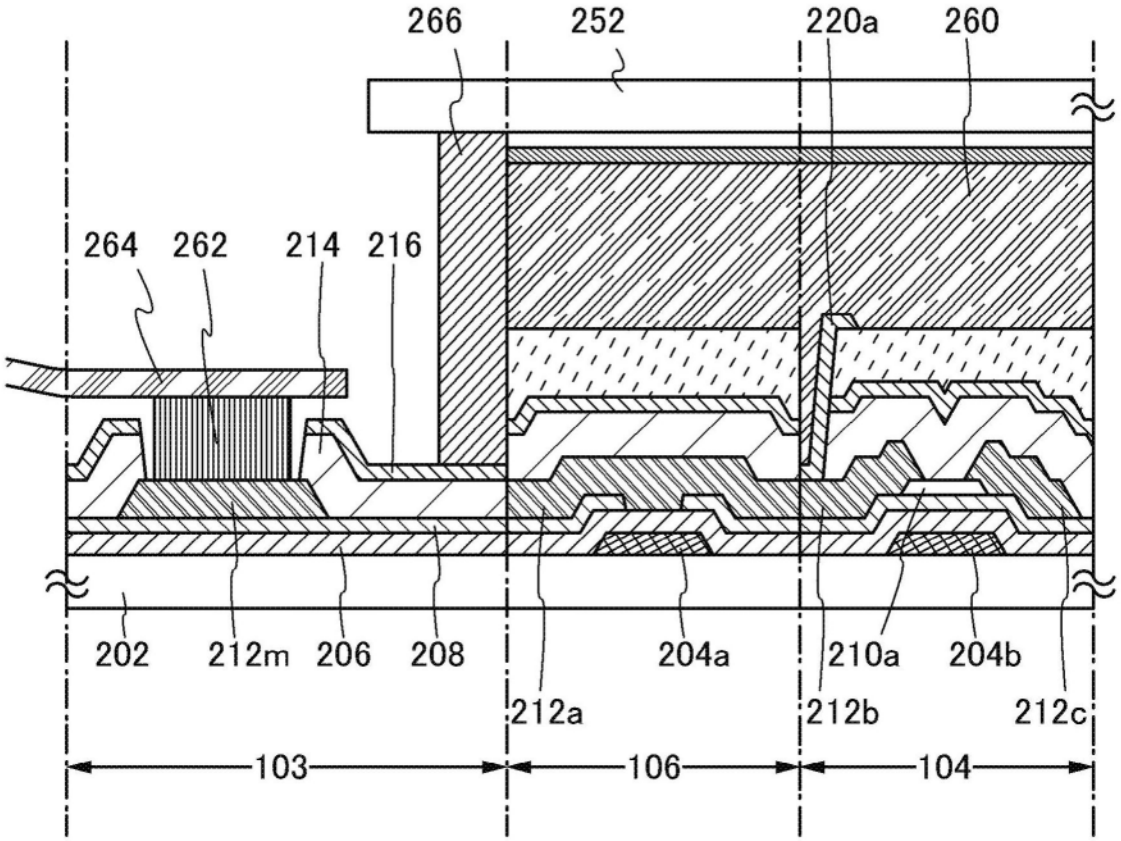

266
252
220a
260
264
262
214
216
202
212m
206
208
212a
204a
210a
204b
212b
212c
103
106
104

图19

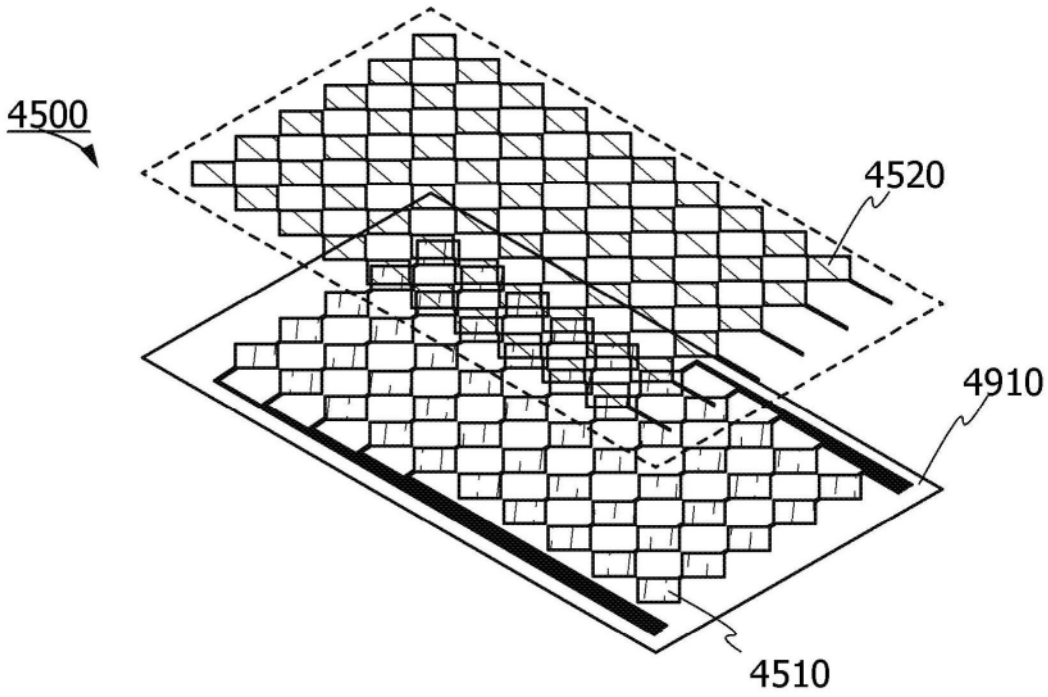

4500
4520
4910
4510

图20A

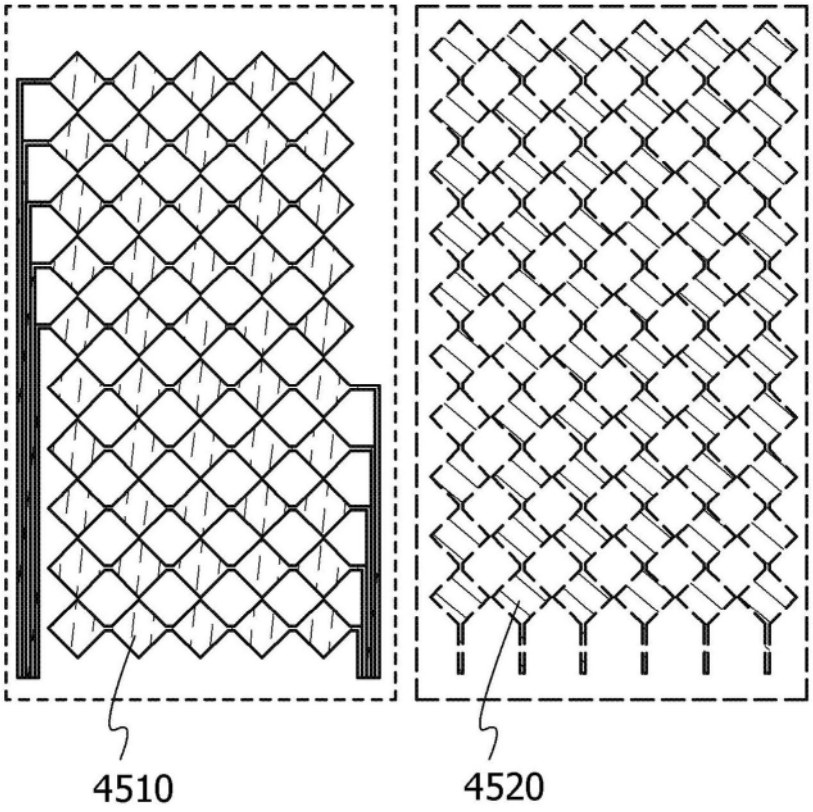


图20B

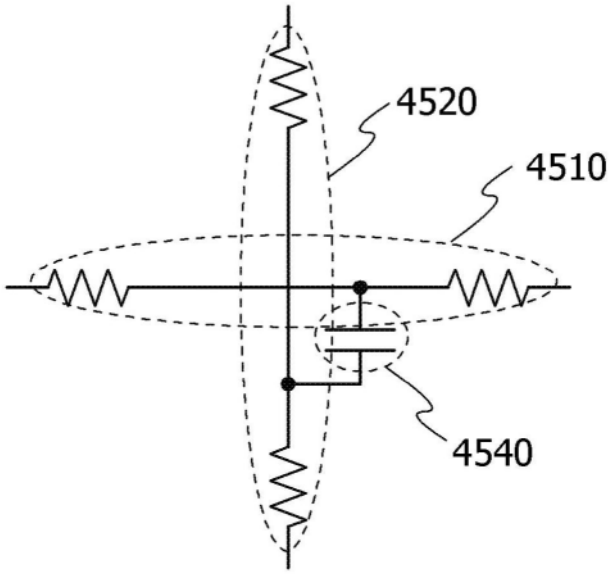


图21

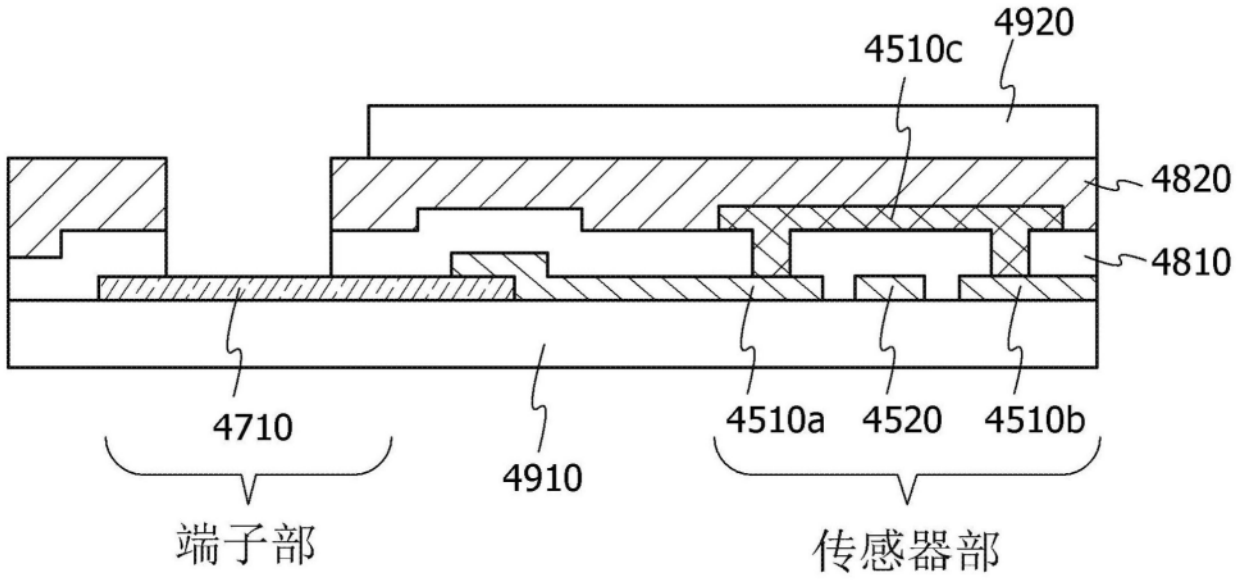


图22

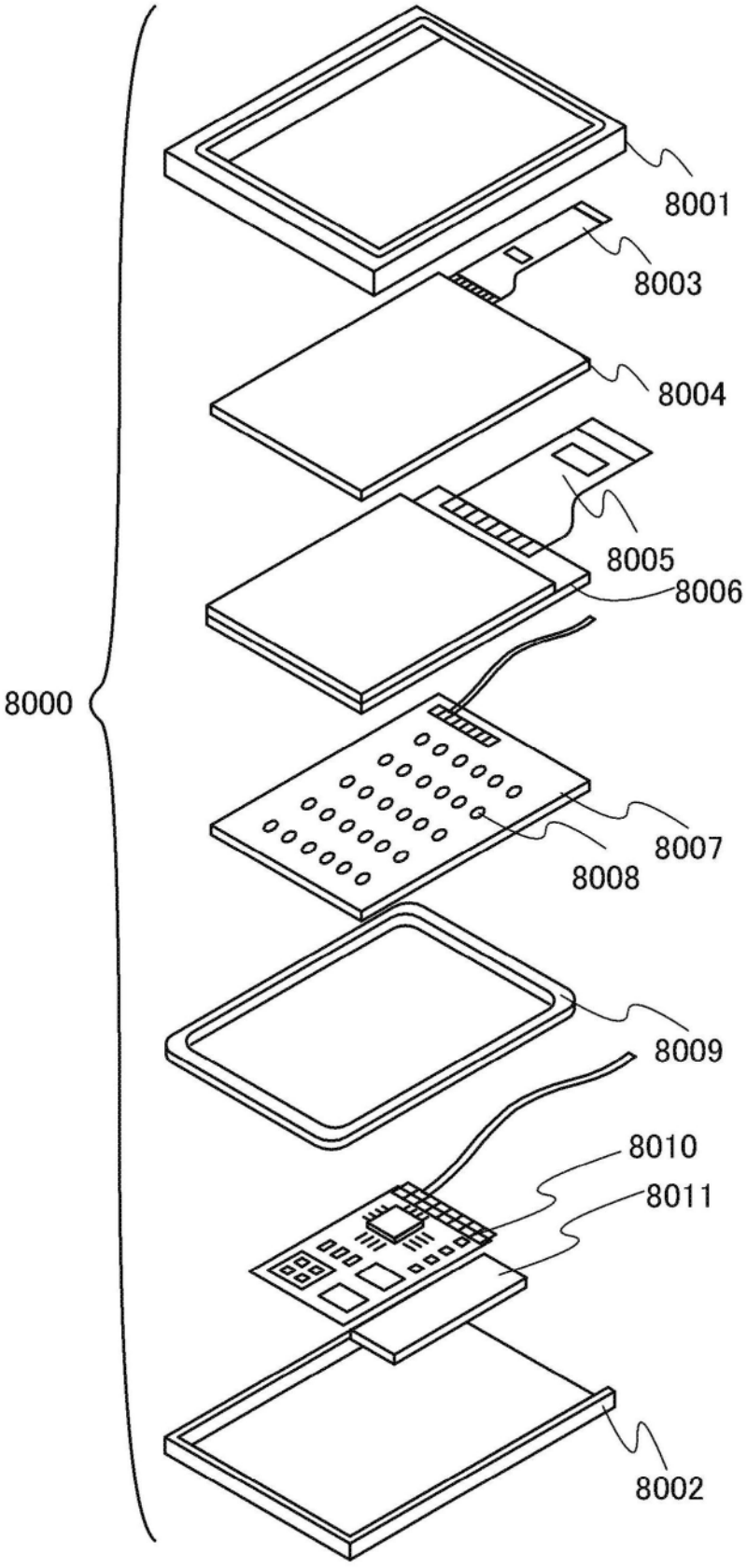


图23

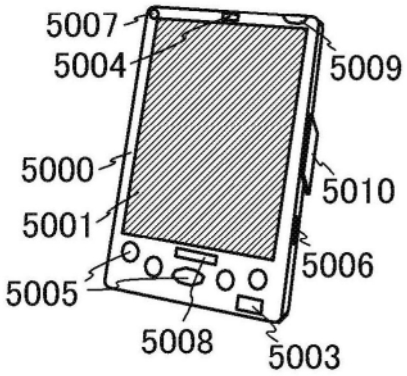


图24A

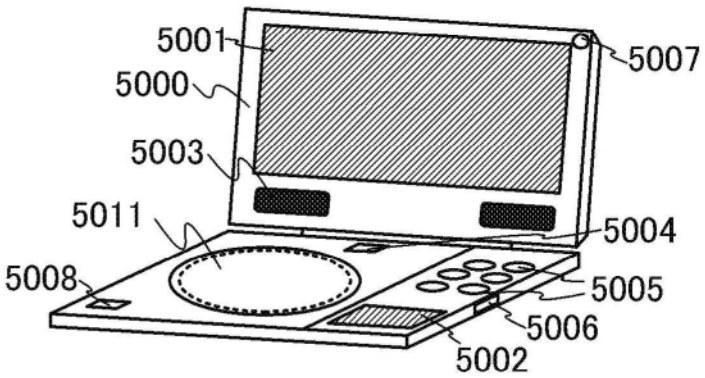


图24B

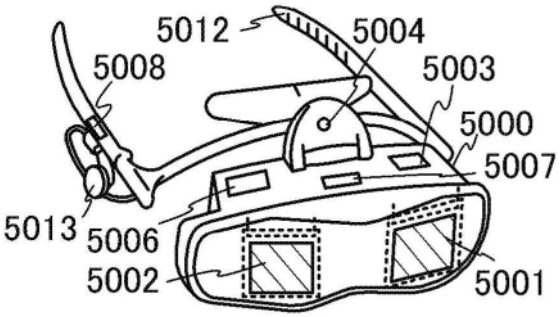


图24C

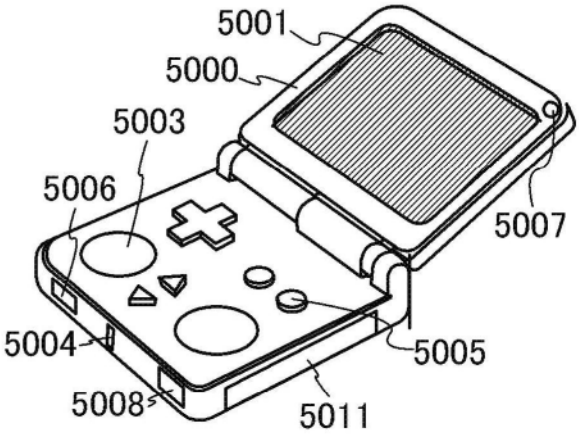


图24D

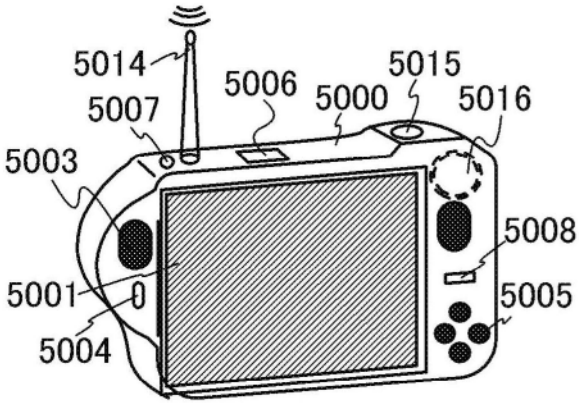


图24E

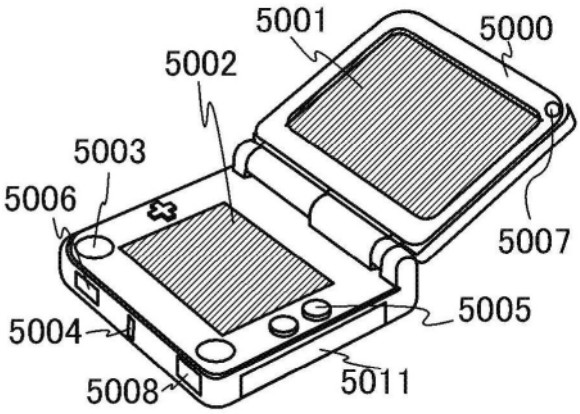


图24F

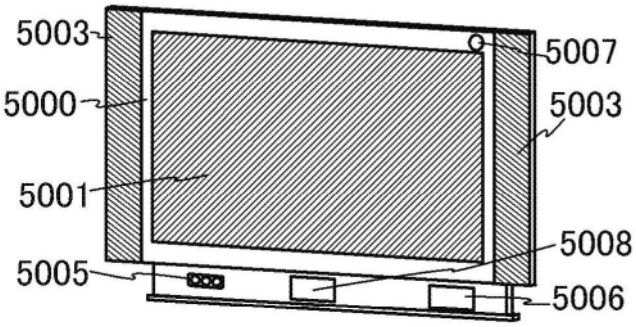


图24G

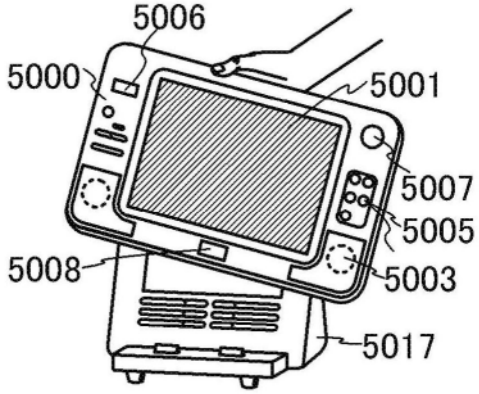


图24H

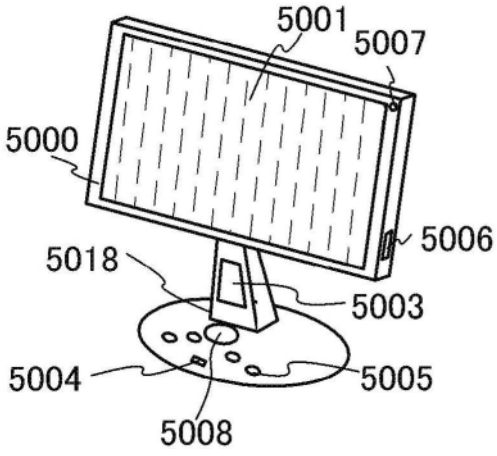


图25A

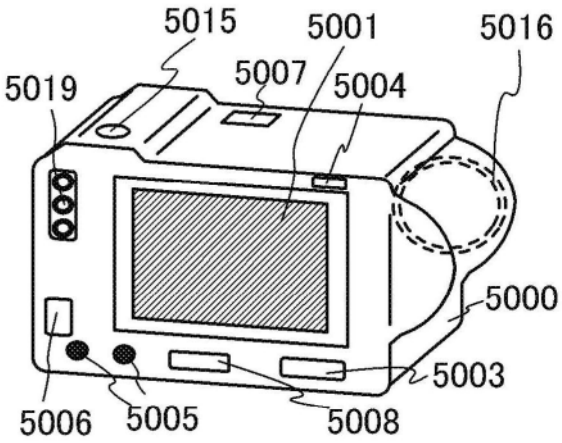


图25B

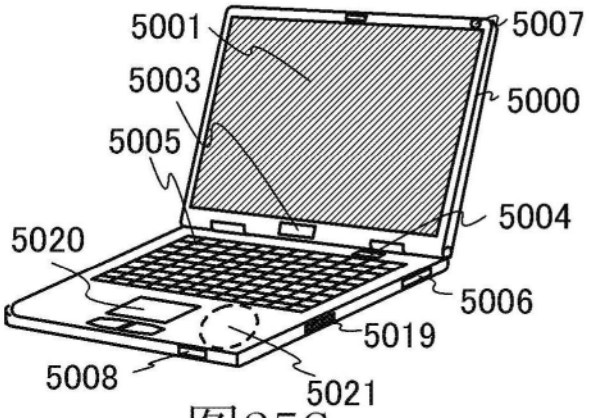


图25C

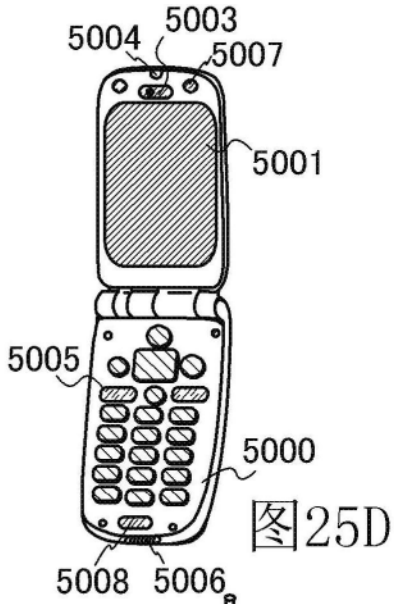


图25D

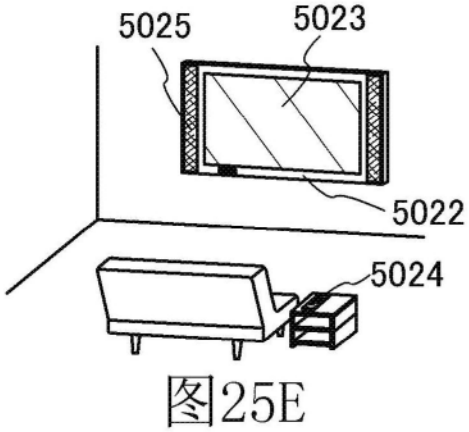


图25E

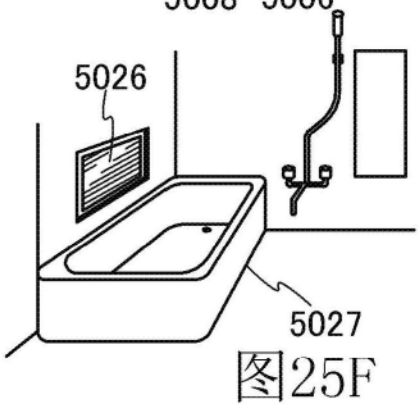


图25F

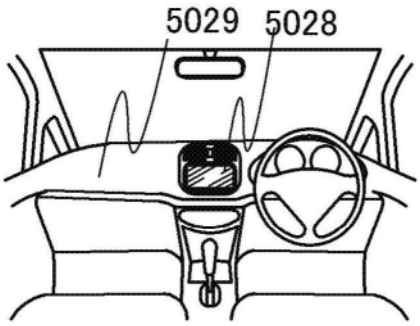


图25G

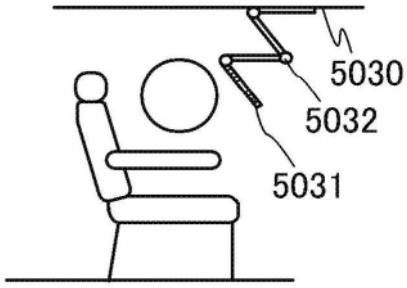


图25H