



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월10일
(11) 등록번호 10-1733660
(24) 등록일자 2017년04월28일

- (51) 국제특허분류(Int. Cl.)
HO4L 7/04 (2006.01) *HO4L 7/00* (2006.01)
HO4L 7/10 (2006.01)
- (52) CPC특허분류
HO4L 7/043 (2013.01)
HO4L 7/0062 (2013.01)
- (21) 출원번호 10-2015-7024878
- (22) 출원일자(국제) 2013년02월21일
심사청구일자 2017년02월15일
- (85) 번역문제출일자 2015년09월10일
- (65) 공개번호 10-2015-0119194
- (43) 공개일자 2015년10월23일
- (86) 국제출원번호 PCT/CN2013/071735
- (87) 국제공개번호 WO 2014/127514
국제공개일자 2014년08월28일
- (56) 선행기술조사문헌
JP06314469 A
JP2005514873 A
JP2015142619 A
JP2007004496 A

(73) 특허권자
웰컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
지양, 하이
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

후양, 인
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)

(74) 대리인
특허법인 남엔드남

전체 청구항 수 : 총 26 항

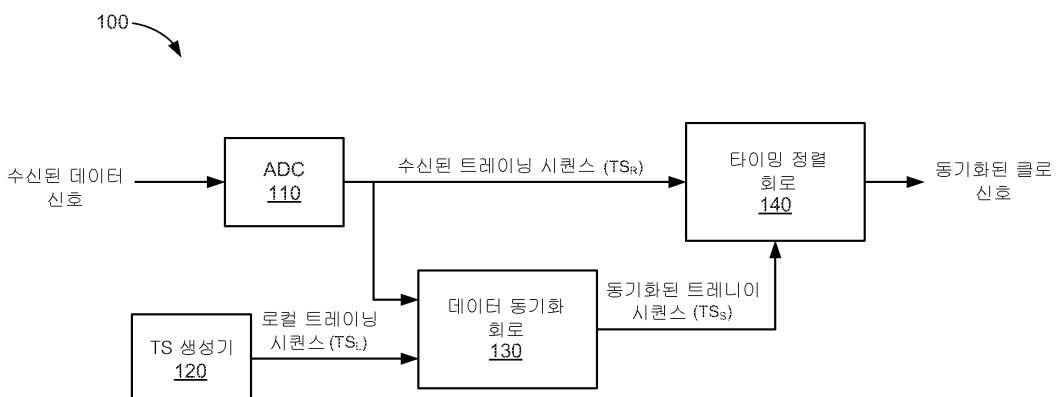
심사관 : 황철규

(54) 발명의 명칭 10GBASE-T 시스템에서 데이터 보조 타이밍 복원을 위한 방법 및 장치

(57) 요약

이더넷 시스템들에 대한 데이터 보조 타이밍 복원의 방법이 개시된다. 제 1 디바이스는 제 2 디바이스와 의사난수 시퀀스를 협상하고, 제 2 디바이스로부터 데이터 신호를 수신한다. 제 1 디바이스는 제 1 트레이닝 시퀀스를 복원하기 위해 수신된 데이터 신호를 샘플링한다. 제 1 디바이스는 또한 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성한다. 이어서, 제 2 트레이닝 시퀀스는 제 1 트레이닝 시퀀스와 동기화된다. 동기화된 제 2 트레이닝 시퀀스는 제 1 디바이스의 수신 클록 신호와 제 2 디바이스로부터 수신된 데이터 신호를 정렬하는데 사용된다.

대표도 - 도1



(52) CPC특허분류

HO4L 7/10 (2013.01)

(72) 발명자

수, 창룡

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

리, 지안

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

수예, 이생

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

제 1 디바이스에 의해 수행되는 타이밍 복원(timing recovery) 방법으로서,

제 2 디바이스와 의사난수 시퀀스(pseudorandom number sequence)를 협상하는 단계;

제 1 트레이닝 시퀀스를 복원하기 위해 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하는 단계;

상기 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하는 단계;

상기 제 1 트레이닝 시퀀스를 상기 제 2 트레이닝 시퀀스와 비교하는 것 및 상기 비교에 기초하여 상기 제 2 트레이닝 시퀀스를 반복적으로 조절하는 것에 의해, 상기 제 2 트레이닝 시퀀스를 상기 제 1 트레이닝 시퀀스와 동기화하는 단계 – 상기 제 1 트레이닝 시퀀스를 상기 제 2 트레이닝 시퀀스와 비교하는 것은, 임계수(threshold number)의 데이터 사이클(cycle)들에 걸쳐 상기 제 1 트레이닝 시퀀스의 각각의 비트를 상기 제 2 트레이닝 시퀀스의 2 개 이상의 비트들과 비교하는 것에 의해, 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 사이의 피크 상관(peak correlation)을 결정하는 것을 포함하고, 상기 피크 상관은, 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 내의 매칭 비트들의 수에 기초하고 그리고 상기 의사난수 시퀀스의 인접한 비트들 사이의 변동 정도에 추가로 기초함 –; 및

동기화된 제 2 트레이닝 시퀀스를 사용하여 상기 제 1 디바이스의 수신 클록 신호를 수신된 데이터 신호와 정렬하는 단계를 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 트레이닝 시퀀스를 반복적으로 조절하는 것은,

상기 임계수의 데이터 사이클들 후에, 어떠한 피크 상관도 검출되지 않는다면, 상기 제 2 트레이닝 시퀀스를 생성하는 어드레스 포인터를 충분하는 것을 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 3

제 1 항에 있어서,

상기 피크 상관이 검출될 때, 상기 제 2 트레이닝 시퀀스는 상기 제 1 트레이닝 시퀀스와 동기화되는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 4

제 1 항에 있어서,

상기 수신 클록 신호는 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하기 위한 것인,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 5

제 1 디바이스에 의해 수행되는 타이밍 복원 방법으로서,

제 2 디바이스와 의사난수 시퀀스를 협상하는 단계;

제 1 트레이닝 시퀀스를 복원하기 위해 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하는 단계;

상기 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하는 단계;

상기 제 2 트레이닝 시퀀스를 상기 제 1 트레이닝 시퀀스와 동기화하는 단계; 및

동기화된 제 2 트레이닝 시퀀스를 사용하여 상기 제 1 디바이스의 수신 클록 신호를 수신된 데이터 신호와 정렬하는 단계를 포함하고,

상기 수신 클록 신호를 정렬하는 단계는, 상기 제 1 트레이닝 시퀀스 및 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러를 결정하는 단계, 및 상기 타이밍 에러에 기초하여 상기 수신 클록 신호를 조절하는 단계를 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 6

제 5 항에 있어서,

상기 타이밍 에러는 Mueller-Muller 타이밍 에러를 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 7

제 5 항에 있어서,

상기 타이밍 에러를 결정하는 단계는,

상기 제 1 트레이닝 시퀀스 및 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러에 대응하는 에러 신호를 생성하는 단계를 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 8

제 7 항에 있어서,

루프(loop) 필터를 사용하여 상기 에러 신호를 필터링하는 단계; 및

상기 수신 클록 신호에서 짜터(jitter)를 제한하기 위해 상기 루프 필터의 하나 이상의 파라미터들을 조절하는 단계를 더 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 9

제 8 항에 있어서,

상기 루프 필터의 하나 이상의 파라미터들을 조절하는 단계는,

임계 시간의 양이 경과된 후에, 상기 루프 필터의 하나 이상의 파라미터들의 값을 감소시키는 단계를 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 10

제 1 항에 있어서,

상기 제 1 트레이닝 시퀀스를 복원하는 것은,

피드-포워드 등화(feed-forward equalization)를 사용하여 수신된 데이터 신호에서 심볼간 간섭(intersymbol interference)을 완화하는 것을 더 포함하는,

제 1 디바이스에 의해 수행되는 타이밍 복원 방법.

청구항 11

프로그램 명령들을 저장하도록 구성되는 비-일시적인 컴퓨터-판독 가능 저장 매체로서,

상기 프로그램 명령들은, 제 1 디바이스의 프로세서에 의해 실행될 때, 상기 제 1 디바이스로 하여금,

제 2 디바이스와 의사난수 시퀀스를 협상하게 하고;

제 1 트레이닝 시퀀스를 복원하기 위해 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하게 하고;

상기 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하게 하고;

상기 제 1 트레이닝 시퀀스를 상기 제 2 트레이닝 시퀀스와 비교하는 것 및 상기 비교에 기초하여 상기 제 2 트레이닝 시퀀스를 반복적으로 조절하는 것에 의해, 상기 제 2 트레이닝 시퀀스를 상기 제 1 트레이닝 시퀀스와 동기화하게 하고 – 상기 제 1 트레이닝 시퀀스를 상기 제 2 트레이닝 시퀀스와 비교하는 것은, 임계수의 데이터 사이클들에 걸쳐 상기 제 1 트레이닝 시퀀스의 각각의 비트를 상기 제 2 트레이닝 시퀀스의 2 개 이상의 비트들과 비교하는 것에 의해, 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 사이의 피크 상관을 결정하는 것을 포함하고, 상기 피크 상관은, 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 내의 매칭 비트들의 수에 기초하고 그리고 상기 의사난수 시퀀스의 인접한 비트들 사이의 변동 정도에 추가로 기초함 –; 그리고

동기화된 제 2 트레이닝 시퀀스를 사용하여 상기 제 1 디바이스의 수신 클록 신호를 수신된 데이터 신호와 정렬하게 하는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 12

제 11 항에 있어서,

상기 제 2 트레이닝 시퀀스를 반복적으로 조절하기 위한 프로그램 명령들의 실행은, 상기 제 1 디바이스로 하여금,

상기 임계수의 데이터 사이클들 후에, 어떠한 피크 상관도 검출되지 않는다면, 상기 제 2 트레이닝 시퀀스를 생성하는데 사용되는 어드레스 포인터를 충분하게 하는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 13

제 11 항에 있어서,

상기 피크 상관이 검출될 때, 상기 제 2 트레이닝 시퀀스는 상기 제 1 트레이닝 시퀀스와 동기화되는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 14

제 11 항에 있어서,

상기 수신 클록 신호는 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하는데 사용되는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 15

프로그램 명령들을 저장하도록 구성되는 비-일시적인 컴퓨터-판독 가능 저장 매체로서,

상기 프로그램 명령들은, 제 1 디바이스의 프로세서에 의해 실행될 때, 상기 제 1 디바이스로 하여금,

제 2 디바이스와 의사난수 시퀀스를 협상하게 하고;

제 1 트레이닝 시퀀스를 복원하기 위해 상기 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하게 하고;

상기 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하게 하고;

상기 제 2 트레이닝 시퀀스를 상기 제 1 트레이닝 시퀀스와 동기화하게 하고; 그리고

동기화된 제 2 트레이닝 시퀀스를 사용하여 상기 제 1 디바이스의 수신 클록 신호를 수신된 데이터 신호와 정렬하게 하고,

상기 수신 클록 신호를 정렬하는 것은, 상기 제 1 트레이닝 시퀀스 및 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러를 결정하는 것, 및 상기 타이밍 에러에 기초하여 상기 수신 클록 신호를 조절하는 것을 포함하는, 비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 16

제 15 항에 있어서,

상기 타이밍 에러는 Mueller-Muller 타이밍 에러를 포함하는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 17

제 15 항에 있어서,

상기 타이밍 에러를 결정하기 위한 프로그램 명령들의 실행은, 상기 제 1 디바이스로 하여금,

상기 제 1 트레이닝 시퀀스 및 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러에 대응하는 에러 신호를 생성하게 하는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 18

제 17 항에 있어서,

상기 제 1 디바이스로 하여금,

상기 에러 신호를 필터링하게 하고; 그리고

상기 수신 클록 신호에서 지터를 제한하기 위해 루프 필터의 하나 이상의 파라미터들을 조절하게 하는 프로그램 명령들을 더 포함하는,

비-일시적인 컴퓨터-판독 가능 저장 매체.

청구항 19

디바이스로서,

다른 디바이스와 의사난수 시퀀스를 협상하기 위한 프로세서;

제 1 트레이닝 시퀀스를 복원하기 위해 상기 다른 디바이스로부터 수신된 데이터 신호를 샘플링하기 위한 ADC(analog-to-digital converter);

상기 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하기 위한 트레이닝 시퀀스 생성기;

상기 제 2 트레이닝 시퀀스를 상기 제 1 트레이닝 시퀀스와 동기화하기 위한 데이터 동기화 회로; 및

동기화된 제 2 트레이닝 시퀀스를 사용하여 상기 디바이스의 수신 클록 신호를 수신된 데이터 신호와 정렬하기 위한 타이밍 정렬 회로를 포함하고,

상기 데이터 동기화 회로는,

상기 제 1 트레이닝 시퀀스를 상기 제 2 트레이닝 시퀀스와 비교하기 위한 피크 검출 회로 – 상기 피크 검출 회로는, 복수의 매치 값들을 생성하기 위해 상기 제 1 트레이닝 시퀀스의 각각의 비트를 상기 제 2 트레이닝 시퀀스의 2 개 이상의 비트들과 비교하기 위한 복수의 비교기들, 및 상기 복수의 매치 값들에 기초하여 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 사이의 피크 상관을 결정하기 위한 피크 검출 로직을

포함함 –; 및

상기 비교에 기초하여 상기 제 2 트레이닝 시퀀스를 반복적으로 조절하기 위한 데이터 조절 회로를 포함하는,

디바이스.

청구항 20

제 19 항에 있어서,

상기 피크 상관은, 상기 제 1 트레이닝 시퀀스 및 상기 제 2 트레이닝 시퀀스 내의 매칭 비트들의 수, 및 상기 의사난수 시퀀스의 인접한 비트들 사이의 변동 정도에 기초하는,

디바이스.

청구항 21

제 19 항에 있어서,

상기 피크 상관이 검출될 때, 상기 제 2 트레이닝 시퀀스는 상기 제 1 트레이닝 시퀀스와 동기화되는,

디바이스.

청구항 22

제 19 항에 있어서,

상기 데이터 조절 회로는,

상기 제 2 트레이닝 시퀀스의 비트들을 상기 피크 검출 회로로 순차적으로 출력하기 위한 메모리; 및
임계수의 데이터 사이클들 후에, 어떠한 피크 상관도 검출되지 않는다면, 상기 메모리의 어드레스 포인터를 증
분하기 위한 어드레스 카운터를 포함하는,

디바이스.

청구항 23

제 19 항에 있어서,

상기 타이밍 정렬 회로는,

상기 제 1 트레이닝 시퀀스 및 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러를 결정하고, 상기 타이밍 에
러에 대응하는 에러 신호를 출력하기 위한 에러 검출 회로; 및

상기 에러 신호에 응답하여 상기 수신 클록 신호를 조절하기 위한 전압 제어 발진기를 포함하는,

디바이스.

청구항 24

제 23 항에 있어서,

상기 에러 검출 회로는 Mueller-Muller 타이밍 에러 검출 회로를 포함하는,

디바이스.

청구항 25

제 23 항에 있어서,

상기 타이밍 정렬 회로는,

상기 에러 검출 회로로부터 출력된 상기 에러 신호를 필터링하기 위한 루프 필터를 더 포함하고,

상기 루프 필터는 상기 수신 클록 신호에서 지터를 제한하기 위해 하나 이상의 조절 가능한 파라미터들을 포함

하는,

디바이스.

청구항 26

제 25 항에 있어서,

상기 루프 필터는 비례 경로 및 적분 경로를 갖는 2차 루프 필터인,

디바이스.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

발명의 설명

기술 분야

[0001] 본 실시예들은 일반적으로 비동기 통신 시스템들에서의 타이밍 복원에 관한 것이며, 상세하게는, 고속 이더넷 시스템들에서의 데이터-보조 타이밍 복원에 관한 것이다.

배경 기술

[0002] 타이밍 복원은 많은 이더넷 시스템들의 중요한 기능이다. 데이터가 통상적으로 하나의 디바이스로부터 다른 것으로 비동기 방식으로(즉, 동반하는 클록 신호 없이) 전송되기 때문에, 수신(RX) 디바이스는 수신된 데이터 신호와 주파수-정렬뿐만 아니라 위상-정렬된 내부 클록 신호를 생성한다. 예를 들면, 데이터가 100 MHz 클록 신호를 사용하여 전송(TX) 디바이스에 의해 전송되면, RX 디바이스는 수신된 데이터 신호를 샘플링하기 위해 이상적으로 로컬 100 MHz 클록을 사용할 것이다. 그러나, RX 디바이스는 자신의 발진기들 및/또는 전송 경로들에서의 드리프트를 정정하기 위해 로컬 클록 신호의 주파수를 조절해야 할 수 있다. 또한, 로컬 클록 신호의 위상은, 로컬 클록 신호가 수신된 데이터 신호와 정렬되어 RX 디바이스가 (예를 들면, 심볼간 간섭의 효과들을 감소시키기 위해) 자신의 피크로 각각의 데이터 심볼을 샘플링하도록, 조절될 수 있다.

[0003] [0003] 더 높은 주파수 레이트들은 더 짧은 심볼(피크) 듀레이션들과 상관되고, 따라서 RX 디바이스가 수신된 데이터 신호를 정확히 샘플링할 수 있는 더 작은 윈도우를 제공한다. 심볼간 간섭(ISI)은 또한 더 높은 주파수들에서 더 많이 표출된다. 따라서, 데이터 레이트들이 증가함에 따라, 정밀하고 정확한 타이밍 복원 회로에 대한 필요성도 또한 증가한다.

발명의 내용

[0004] [0004] 이러한 요약은, 상세한 설명에서 추가적으로 후술되는 개념들의 선택을 간략화된 형태로 도입하도록 제공된다. 이러한 요약은, 청구된 요지의 중요(key) 특성들 또는 본질적인 특성들을 식별하도록 의도되지 않고, 또한 청구된 요지의 범위를 제한하도록 의도되지 않는다.

[0005] [0005] 다른 디바이스로부터 수신된 데이터 신호들로부터 타이밍 정보의 복원을 보조할 수 있는 디바이스 및 동작 방법이 개시된다. 일부 실시예들에서, 상기 디바이스는 다른 디바이스와 의사난수 시퀀스를 협상하기 위한 회로(예를 들면, 수신기 또는 프로세서), 제 1 트레이닝 시퀀스를 복원하기 위해 다른 디바이스로부터 수신된 데이터 신호를 샘플링하기 위한 아날로그-디지털 변환기; 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하기 위한 트레이닝 시퀀스 생성기, 제 2 트레이닝 시퀀스와 제 1 트레이닝 시퀀스를 동기화하기 위한 데이터 동기화 회로, 및 동기화된 제 2 트레이닝 시퀀스를 사용하여 디바이스의 수신 클록 신호와 수신된 데이터 신호를 정렬하기 위한 타이밍 정렬 회로를 포함한다.

[0006] [0006] 데이터 동기화 회로는 제 1 트레이닝 시퀀스와 제 2 트레이닝 시퀀스를 비교하기 위한 피크 검출 회로, 및 비교에 기초하여 제 2 트레이닝 시퀀스를 반복적으로 조절하기 위한 데이터 조절 회로를 포함할 수 있다. 피크 검출 회로는 복수의 매치 값들을 생성하기 위해 제 1 트레이닝 시퀀스의 각각의 비트와 제 2 트레이닝 시퀀스의 2 개 이상의 비트들을 비교하기 위한 복수의 비교기들, 및 복수의 매치 값들에 적어도 부분적으로 기초하여 제 1 트레이닝 시퀀스와 제 2 트레이닝 시퀀스 사이의 피크 상관을 결정하기 위한 피크 검출 로직을 포함할 수 있다. 일부 실시예들에서, 피크 상관은 제 1 트레이닝 시퀀스와 제 2 트레이닝 시퀀스 내의 매칭 비트들의 수 및 의사난수 시퀀스의 인접한 비트들 사이의 변동 정도에 기초할 수 있다.

[0007] [0007] 일부 실시예들에서, 데이터 조절 회로는 제 2 트레이닝 시퀀스의 비트들을 피크 검출 회로로 순차적으로 출력하기 위한 메모리를 포함하고, 임계수의 데이터 사이클들 후에, 어떠한 피크 상관도 검출되지 않는다면, 상기 메모리의 어드레스 포인터를 증분하기 위한 어드레스 카운터를 포함할 수 있다.

[0008] [0008] 일부 실시예들에서, 타이밍 정렬 회로는 제 1 트레이닝 시퀀스와 동기화된 제 2 트레이닝 시퀀스 사이의 타이밍 에러를 결정하고, 타이밍 에러에 대응하는 에러 신호를 출력하기 위한 에러 검출 회로, 및 에러 신호에 응답하여 수신 클록 신호를 조절하기 위한 전압 제어 발진기를 포함할 수 있다.

[0009] [0009] 동작 시에, 상기 디바이스는 제 2 디바이스와 의사난수 시퀀스를 협상하고, 제 1 트레이닝 시퀀스를 복원하기 위해 제 2 디바이스로부터 수신된 데이터 신호를 샘플링하고, 의사난수 시퀀스에 기초하여 제 2 트레이닝 시퀀스를 생성하고, 제 2 트레이닝 시퀀스와 제 1 트레이닝 시퀀스를 동기화하고, 동기화된 제 2 트레이닝 시퀀스를 사용하여 제 1 디바이스의 수신 클록 신호와 수신된 데이터 신호를 정렬할 수 있다.

[0010] [0010] 일부 실시예들에서, 상기 디바이스는 제 1 트레이닝 시퀀스와 제 2 트레이닝 시퀀스를 비교하고 이어서 비교에 기초하여 제 2 트레이닝 시퀀스를 반복적으로 조절함으로써, 제 2 트레이닝 시퀀스와 제 1 트레이닝 시퀀스를 동기화할 수 있다. 상기 디바이스는 제 1 및 제 2 트레이닝 시퀀스들 사이의 피크 상관을 결정할 수 있고, 여기서 피크 상관은 제 1 트레이닝 시퀀스와 제 2 트레이닝 시퀀스 내의 매칭 비트들의 수 및 의사난수 시퀀스의 인접한 비트들 사이의 변동 정도에 기초한다. 일 예에서, 상기 디바이스는 임계수의 데이터 사이클들에 걸쳐 제 1 트레이닝 시퀀스의 각각의 비트와 제 2 트레이닝 시퀀스의 2 개 이상의 비트들을 비교함으로써 피크 상관 값을 결정할 수 있다.

도면의 간단한 설명

[0011] [0011] 본 발명의 실시예들은 예로서 도시되며, 첨부한 도면들의 도식들에 의해 제한되도록 의도되지 않는다.

[0012] [0012] 도 1은 일부 실시예들에 따른 타이밍 복원 시스템의 블록도를 도시한다.

[0013] [0013] 도 2는 일부 실시예들에 따른 예시적인 타이밍 복원 동작을 도시한 예시적인 흐름도이다.

[0014] [0014] 도 3은 일부 실시예들에 따른 데이터 동기화 회로의 블록도를 도시한다.

[0015] 도 4는 일부 실시예들에 따른 예시적인 데이터 동기화 동작을 도시한 예시적인 흐름도이다.

[0016] 도 5는 일부 실시예들에 따른 예시적인 의사난수 시퀀스를 도시한다.

[0017] 도 6은 다른 실시예들에 따른 데이터 동기화 회로의 블록도를 도시한다.

[0018] 도 7a 및 도 7b는 일부 실시예들에 따른 다른 예시적인 데이터 동기화 동작을 도시한 예시적인 흐름도들이다.

[0019] 도 8은 일부 실시예들에 따른 타이밍 정렬 회로의 블록도를 도시한다.

[0020] 도 9는 일부 실시예들에 따른 조절 가능한 루프 필터의 블록도를 도시한다.

[0021] 도 10은 일부 실시예들에 따른 예시적인 루프 파라미터 조절 동작을 도시한 예시적인 흐름도이다.

[0022] 도 11은 일부 실시예들에 따른 통신 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

[0023] 다음의 설명에서, 특정한 컴포넌트들, 회로들, 및 프로세스들의 예들과 같은 다수의 특정한 세부사항들이 본 발명의 완전한 이해를 제공하기 위해 제시된다. 본 명세서에서 사용된 바와 같이, 용어 "커플링"은 직접적으로 접속되거나 또는 하나 이상의 개별 컴포넌트들 또는 회로들을 통해 접속된다는 것을 의미한다. 또한, 다음의 설명에서 그리고 설명의 목적들을 위해, 특정한 명칭이 본 발명의 실시예들의 완전한 이해를 제공하기 위해 제시된다. 그러나, 이들 특정한 세부사항들이 본 발명의 실시예들을 실시하도록 요구되지는 않을 수도 있다는 것이 당업자에게 명백할 것이다. 다른 예시들에서, 잘 알려진 회로들 및 디바이스들은 본 발명을 불명료하게 하는 것을 회피하기 위해 블록도 형태로 도시된다. 본 명세서에서 설명된 다양한 버스들을 통해 제공되는 신호들 중 임의의 신호는, 다른 신호들과 시간-멀티플렉싱될 수 있으며, 하나 이상의 공통 버스들을 통해 제공될 수 있다. 부가적으로, 회로 엘리먼트들 또는 소프트웨어 블록들 사이의 상호접속은 버스들 또는 단일 신호라인들로서 도시될 수도 있다. 버스들 각각은 대안적으로 단일 신호 라인일 수도 있고, 단일 신호 라인들 각각은 대안적으로 버스들일 수도 있고, 단일 라인 또는 버스는, 컴포넌트들 사이의 통신을 위한 다수의 물리적 또는 논리적 메커니즘들 중 임의의 하나 이상을 표현할 수도 있다.

[0013]

[0024] 도 1은 일부 실시예들에 따른 타이밍 복원 시스템(100)의 블록도를 도시한다. 타이밍 복원 시스템(100)은 데이터 통신 네트워크의 RX 디바이스에서 구현될 수 있다. 타이밍 복원 시스템(100)은 ADC(analog-to-digital converter)(110), TS(training sequence) 생성기(120), 데이터 동기화 회로(130) 및 타이밍 정렬 회로(140)를 포함한다. ADC(110)는 (예를 들면, TX 디바이스로부터) 데이터 신호를 수신하기 위한 입력을 포함하고, 수신된 데이터 신호로부터 취해진 샘플들에 기초하여 수신된 TS_R (training sequence)을 출력한다. TS 생성기(120)는 로컬적으로 생성된 트레이닝 시퀀스(TS_L)를 출력한다. 일부 실시예들에서, 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L) 둘 모는 동일한 PN(pseudorandom) 넘버 시퀀스에 기초한다. 예를 들면, RX 디바이스는 TX 디바이스와 사용될 PN 시퀀스를 협상할 수 있다.

[0014]

[0025] 데이터 동기화 회로(130)는 ADC(110) 및 TS 생성기(120)로부터 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L)를 각각 수신하고, 이에 응답하여 동기화된 트레이닝 시퀀스(TS_S)를 생성한다. 일부 실시예들에서, 동기화된 트레이닝 시퀀스(TS_S)는 수신된 트레이닝 시퀀스(TS_R)와 "조악하게(coarsely)" 정렬될 수 있다. 예를 들면, 데이터 동기화 회로(130)는, 타이밍 복원 시스템(100)이 로컬 트레이닝 시퀀스(TS_L) 및 수신된 트레이닝 시퀀스(TS_R) 둘 모두에서 동일한 비트 시퀀스를 거칠게 추적하는지를 결정하기 위해 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 비교할 수 있다. 트레이닝 시퀀스들(TS_L 및 TS_R)로부터 판독되는 비트 시퀀스들이 적어도 조악하게 정렬되지 않는다면, RX 디바이스의 수신 클록과 수신된 데이터 신호를 정렬하는 것은 (불가능하지 않다면) 매우 어려울 수 있다. 따라서, 데이터 동기화 회로(130)는, 자신이 수신된 트레이닝 시퀀스(TS_R)를 추적하도록 로컬 트레이닝 시퀀스(TS_L)를 조절할 수 있다.

[0015]

[0026] 타이밍 정렬 회로(140)는 ADC(110) 및 데이터 동기화 회로(130)로부터 수신된 트레이닝 시퀀스(TS_R) 및 동기화된 트레이닝 시퀀스(TS_S)를 각각 수신하기 위한 입력들을 포함하고, 동기화된 클록 신호를 출력한다. 일부 실시예들에서, 동기화된 클록 신호는, 샘플들이 각각의 심볼 기간의 중심(예를 들면, 피크)에서 취해질 수

있도록, 수신된 데이터 신호와 정렬될 수 있다. 예를 들면, 타이밍 정렬 회로(140)는, 수신된 데이터 신호로부터 취해진 샘플들에서 타이밍 에러를 결정하기 위해 수신된 트레이닝 시퀀스(TS_R)와 동기화된 트레이닝 시퀀스(TS_S)를 비교할 수 있다. 이어서, 타이밍 에러는 RX 디바이스에서의 수신 클록(즉, 동기화된 클록 신호)의 타이밍 파라미터들(예를 들면, 지터, 주파수 및/또는 위상 오프셋)을 조절하는데 사용될 수 있다.

[0016]

[0027] 도 2는 일부 실시예들에 따른 예시적인 타이밍 복원 동작(200)을 도시한 예시적인 흐름도이다. 도 1을 또한 참조하면, 동작(200)에서, RX 디바이스는 먼저 TX 디바이스와 PN 시퀀스를 협상한다(210). PN 시퀀스는, RX 디바이스의 수신 클록과 TX 디바이스로부터 수신된 데이터 신호를 동기화할 목적으로 사용될 각각의 트레이닝 시퀀스들을 생성하기 위해 RX 및 TX 디바이스들 둘 모두에 의해 사용될 수 있다. 예를 들면, PN 시퀀스는 (RX 및 TX 디바이스를 내외) 최대 길이 시프트 레지스터에 의해 생성될 수 있고, (예를 들면, 16384 개의 심볼들마다) 시프트 레지스터에 의해 반복적으로 출력될 수 있다. 시프트 레지스터의 초기 상태는, 예를 들면, 자동-협상 절차 동안에 RX 디바이스와 TX 디바이스 사이에서 교환될 수 있어서, RX 디바이스는 TX 디바이스에 의해 전송된 PN 시퀀스의 지식을 갖는다.

[0017]

[0028] 타이밍 복원 시스템(100)은 TX 디바이스로부터 PN 시퀀스를 나타내는 데이터 신호를 수신하고(220), 수신된 데이터 신호로부터 트레이닝 시퀀스(TS_R)를 복원한다(230). 일부 실시예들에서, PN 시퀀스는 2-PAM(2-level pulse-amplitude modulation)을 사용하여 인코딩될 수 있다. 따라서, ADC(110)는 트레이닝 시퀀스(TS_R)를 복원하기 위해 수신된 데이터 신호를 샘플링하는데 사용될 수 있다. 예를 들면, ADC(110)는 RX 디바이스의 로컬 수신 클록 신호(간략히 하기 위해 도시되지 않음)에 응답하여 데이터 신호를 샘플링할 수 있다. 그러나, 비동기 데이터 전송들의 성질로 인해, 수신 클록 신호는 수신된 데이터 신호와 초기에 정렬되지 않을 수 있다.

[0018]

[0029] 타이밍 복원 시스템(100)은 또한 수신된 트레이닝 시퀀스(TS_R)를 생성하는데 사용되는 동일한 PN 시퀀스에 기초하여 로컬 트레이닝 시퀀스(TS_L)를 생성할 수 있다(240). 구체적으로, TS 생성기(120)는, 앞서 설명된 바와 같이, PN 시퀀스 협상 동안에 RX와 TX 디바이스들 사이에서 교환되는 정보에 기초하여 로컬 트레이닝 시퀀스(TS_L)를 생성할 수 있다. 일부 실시예들에서, TS 생성기(120)는 PN 시퀀스가 그 안에서 미리 로딩되는 시프트 레지스터에 대응할 수 있다. 따라서, TS 생성기(120)는 수신된 트레이닝 시퀀스(TS_R)를 생성하는데 사용되는 (TX 디바이스 내외) 시프트 레지스터의 초기 상태에 기초하여 로컬 트레이닝 시퀀스(TS_L)를 간단히 출력할 수 있다.

[0019]

[0030] 다음에, 타이밍 복원 시스템(100)은 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 동기화한다(250). 앞서 설명된 바와 같이, 트레이닝 시퀀스들(TS_R 및 TS_L)은, TX 및 RX 디바이스들 내의 시프트 레지스터들에 의해 반복적으로 각각 출력되는 PN 시퀀스들에 대응할 수 있다. 이러한 시프트 레지스터들의 초기 상태가 동일할 수 있지만, 타이밍 복원 시스템(100)에 의해 지각되는 TS_R 및 TS_L 의 실제 비트 시퀀스들은 상이할 수 있다. 구체적으로, 다수의 요인들(예를 들면, 지터, 지연, 간섭 등)은 TX 디바이스로부터 수신된 데이터 신호를 변경하거나 그렇지 않다면 그에 영향을 줄 수 있다. 예를 들면, (예를 들면, TX 디바이스와 RX 디바이스 사이의) 전송 매체를 따른 간섭은, 수신된 트레이닝 시퀀스(TS_R)의 하나 이상의 비트들이 복원 불가하도록 데이터 신호를 변경할 수 있다. 따라서, TS_L 의 비트 시퀀스가 TS_R 의 비트 시퀀스와 초기에 정렬되도록 ADC(110)의 출력과 TS 생성기(120)의 출력의 타이밍을 맞추는 것은 매우 어려울 수 있다.

[0020]

[0031] 일부 실시예들에서, 데이터 동기화 회로(130)는 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 비교하고, 임의의 발견된 불일치들(discrepancies)에 기초하여 TS_L 을 조절한다. 일단 로컬 트레이닝 시퀀스(TS_L)가 수신된 트레이닝 시퀀스(TS_R)와 동기화되면, 데이터 동기화 회로(130)는 동기화된 트레이닝 시퀀스(TS_S)로서 TS_L 을 출력할 수 있다. 일부 실시예들에서, 데이터 동기화 회로(130)는, TS_L 의 비트 시퀀스가 TS_R 의 비트 시퀀스를 추적할 때까지 로컬 트레이닝 시퀀스(TS_L)를 반복적으로 조절한다. 예를 들면, 전송 경로를 따른 간섭으로 인해, 수신된 트레이닝 시퀀스(TS_R)의 비트들의 제 1 세트는 로컬 트레이닝 시퀀스(TS_L)의 비트들의 제 1 세트와 매칭할 수 있거나 매칭하지 않을 수 있다. 그러나, 로컬 트레이닝 시퀀스(TS_L)가 내부적으로 생성되기 때문에, 이것은 수신된 트레이닝 시퀀스(TS_R)와 매칭하도록 조절될 수 있다. 따라서, 수신된 트레이닝

시퀀스(TS_R)가 로컬 트레이닝 시퀀스(TS_L)와 비동기(out of sync)이면, 데이터 동기화 회로(130)는, TS_L 의 비트 시퀀스가 TS_R 의 대응하는 비트 시퀀스와 매칭할 때까지 TS_L 의 비트 시퀀스를 "스텝-업"할 수 있다.

[0021] [0032] 로컬 트레이닝 시퀀스(TS_L)가 수신된 트레이닝 시퀀스(TS_R)와 동기화된 후에, 타이밍 복원 시스템(100)은 로컬 수신 클록과 수신된 데이터 신호를 정렬하기 위해 동기화된 트레이닝 시퀀스(예를 들면, TS_S)를 사용한다 (260). 예를 들면, TS_S 가 TS_R 과 동기화되기 때문에, TS_S 의 개별적인 비트 값들은 TS_R 내의 대응하는 비트들의 심볼 피크들을 식별하기 위한 "이상적인" 기준값들로서 사용될 수 있다. 일부 실시예들에서, 타이밍 정렬 회로 (140)는, 로컬 수신 클록 신호의 위상 및/또는 주파수를 정정하는데 이후에 사용될 수 있는 타이밍 에러를 결정하기 위해, 동기화된 트레이닝 시퀀스(TS_S)와 수신된 트레이닝 시퀀스(TS_R)를 비교할 수 있다.

[0022] [0033] 도 3은 도 1의 데이터 동기화 회로(130)의 일 실시예인 데이터 동기화 회로(300)의 블록도를 도시한다. 데이터 동기화 회로(300)는 피크 검출 회로(310) 및 데이터 조절 회로(320)를 포함하고, ADC(110) 및 TS 생성기 (120)에 커플링된 것으로 도 3에 도시된다. 앞서 설명된 바와 같이, ADC(110)는 수신된 트레이닝 시퀀스(TS_R)를 복원하기 위해 수신된 데이터 신호를 샘플링하고, 수신된 트레이닝 시퀀스(TS_R)를 피크 검출 회로(310)로 출력한다. TS 생성기(120)는 로컬 트레이닝 시퀀스(TS_L)를 데이터 조절 회로(320)로 출력한다. 일부 실시예들에서, 데이터 조절 회로(320)는, ADC(110)에 의해 출력되는 수신된 트레이닝 시퀀스(TS_R)와의 리듬으로 로컬 트레이닝 시퀀스(TS_L)의 개별적인 비트들을 순차적으로 출력할 수 있다.

[0023] [0034] 피크 검출 회로(310)는 데이터 조절 회로(320) 및 ADC(110)로부터 로컬 트레이닝 시퀀스(TS_L) 및 수신된 트레이닝 시퀀스(TS_R)를 각각 수신하기 위한 입력들을 포함하고, 피크 검출 신호를 출력한다. 일부 실시예들에서, 피크 검출 회로(310)는, 2 개의 트레이닝 시퀀스들(TS_L 및 TS_R) 사이의 "피크 상관"을 검출하기 위해 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 비교할 수 있다. 피크 상관은, 도 5에 관련하여 아래에 더 상세히 설명되는 바와 같이, (i) 수신된 트레이닝 시퀀스(TS_R)(및/또는 로컬 트레이닝 시퀀스(TS_L))의 일부분의 비트 값들 사이의 변동이 비트 변동 임계값을 만족시키거나 이를 초과할 때 및 (ii) 로컬 트레이닝 시퀀스 (TS_L)와 수신된 트레이닝 시퀀스(TS_R)의 대응하는 비트들 사이의 매치들의 수가 비트 매치 임계값을 만족시키거나 이를 초과할 때, 검출될 수 있다. 구체적으로, 피크 검출 회로(310)는 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R) 사이의 피크 상관을 검출할 때 피크 검출 신호를 선언할 수 있다.

[0024] [0035] 데이터 조절 회로(320)는 피크 검출 신호에 응답하여 로컬 트레이닝 시퀀스(TS_L)를 조절할 수 있다. 일부 실시예들에서, 임계수의 데이터 사이클들(또는 클록 사이클들)이 경과된 후에, 피크 검출 신호가 여전히 선언되지 않는다면, 데이터 조절 회로(320)는 시퀀스 내의 하나 이상의 비트들을 "스킵 오버"함으로써 로컬 트레이닝 시퀀스(TS_L)를 조절할 수 있다. 구체적으로, 데이터 조절 회로(320)는, 로컬 트레이닝 시퀀스(TS_L)가 현재 추적하는 협상된 PN 시퀀스의 부분을 충분함으로써 로컬 트레이닝 시퀀스(TS_L)를 조절할 수 있다. 로컬 트레이닝 시퀀스(TS_L)가 수신된 트레이닝 시퀀스(TS_R)와 동기화될 때, 피크 검출 회로(310)는 피크 검출 신호를 선언하고, 이에 응답하여, 데이터 조절 회로(320)는 동기화된 트레이닝 시퀀스(TS_S)를 출력한다.

[0025] [0036] 동기화된 트레이닝 시퀀스(TS_S)는 수신 클록 신호와 수신된 데이터 신호를 정렬하는데 후속으로 사용될 수 있다. 예를 들면, 동기화된 트레이닝 시퀀스(TS_S)가 수신된 트레이닝 시퀀스(TS_R)와 동기화(예를 들면, 조악하게 정렬)되기 때문에, 데이터 조절 회로(320)에 의해 출력된 비트들의 시퀀스는 ADC(110)에 의해 출력된 비트들의 시퀀스와 일치(예를 들면, 매칭)할 수 있다. 따라서, 동기화된 트레이닝 시퀀스(TS_S)와 수신된 트레이닝 시퀀스(TS_R)를 비교함으로써 타이밍 정렬이 수행될 수 있다.

[0026] [0037] 도 4는 일부 실시예들에 따른 예시적인 데이터 동기화 동작(400)을 도시한 예시적인 흐름도이다. 앞서 설명된 바와 같이, 본 실시예들은 RX 디바이스가 로컬 트레이닝 시퀀스(TS_L)와 TX 디바이스로부터 수신된 트레이닝 시퀀스(TS_R)를 조악하게 정렬하는 것을 가능하게 한다. 도 3을 또한 참고하면, 동작(400)에서, 데이터 동기화 회로(300)는 먼저 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 먼저 비교한다(410). 구체

적으로, 피크 검출 회로(310)는 수신된 트레이닝 시퀀스(TS_R)(ADC(110)로부터 수신됨)와 로컬 트레이닝 시퀀스(TS_L)(데이터 조절 회로(320)로부터 수신됨)의 비트마다의(bit-by-bit) 비교를 수행할 수 있다. 일부 실시예들에서, 피크 검출 회로(310)는 로컬 트레이닝 시퀀스(TS_L)의 각각의 비트와 수신된 트레이닝 시퀀스(TS_R)의 2 개 이상의 비트들을 비교할 수 있다.

[0027] [0038] 이어서, 데이터 동기화 회로(300)는, 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R) 사이에 피크 상관이 존재하는지를 결정한다(420). 앞서 언급된 바와 같이, 피크 상관은 (i) 수신된 트레이닝 시퀀스(TS_R)(및/또는 로컬 트레이닝 시퀀스(TS_L))의 일부분의 비트 값을 사이의 변동이 비트 변동 임계값을 만족시키거나 이를 초과할 때 및 (ii) 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)의 대응하는 비트들 사이의 매치들의 수가 비트 임계값을 만족시키거나 이를 초과할 때, 검출될 수 있다. 일부 실시예들에서, 피크 검출 회로(310)는, 피크 상관을 결정하기 전에(420) 데이터 사이클들의 임계수에 대한 T_{SL} 과 T_{SR} 사이의 비교(410) 데이터를 수집할 수 있다.

[0028] [0039] 예를 들면, 도 5는 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L)에 대응하는 예시적인 PN 시퀀스(500)를 도시한다. 수신된 트레이닝 시퀀스(TS_R)는 제 1의 6-비트 부분(TS_{RA}) 및 제 2의 6-비트 부분(TS_{RB})을 포함하고, 로컬 트레이닝 시퀀스(TS_L)는 제 1의 6 비트 부분(TS_{LA}) 및 제 2의 6-비트 부분(TS_{LB})을 포함한다. 예시적인 PN 시퀀스(500)에서, 피크 결정 동작이 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L)의 각각의 6-비트 부분에 대해 수행될 수 있다. 더 구체적으로, 제 1 수신된 트레이닝 시퀀스 부분(TS_{RA})에 대응하는 비트 시퀀스("111111")가 제 1 로컬 트레이닝 시퀀스 부분(TS_{LA})에 대응하는 비트 시퀀스("111111")와 비교되면, 모든 6 비트-비교들은 매치들을 발생시킨다. 그러나, 중첩하는 비트 시퀀스들("111111")의 비트 값을 사이에 어떠한 변동도 존재하지 않기 때문에, 피크 상관이 표시되지 않을 수 있다(따라서, 트레이닝 시퀀스들(TS_R 및 TS_L)이 PN 시퀀스(500)의 동일한 부분과 정렬되는지 또는 일치하게 모두 "1들"인지를 결정하는 것은 어려울 수 있음).

[0029] [0040] 역으로, 제 2 수신된 트레이닝 시퀀스 부분(TS_{RB}) 및 제 2 로컬 트레이닝 시퀀스 부분(TS_{LB})에 대응하는 비트 시퀀스("110010")는, 시퀀스("110010")의 비트 값들이 3과 동일하기 때문에(예를 들면, 시퀀스("110010")의 이진 값을 내에 3 개의 상태 변화들이 존재함), 피크 상관의 표시를 발생시킬 수 있다. 따라서, 변동 임계값이 이러한 예에서 3 또는 그 미만이면, TS_{RB} 및 TS_{LB} 사이의 비교는 피크 상관의 표시를 발생시킨다. 따라서, 본 실시예들에 따라, 트레이닝 시퀀스 부분들의 비트 값을 사이의 더 큰 변동들은, 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L) 사이의 매치들이 T_{SL} 과 T_{SR} 사이의 동기화로부터 발생할 더 강한 가능성을 표시할 수 있고, 반면에 트레이닝 시퀀스 부분들의 비트 값을 사이의 더 적은 변동들은, 수신된 트레이닝 시퀀스(TS_R) 및 로컬 트레이닝 시퀀스(TS_L) 사이의 매치들이 일치할 더 강한 가능성을 표시할 수 있다.

[0030] [0041] 도 4를 다시 참조하면, (420)에서 테스트된 바와 같이, 어떠한 피크 상관도 검출되지 않는다면, 데이터 동기화 회로(300)는 로컬 트레이닝 시퀀스(TS_L)를 조절하고(430), 조절된 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 비교할 수 있다(410). 구체적으로, 데이터 조절 회로(320)는, 로컬 트레이닝 시퀀스(TS_L)가 현재 추적중인 PN 시퀀스의 부분을 충분함으로써 로컬 트레이닝 시퀀스(TS_L)를 조절할 수 있다. 예를 들면, 다시 도 5를 참조하면, 초기의 비트 시퀀스의 부분(TS_{LA})은 대응하는 비트 시퀀스의 제 1 수신된 트레이닝 시퀀스 부분(TS_{RA})에 (예를 들면, PN 시퀀스(500)에 대해) 3 개의 데이터 사이클들만큼 앞선다. 따라서, 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)를 동기화하기 위해, 데이터 조절 회로(320)는 제 2 로컬 트레이닝 시퀀스 부분(TS_{LB})에서 다음의 3 개의 비트들을 스kip 오버할 수 있다. 일부 실시예들에서, 로컬 트레이닝 시퀀스(TS_L)를 조절하는 단계(430)는 반복적으로 수행될 수 있고, 여기서 데이터 조절 회로(320)는 반복마다(예를 들면, 피크 상관 결정이 이루어질 때마다) 하나의 데이터 사이클만큼 TS_L 을 충분한다.

[0031] [0042] (420)에서 테스트된 바와 같이, 일단 피크 상관이 발견되면, 데이터 동기화 회로(300)는 동기화된 트레이닝 시퀀스(TS_S)를 출력한다(440). 구체적으로 데이터 조절 회로(320)는 동기화된 트레이닝 시퀀스(TS_S)를 타

이밍 정렬 회로(140)(또한 도 1 참조)로 출력할 수 있고, 여기서 이어서 동기화된 트레이닝 시퀀스(TS_S)는 RX 디바이스의 수신 클록 신호와 TX 디바이스로부터 수신된 데이터 신호를 정밀하게 정렬하는데 사용될 수 있다. 일부 실시예들에서, 데이터 조절 회로(320)는 동기화된 트레이닝 시퀀스(TS_S)로서 조절된 로컬 트레이닝 시퀀스(TS_L)를 출력할 수 있다.

[0032] [0043] 도 6은 도 1의 데이터 동기화 회로(130)의 다른 실시예인 데이터 동기화 회로(600)를 도시한다. 데이터 동기화 회로(600)는 메모리(610), 카운터들(630(0)-630(3))의 대응하는 세트에 커플링된 비교기들(620(0)-620(3))의 세트, 피크 검출 로직(640), 데이터 사이클(CYC) 카운터(650) 및 어드레스(ADR) 카운터(660)를 포함하고, ADC(110) 및 TS 생성기(120)에 커플링된 것으로 도 6에 도시된다. ADC(110)는 수신된 데이터 신호를 샘플링하고, 샘플링에 기초하여 트레이닝 시퀀스(TS_R)를 출력한다. 일부 실시예들에서, VCO(voltage-controlled oscillator)(670)는, 수신된 데이터 신호를 샘플링하기 위해 ADC(110)에 의해 사용되는 클록 신호를 제공할 수 있다. 일부 실시예들에서, HD(hard-decision) 로직(680)은 수신된 트레이닝 시퀀스(TS_R)의 각각의 데이터 샘플을 이진 값(예를 들면, 로직 "1" 또는 "0" 중 어느 하나)으로 변환할 수 있다.

[0033] [0044] TX 생성기(120)는 메모리(610)에 저장되도록 로컬 트레이닝 시퀀스(TS_L)를 출력한다. 일부 실시예들에서, 메모리(610)는 랜덤 액세스 메모리(RAM) 디바이스에 대응할 수 있다. 메모리(610)는 ADR 카운터(660)에 의해 제공되는 어드레스 포인터(AP)에 기초하여 로컬 트레이닝 시퀀스(TS_L)의 하나의 비트를 출력하도록 구성된다. 예를 들면, ADR 카운터(660)는, 데이터 동기화 동작의 데이터 사이클마다 어드레스 포인터(AP)의 값을 충분하도록 구성될 수 있다. 따라서, 메모리(610)는 데이터 사이클마다 로컬 트레이닝 시퀀스(TS_L)의 상이한 비트를 출력할 수 있다.

[0034] [0045] 비교기들(620(0)-620(3)) 각각은 (메모리(610)로부터 출력된) 로컬 트레이닝 시퀀스(TS_L)의 비트들을 수신하기 위한 제 1 입력, 및 (ADC(110)에 의해 출력된) 수신된 트레이닝 시퀀스(TS_R)의 비트를 수신하기 위한 제 2 입력을 포함한다. 자연 엘리먼트(601)는, 비교기들(620(1)-620(3)) 각각이 임의의 정해진 시간에 수신된 트레이닝 시퀀스(TS_R)의 상이한 비트를 수신하도록, 비교기들(620(0)-620(3)) 각각의 입력 경로에 커플링된다. 구체적으로, 비교기(620(0))는 수신된 트레이닝 시퀀스(TS_R)의 현재 비트를 수신하고, 비교기(620(1))는 이전 TS_R 비트(예를 들면, 이전 데이터 사이클 동안에 ADC(110)에 의해 출력된 비트)를 수신하고, 비교기(620(2))는 2 개의 이전 데이터 사이클들로부터 TS_R 비트를 수신하고, 비교기(620(3))는 3 개의 이전 데이터 사이클들로부터 TS_R 비트를 수신한다.

[0035] [0046] 각각의 데이터 사이클 동안에, 비교기들(620(0)-620(3))은 그들 각각의 TS_R 비트들과 메모리(610)로부터 출력된 TS_L 비트를 비교하고, 매치 결과들을 카운터들(630(0)-630(3))의 세트로 출력한다. 예를 들면, 매치가 비교기들(620(0)-620(3)) 중 임의의 것에서 검출되면, 대응하는 카운터(630(0)-630(3))는 매치를 기록(및 대응하는 매치 카운트 값)을 증한다. 저장된 매치 카운트 값들은 입력들로서 피크 검출 로직(640)에 제공되고, 피크 검출 로직(640)은, 수신된 매치 카운트 값들에 기초하여, 트레이닝 시퀀스들(TS_L 및 TS_R) 사이에 피크 상관이 발견되었는지를 결정한다. 앞서 설명된 바와 같이, 피크 검출 로직(640)은 (i) 수신된 트레이닝 시퀀스(TS_R) (및/또는 로컬 트레이닝 시퀀스(TS_L))의 일부분의 비트 값들 사이의 변동이 비트 변동 임계값을 만족시키거나 이를 초과할 때 및 (ii) 로컬 트레이닝 시퀀스(TS_L)와 수신된 트레이닝 시퀀스(TS_R)의 대응하는 비트들 사이의 매치들의 수가 비트 매치 임계값을 만족시키거나 이를 초과할 때, 피크 상관을 검출할 수 있다. 트레이닝 시퀀스들(TS_L 및 TS_R) 사이에 피크 상관을 검출할 때, 피크 검출 로직(640)은 피크 검출 신호를 선언할 수 있다.

[0036] [0047] CYC 카운터(650)는 데이터 동기화 동작에 의해 완료된 데이터 사이클들의 수의 카운트를 유지한다. 구체적으로, CYC 카운터(650)는, 데이터 사이클이 완료될 때마다 저장된 카운트 값을 업데이트할 수 있다. 카운트 값이 임계수(L)에 도달하고, 피크 검출 신호가 선언되지 않을 때, CYC 카운터(650)는 재설정(RST) 신호를 ADR 카운터(660) 및 카운터들(630(0)-630(3))의 세트로 출력한다. RST 신호는 카운터들(630(0)-630(3)) 각각에 저장된 카운트 값을 재설정하고, ADR 카운터(660)로 하여금 메모리(610)에 대한 어드레스 포인터(AP)의 값을 충분하게 한다. 예를 들면, ADR 카운터(660)가 데이터 사이클마다 어드레스 포인터(AP)를 자동적으로 충분하도록 구성되면, RST 신호의 선언은 ADR 카운터(660)로 하여금 어드레스 포인터(AP)를 2 배 충분하게 할 수 있

고, 따라서 메모리(610)로 하여금 로컬 트레이닝 시퀀스(TS_L)의 비트를 스kip하게 한다.

[0048] 일부 실시예들에서, 피크 검출 신호의 선언은 CYC 카운터(650)가 RST 신호를 선언하는 것을 방지할 수 있고, 따라서 임의의 추가의 조절들이 로컬 트레이닝 시퀀스(TS_L)에서 이루어지는 것을 방지한다. 또한, 피크 검출 신호의 선언은 또한 로컬 트레이닝 시퀀스(TS_L)의 현재 상태(예를 들면, 어드레스 포인터(AP)에 의해 포인팅된 바와 같음)가 동기화된 트레이닝 시퀀스(TS_S)로서 데이터 동기화 회로(600)로부터 출력되게 할 수 있다. 일부 실시예들에서, 피크 검출 신호는 (예를 들면, 도 1의 타이밍 정렬 회로(140)에 의해) 타이밍 정렬 동작을 트리거링하기 위해 동기화된 트레이닝 시퀀스(TS_S)와 함께 출력될 수 있다. 다른 실시예들에서, 동기화된 트레이닝 시퀀스(TS_S)는, 피크 검출 신호가 선언되지 않는 경우에, 예를 들면, 데이터 동기화 회로(600)가 (예를 들면, 동기화된 트레이닝 시퀀스(TS_S)로서) 로컬 트레이닝 시퀀스(TS_L)를 출력하는 것을 방지하기 위해 데이터 동기화 회로(600)의 출력에서 피크 검출 신호에 의해 게이팅될 수 있다.

[0049] 도 7a 및 도 7b는 일부 실시예들에 따른 다른 예시적인 데이터 동기화 동작(710)을 도시한 예시적인 흐름도들이다. 또한 도 6을 참조하면, 동작(710)은 어드레스 카운터(701) 및 데이터 사이클 카운터(702) 둘 모두를 재설정함으로써 시작된다. 예를 들면, ADR 카운터(660)를 재설정하는 것은 어드레스 포인터(AP)로 하여금 메모리(610)에 저장된 데이터의 제 1 비트의 어드레스를 포인팅하게 할 수 있다. CYC 카운터(650)를 재설정하는 것은 CYC 카운터(650)의 카운트 값으로 하여금 제로로 초기화되게 할 수 있다. 데이터 동기화 회로(600)는 또한 로컬 트레이닝 시퀀스(TS_L)를 메모리로 로딩할 수 있다(703). 예를 들면, TS 생성기(120)에 의해 출력된 로컬 트레이닝 시퀀스(TS_L)는 메모리(610)에 저장될 수 있다.

[0050] 다음에, 로컬 트레이닝 시퀀스(TS_L)의 현재 비트(TS_{LC})는 수신된 트레이닝 시퀀스(TS_R)의 샘플링된 비트(TS_{R0})와 비교되고(704), 비트들이 매칭하면, 제 1 카운터(CNT0)가 증분된다(708). 예를 들면, 비교기(620(0))는, ADC(110)에 의해 현재 샘플링된 TS_{R0} 비트와 메모리(610)에서 판독된 TS_{LC} 비트를 비교할 수 있다. 카운터(630(0))는 CNT0의 카운트 값을 업데이트함으로써 비교의 결과를 저장할 수 있다.

[0051] 이어서, 얼마나 많은 데이터 사이클들이 완료되었는지에 의존하여, TS_{LC} 비트는 또한 최대 3 개의 이전 데이터 사이클들로부터의 이전에 샘플링된 비트들(TS_{R1} - TS_{R3})과 비교될 수 있고(705-707), 각각의 카운터들(CNT1-CNT3)은 임의의 매치들을 기록하도록 증분될 수 있다(709-711). 예를 들면, 비교기(620(1))는 이전의 데이터 사이클로부터의 TS_{R1} 비트와 메모리(610)로부터 판독된 TS_{LC} 비트를 비교할 수 있고, 비교기(620(2))는 2 개의 이전 데이터 사이클들로부터의 TS_{R2} 비트와 TS_{LC} 비트를 비교할 수 있고, 비교기(620(3))는 3 개의 이전 데이터 사이클들로부터의 TS_{R3} 비트와 TS_{LC} 비트를 비교할 수 있다. 카운터들(630(1)-630(3)) 각각은 CNT1-CNT3에 대한 카운트 값을 업데이트함으로써 대응하는 비교의 결과를 각각 저장할 수 있다.

[0052] 이어서, 데이터 동기화 회로(600)는, 데이터 사이클들의 임계수(CYC_{TH})가 완료되었는지를 결정한다(712). CYC 카운터(650)가 임계수(CYC_{TH})에 아직 도달되지 않는 한, 데이터 동기화 회로(600)는, 로컬 트레이닝 시퀀스(TS_L) 및 수신된 트레이닝 시퀀스(TS_R)의 후속 비트들을 판독 및 비교하면서(704-707), CYC 카운터(650)(713) 및 ADR 카운터(660)(714) 둘 모두를 계속해서 증분한다. 예를 들면, CYC 카운터(650)는 데이터 사이클의 완료를 반영하기 위해 자신의 저장된 카운트 값을 증분할 수 있다. ADR 카운터(660)는 어드레스 포인터(AP)와 연관된 비트 어드레스를 증분하고, 이것은 차례로 다음의 TS_L 비트가 메모리(610)로부터 판독되게 한다.

[0053] (712)에서 테스트된 바와 같이, 일단 데이터 사이클들의 임계수(CYC_{TH})가 도달되면, 데이터 동기화 회로(600)는, 도 7b에 도시된 바와 같이, 피크 상관 결정을 수행하도록 진행될 수 있다. 구체적으로, 제 2 카운터(CNT1)가 매치들의 임계수(CYC_{TH})를 기록하였는지(717), 제 2 카운터(CNT1)가 제 1 카운터(CNT0)보다 더 많은 매치들을 기록하였는지(718), 및 제 2 카운터(CNT1)가 제 3 카운터(CNT2)보다 더 많은 매치들을 기록하였는지(719)에 대해 결정이 이루어진다. 이러한 조건들(717-719) 모두가 만족되면, 데이터 동기화 회로(600)는, 피크 상관이 검출되었다는 것(726)을 나타낼 수 있다. 그렇지 않다면, 제 3 카운터(CNT2)가 적어도 CYC_{TH} 매치들을 기록하였는지(720), 제 3 카운터(CNT2)가 제 2 카운터(CNT1)보다 더 많은 매치들을 기록하였는지(721), 및 제 3 카운터(CNT2)가 제 4 카운터(CNT3)보다 더 많은 매치들을 기록하였는지(722)에 대한 결정이 이루어진다. 다시,

이러한 조건들(720-722) 모두가 만족되면, 데이터 동기화 회로(600)는, 피크 상관이 검출되었다는 것(726)을 나타낼 수 있다.

[0043]

[0054] 예를 들면, 또한 도 6을 참조하면, 피크 검출 로직(640)은, 위의 조건들(717-722)이 만족되는지를 결정하기 위해 카운터들(630(1)-630(3))(예를 들면, CNT1-CNT3) 각각으로부터의 출력들을 분석할 수 있다. 조건들(717-719)의 제 1 세트 또는 조건들(720-722)의 제 2 세트 중 어느 하나가 만족되었다고 피크 검출 로직(640)이 결정하면, 피크 검출 로직(640)은, 피크 상관이 검출되었다는 것(726)을 나타내기 위해 피크 검출 신호를 선언할 수 있다. 피크 검출 신호를 수신할 때, CYC 카운터(650)는 RST 신호를 선언하는 것이 방지된다. 또한, 피크 검출 신호의 선언 시에, 로컬 트레이닝 시퀀스(TS_L)의 현재 상태는 동기화된 트레이닝 시퀀스(TS_S)로서 출력될 수 있다. 피크 상관이 피크 검출 로직(640)에 의해 검출될 때, 현재 TS_L 비트(TS_{LC})가 하나 또는 2 개의 이전 데이터 사이클들의 TS_R 비트(TS_{R1} 또는 TS_{R2})와 동일할 수 있다는 것을 유의하라. 따라서, 일부 실시예들에서, ADR 카운터(660)는 또한, 로컬 트레이닝 시퀀스(TS_L)가 수신된 트레이닝 시퀀스(TS_R)를 "따라 잡는 것(catch up)"을 가능하게 하기 위해, 피크 상관이 검출될 때, 어드레스 포인터(AP)와 연관된 비트 어드레스를 (예를 들면, 1 또는 2 비트들만큼) 증분할 수 있다.

[0044]

[0055] 그러나, 조건들(717-722) 중 임의의 것이 만족되지 않는다면, 데이터 동기화 회로(600)는 ADR 카운터(660)를 증분하고(723), CYC 카운터(650)를 재설정하고(724), 개별적인 카운터들(CNT0-CNT3) 각각을 재설정(725)하도록 진행할 수 있다. 예를 들면, 데이터 사이클들의 임계수(CYC_{TH})가 도달된 후에, 피크 검출 신호가 선언되지 않는다면, CYC 카운터(650)는 자신의 저장된 카운트 값을 재설정하고, 카운터들(630(0)-630(3))을 재설정하고 어드레스 포인터(AP)와 연관된 비트 어드레스를 증분하도록 ADR 카운터(660)에 명령하기 위한 RST 신호를 출력할 수 있다. 이것은 후속 피크 상관 동작(717-726)을 위해 피크 검출 로직(640)을 설정할 수 있다.

[0045]

[0056] 도 8은 도 1의 타이밍 정렬 회로(140)의 일부 실시예인 타이밍 정렬 회로(800)의 블록도를 도시한다. 타이밍 정렬 회로(800)는 2-PAM 맵핑 회로(810), TED(timing error detection) 회로(820), 조절 가능한 루프 필터(830) 및 VCO(840)를 포함하고, ADC(110)에 커플링된 것으로 도 8에 도시된다. 앞서 설명된 바와 같이, ADC(110)는 트레이닝 시퀀스(TS_R)를 복원하기 위해 수신된 데이터 신호를 샘플링한다. VCO(840)는, 수신된 데이터 신호를 샘플링하기 위해 ADC(110)에 의해 사용되는 수신 클록 신호(CLK)를 제공할 수 있다. 일부 실시예들에서, 수신된 트레이닝 시퀀스(TS_R)는 출력 지터 RMS 성능을 개선하기 위해 FFE(feed-forward equalizer)(850)에 의해 프로세싱될 수 있다. 구체적으로, FFE(850)는 (예를 들면, ISI 잡음 기간들을 감소시킴으로써) 심볼간 간섭을 부분적으로 완화할 수 있고, 따라서 지터 성능을 개선한다.

[0046]

[0057] 2-PAM 맵핑 회로(810)는 동기화된 트레이닝 시퀀스(TS_S)의 각각의 비트를 2-PAM 전압 레벨로 변환할 수 있다. TED 회로(820)는 동기화된 트레이닝 시퀀스(TS_S) 및 수신된 트레이닝 시퀀스(TS_R) 둘 모두를 수신하기 위한 입력들을 갖고, 2 개의 트레이닝 시퀀스들(TS_S 및 TS_R) 사이의 타이밍 에러를 나타내는 에러 신호를 출력한다. 일부 실시예들에서, TED 회로(820)는 Mueller-Muller 타이밍 에러 검출 회로에 대응할 수 있고, 여기서 타이밍 에러(X)는 다음과 같이 계산될 수 있고, 따라서 지터 성능을 개선한다.

[0047]

$$X_N = TS_{RN} * TS_{S(N-1)} - TS_{R(N-1)} * TS_{SN}$$

[0048]

여기서 N은 대응하는 트레이닝 시퀀스들(TS_S 또는 TS_R)의 현재 비트를 나타내고, N-1은 트레이닝 시퀀스의 이전 비트(예를 들면, 이전 클록 사이클과 연관된 비트)를 나타낸다.

[0049]

[0058] 일부 실시예들에서, 에러 신호는 필터링된 에러 신호를 생성하기 위해 조절 가능한 루프 필터(830)에 의해 필터링될 수 있다. 예를 들면, 조절 가능한 루프 필터(830)는, 예를 들면, 더 유용하고 정밀한 필터링된 에러 신호를 생성하기 위해, TED 회로(820)에 의해 출력된 에러 신호 내의 임의의 과도한 잡음을 억제할 수 있다. 일부 실시예들에서, 조절 가능한 루프 필터(830)의 하나 이상의 루프 파라미터들은 양호한 지터 성능을 추가로 보장하기 위해 (예를 들면, 시간 기간에 걸쳐) 조절될 수 있다.

[0050]

[0059] VCO(840)는 조절 가능한 루프 필터(830)로부터 필터링된 에러 신호를 수신하고, 그에 응답하여 CLK 신호를 조절한다. 구체적으로, 필터링된 에러 신호는 VCO(840)로 하여금 클록 신호(CLK)의 샘플링 에지와 수신된 데이터 신호의 각각의 심볼의 피크(또는 중심)를 정렬하게 한다. 예를 들면, 필터링된 에러 신호와 연관된 전

압 레벨은 VCO(840)로 하여금 CLK 신호의 발진 주파수를 증가 또는 감소시키게 할 수 있다. 더 구체적으로, VCO(840)는, 필터링된 여러 신호의 전압 레벨이 증가될 때, CLK 신호의 발진 주파수를 증가시킬 수 있고, VCO(840)는, 필터링된 여러 신호의 전압 레벨이 감소될 때, CLK 신호의 발진 주파수를 감소시킬 수 있다. 따라서, 타이밍 정렬 회로(800)는, CLK 신호가 수신된 데이터 신호의 심볼 피크들과 정밀하게 정렬될 때까지 피드백 루프에서 동작할 수 있다.

[0051] [0060] 동기화된 트레이닝 시퀀스(TS_S)가 수신된 트레이닝 시퀀스(TS_R)와 적어도 조약하게 정렬되지 않는다면, 타이밍 정렬 회로(800)가 CLK 신호와 수신된 데이터 신호의 주파수 및/또는 위상을 동기화(lock)하는데 매우 긴 시간이 걸릴 수 있다는 것이 유의되어야 한다. 따라서, 본 실시예들의 타이밍 복원 시스템은, 고속(예를 들면, 10GBASE-T) 이더넷 시스템들에서 사용될 때, 특히 유리하다.

[0052] [0061] 도 9는 도 8의 조절 가능한 루프 필터(830)의 일 실시예인 조절 가능한 루프 필터(900)의 블록도를 도시한다. 조절 가능한 루프 필터(900)는 비례 게인 컴포넌트(910), 적분 게인 컴포넌트(920), 지연 레지스터(930), 루프 타이머(940) 및 가산 회로들(950-951)을 포함한다. 조절 가능한 루프 필터(900)에 의해 수신된 여러 신호는 2 개의 경로들: 비례 경로(901) 및 적분 경로(902)로 분할될 수 있다. 비례 경로(901)는, 위상 여러를 필터링하기 위해 비례 루프 파라미터(K_p)로 여러 신호를 곱셈하는 비례 게인 컴포넌트(910)를 포함한다. 적분 경로는 적분 게인 컴포넌트(920)를 포함하고, 적분 게인 컴포넌트(920)는 적분 루프 파라미터(K_i)로 여러 신호를 곱셈하고, 이어서 지연 레지스터(930)에 의해 제공된 여러 신호의 지연된 사본으로 K_i-곱셈된 여러 신호를 통합한다. 비례 경로(901)는 필터링된 여러 신호를 생성하기 위해 가산 회로(950)를 통해 적분 경로(902)와 결합된다.

[0053] [0062] 일부 실시예들에서, 비례 게인 컴포넌트(910)와 연관된 루프 파라미터(K_p) 및/또는 적분 게인 컴포넌트(920)와 연관된 루프 파라미터(K_i)는, 지터 성능을 개선하기 위해 루프 타이머(940)에 의해 표시된 임계 시간 기간 후에 조절될 수 있다. 구체적으로, 루프 타이머(940)는 임계 시간 드레이션이 만료된 후에 PA(parameter adjust) 신호를 출력할 수 있다. 일부 실시예들에서, 임계 드레이션은, 타이밍 루프가 초기의 주파수 오프셋으로 따라 잡도록 허용하는 고정된 드레이션에 대응할 수 있다. PA 신호에 응답하여, 지연 레지스터(930)에 저장된 값은, 루프 파라미터들(K_p 및 K_i)이 조절(예를 들면, 초기 값으로 감소)되는 동안에, 일정하게 유지될 수 있다.

[0054] [0063] 도 10은 일부 실시예들에 따른 예시적인 루프 파라미터 조절 동작(1000)을 도시한 예시적인 흐름도이다. 또한 도 9를 참조하면, 동작(1000)에서, 루프 파라미터들(K_p 및 K_i)은 초기에 비교적 큰 값들로 설정된다(1010). 예를 들면, 비례 게인 컴포넌트(910) 및 적분 게인 컴포넌트(920)는, 조절 가능한 루프 필터(900)가 큰 풀-in(pull-in) 대역폭을 나타내도록 그들 각각의 루프 파라미터들을 K_p = 2⁻¹⁴ 및 K_i = 2⁻³⁰으로 초기에 설정할 수 있다.

[0055] [0064] 임계 시간 기간이 경과된 후에, 루프 필터(900)의 적분 경로(902)를 따라 제공되는 지연된 여러 신호는 일정하게 유지된다(1020). 예를 들면, 임계 기간이 경과된 후에, 루프 타이머(940)는 PA 신호를 출력할 수 있고, 이것은 지연 레지스터(930)의 현재 상태를 유지하도록 지연 레지스터(930)에 지시한다. 일부 실시예들에서, 임계 기간은, 조절 가능한 루프 필터(900)의 타이밍 루프가 초기 주파수 오프셋으로 따라 잡도록 허용하는 최소 시간 드레이션에 대응할 수 있다.

[0056] [0065] 이어서, 지연된 여러 신호가 일정하게 유지되지만, 필터링된 여러 신호의 출력 지터가 원하는 임계치 내에 있을 때까지 루프 파라미터들(K_p 및 K_i)이 감소된다(1030). 예를 들면, PA 신호를 검출할 때, 비례 게인 및 적분 게인 컴포넌트들(910 및 920)은, 조절 가능한 루프 필터(900)의 풀-in 대역폭(및 따라서 출력 지터)가 더 좁은 임계치 내에 있도록 그들 각각의 루프 파라미터들을 K_p = 2⁻¹⁸ 및 K_i = 2⁻³⁸로 감소시킬 수 있다.

[0057] [0066] 아래의 표 1은 조절 가능한 루프 필터(900)의 예시적인 실시예의 루프 파라미터들(K_p 및 K_i), 풀-in 대역폭 및 출력 지터 사이의 예시적인 관계를 도시한다.

표 1

K_p	K_i	풀-인 대역폭	출력 지터의 RMS
2^{-14}	2^{-30}	± 100 ppm	4.25 ps
2^{-16}	2^{-34}	± 25 ppm	1.75 ps
2^{-18}	2^{-38}	± 6 ppm	0.5 ps

[0058]

[0067] 10GBASE-T 이더넷 시스템들이, 1 ps 출력 지터의 RMS의 한계의 경우에, 적어도 100 ppm 풀-인 대역폭을 요구한다는 것이 유의되어야 한다. 통상적인 루프 필터들(즉, 고정된 루프 파라미터들(K_p 및 K_i)을 가짐)은, 표 1에 도시된 바와 같이, 양자의 요건들을 만족시킬 수 없을 수 있다. 그러나, 본 실시예들에 개시된 조절 가능한 루프 필터(900)는, 앞서 설명된 루프 파라미터 조절 동작(1000)을 사용하여 양자의 요건들을 만족시킬 수 있다.

[0060]

[0068] 본 실시예들에 개시된 타이밍 복원 동작들이, 고속(예를 들면, 10GBASE-T) 이더넷 시스템들에서 사용될 때, 특히 유리하다는 것이 인지될 것이다. 예를 들면, 데이터 동기화 회로(예를 들면, 도 3 및 도 6)는, 수신된 트레이닝 시퀀스(TS_R)와 조약하게 정렬된 동기화된 트레이닝 시퀀스(TS_S)를 생성한다. 이것은 타이밍 정렬 회로(예를 들면, 도 8)가 수신 클록 신호와 다른 디바이스로부터 수신된 대응하는 데이터 신호의 주파수 및/또는 위상을 빠르고 정밀하게 동기화하는 것을 가능하게 한다. 또한, 그러한 고속 이더넷 시스템들은 통상적으로 매우 높은 에코 무효화 개인 요건을 갖고, 이것은 차례로 매우 낮은 타이밍 복원 루프 출력 지터를 요구한다. 그럼에도 불구하고, 본 실시예들에 개시된 조절 가능한 루프 필터는 비교적 높은 풀-인 대역폭뿐만 아니라 낮은 출력 지터 임계치 둘 모두를 허용할 수 있다.

[0061]

[0069] 도 11은 본 실시예들을 포함할 수 있는 통신 디바이스(1100)의 블록도의 예이다. 일부 실시예들에서, 디바이스(1100)는 무선 디바이스(예를 들면, WLAN 디바이스)이다. 일부 실시예들에서, 디바이스(1100)는 유선 디바이스(예를 들면, 이더넷 디바이스)이다.

[0062]

[0070] 디바이스(1100)는 버스(1103)에 의해 커플링된 프로세서 유닛(1101), 트랜시버(1102), 네트워크 인터페이스(1105) 및 메모리 유닛(1107)을 포함한다. 프로세서 유닛(1101)은 하나 이상의 프로세서들 및/또는 프로세서 코어들을 포함한다. 일부 실시예들에서, 네트워크 인터페이스(1105)는 적어도 하나의 유선 네트워크 인터페이스(예를 들면, 이더넷 인터페이스, EPON 인터페이스, EPoC 인터페이스 등)을 포함한다. 다른 실시예들에서, 디바이스(1100)는 적어도 하나의 무선 네트워크 인터페이스(예를 들면, WLAN 인터페이스, 블루투스® 인터페이스, WiMAX 인터페이스, 지그비® 인터페이스, 무선 USB 인터페이스 등)를 포함한다.

[0063]

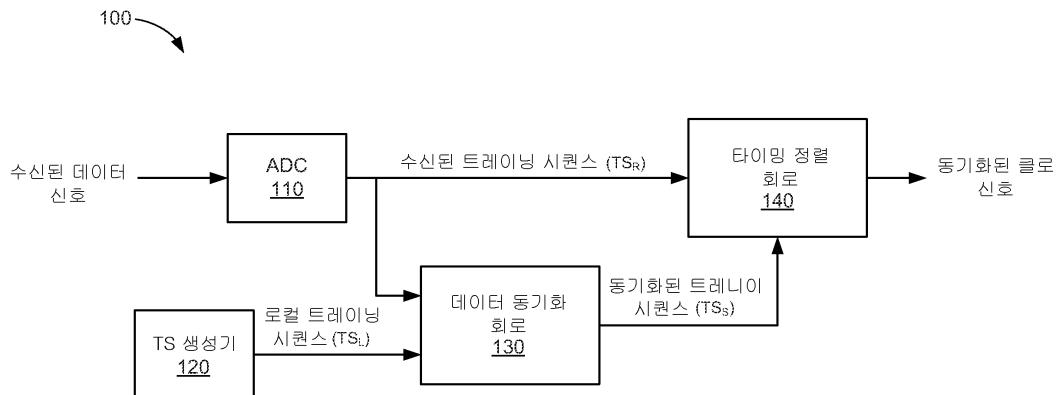
[0071] 메모리 유닛(1107)은, 타이밍 복원 소프트웨어 모듈(1110)을 저장하는 비일시적인 컴퓨터-판독 가능 저장 매체(예를 들면, EPROM, EEPROM, 플래시 메모리, 하드 디스크 드라이브 등과 같은 하나 이상의 비휘발성 메모리 엘리먼트들)를 포함한다. 일부 실시예들에서, 타이밍 복원 소프트웨어 모듈(1110)은, 프로세서 유닛(1101)에 의해 실행될 때, 통신 디바이스(1100)로 하여금 도 2, 도 4, 도 7a-도 7b 및 도 10의 동작들(200, 400, 710 및/또는 1000)을 각각 수행하게 하는 명령들을 갖는 하나 이상의 프로그램들을 포함한다.

[0064]

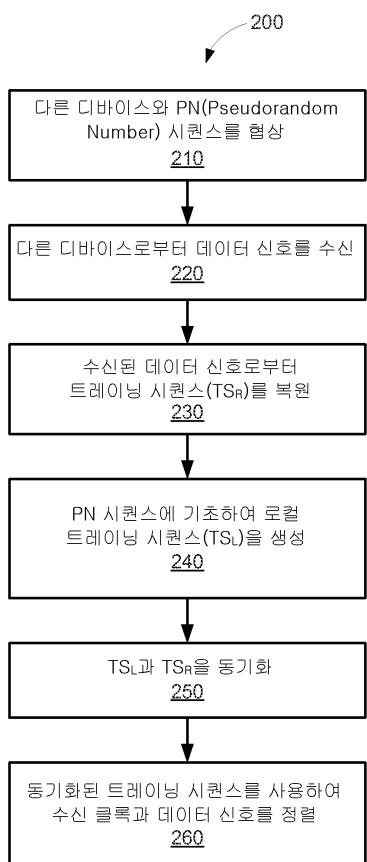
[0072] 앞서 말한 명세서에서, 본 실시예들은 그의 특정한 예시적인 실시예들을 참조하여 설명되었다. 그러나, 첨부된 청구항들에서 제시된 바와 같은 본 개시의 광의의 범위로부터 벗어남 없이 다양한 변형들 및 변경들이 그것들에 대해 이루어질 수 있다는 것이 자명할 것이다. 따라서, 명세서 및 도면들은 제한적인 의미보단 오히려 예시적인 의미로 간주될 것이다. 예를 들어, 도 2, 도 4 및 도 7a-도 7b 및/또는 도 10의 흐름도들에서 도시된 방법 단계들은 다수의 적합한 순서들로 수행될 수 있고, 다수의 단계들은 단일 단계로 결합될 수 있다.

도면

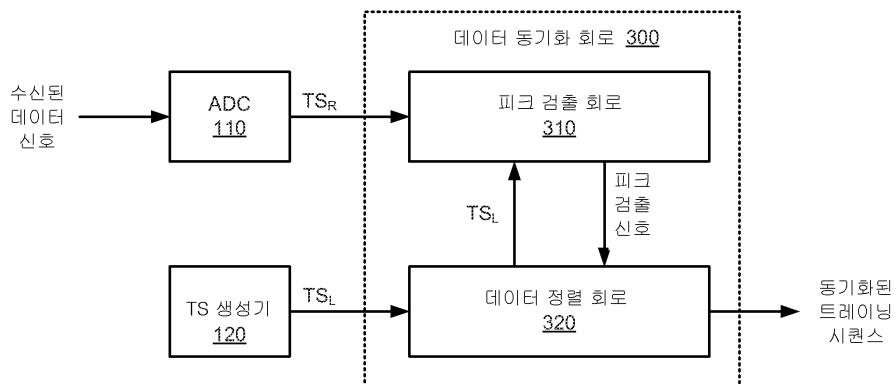
도면1



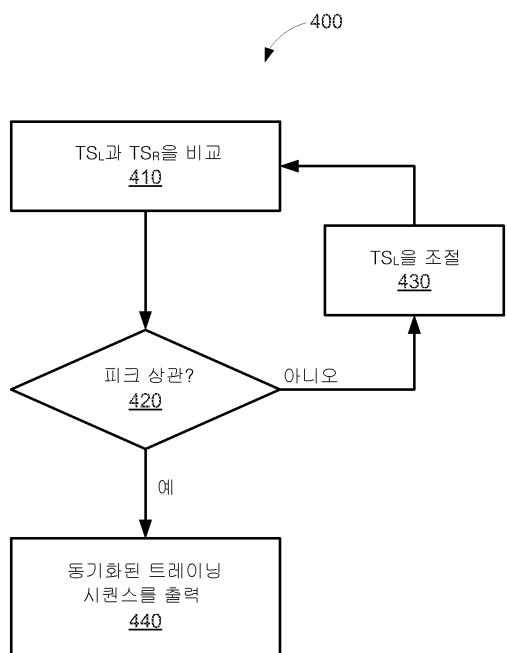
도면2



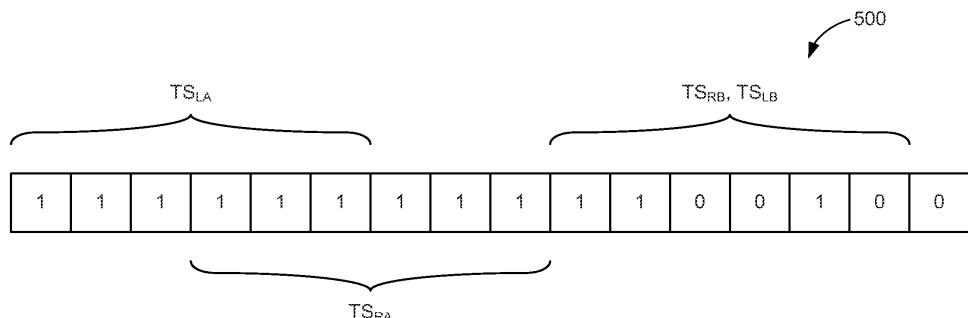
도면3



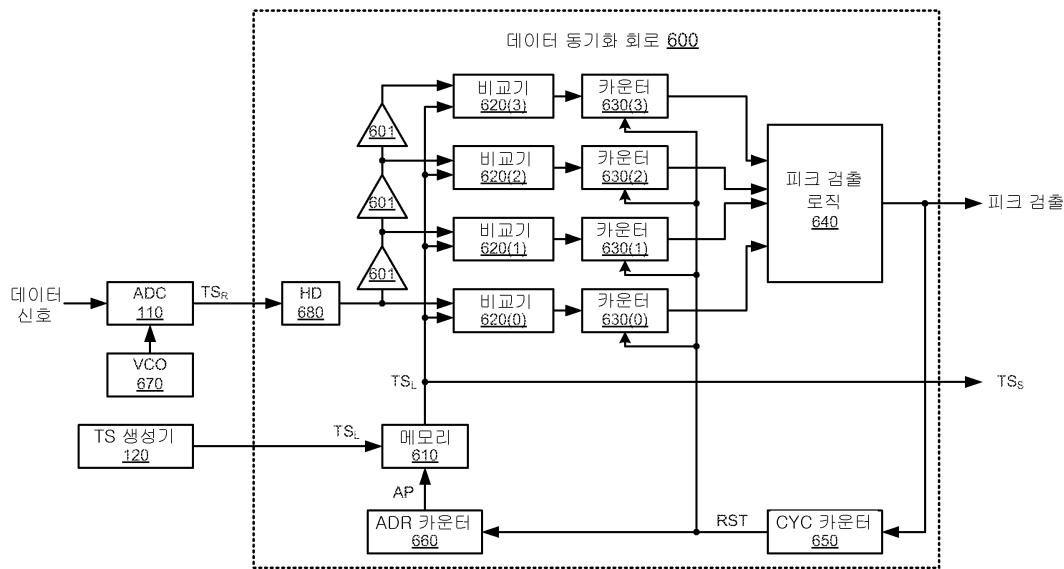
도면4



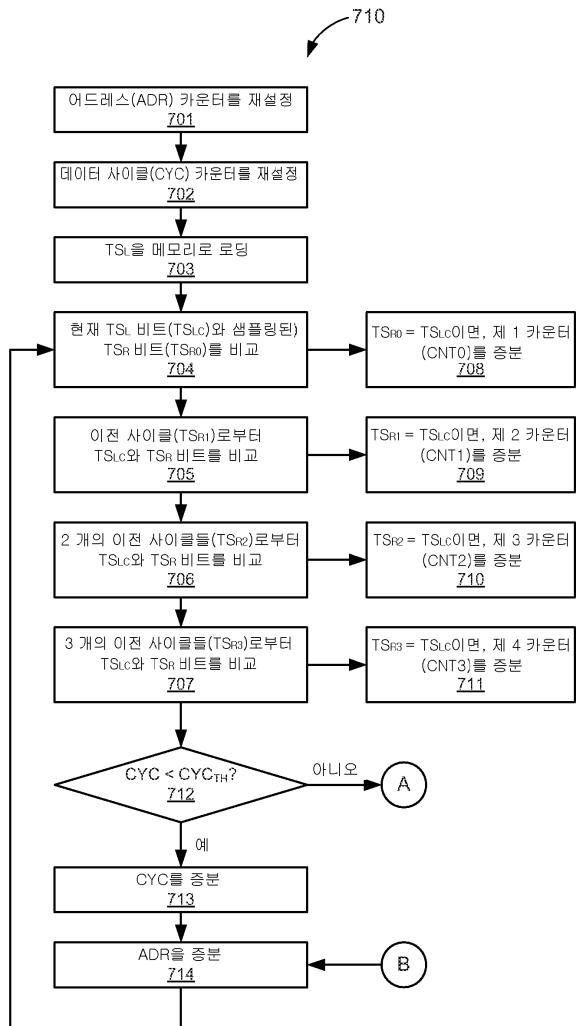
도면5



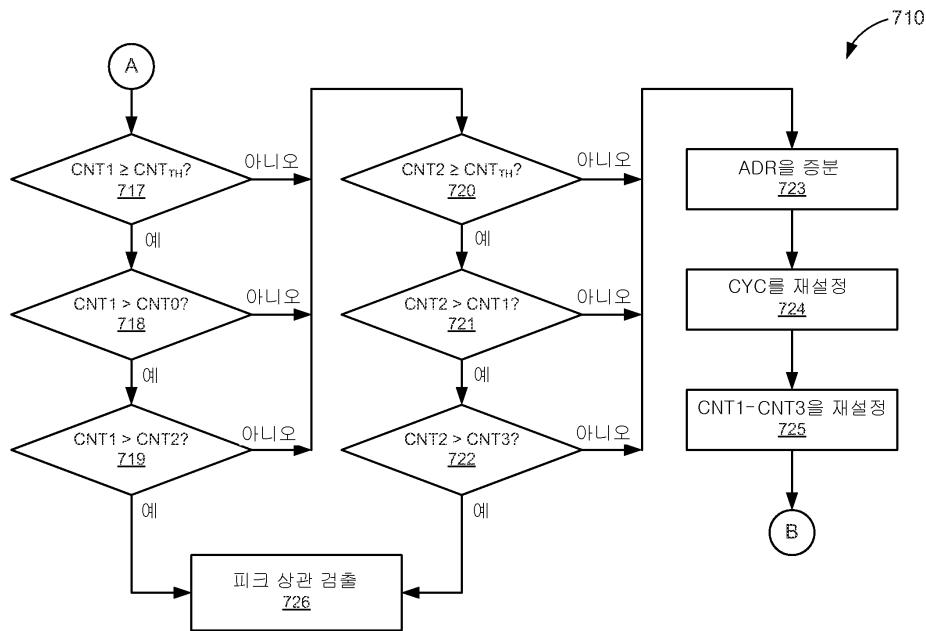
도면6



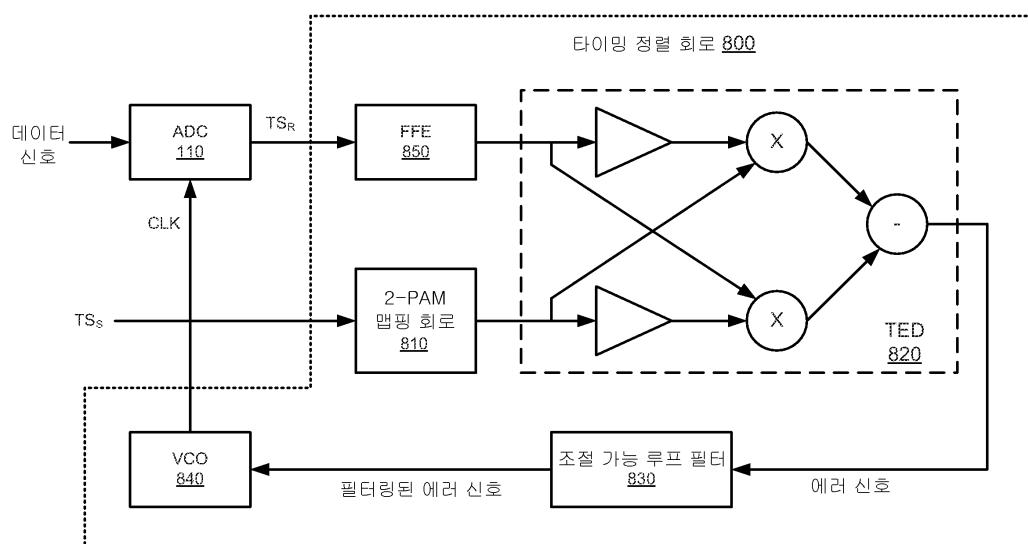
도면7a



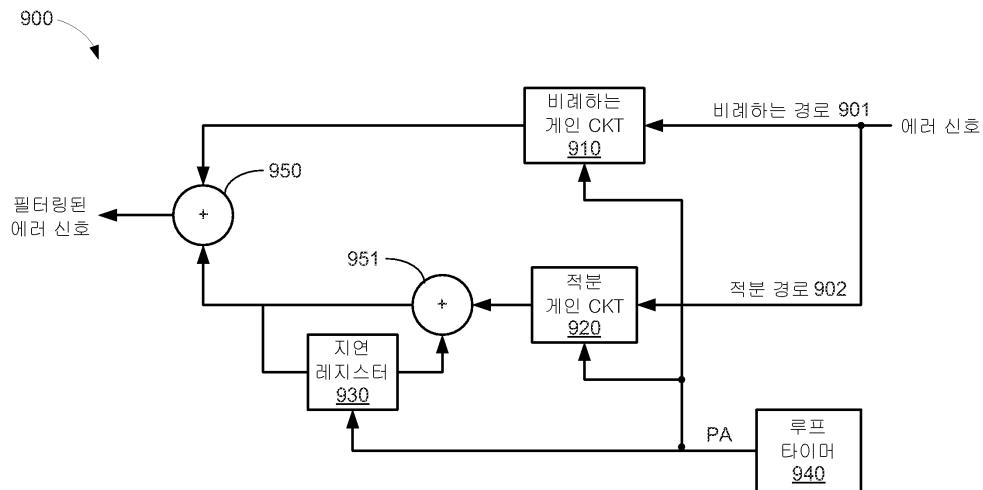
도면7b



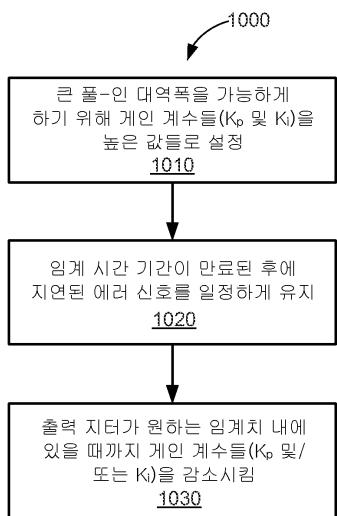
도면8



도면9



도면10



도면11

