



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0102849
(43) 공개일자 2024년07월03일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 11/412 (2006.01)
G11C 11/413 (2006.01)</p> <p>(52) CPC특허분류
G11C 15/04 (2013.01)
G11C 11/412 (2013.01)</p> <p>(21) 출원번호 10-2023-0182885</p> <p>(22) 출원일자 2023년12월15일
심사청구일자 2023년12월15일</p> <p>(30) 우선권주장
1020220184932 2022년12월26일 대한민국(KR)</p> | <p>(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
최영은
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)</p> <p>(74) 대리인
특허법인더웨이브</p> |
|--|--|

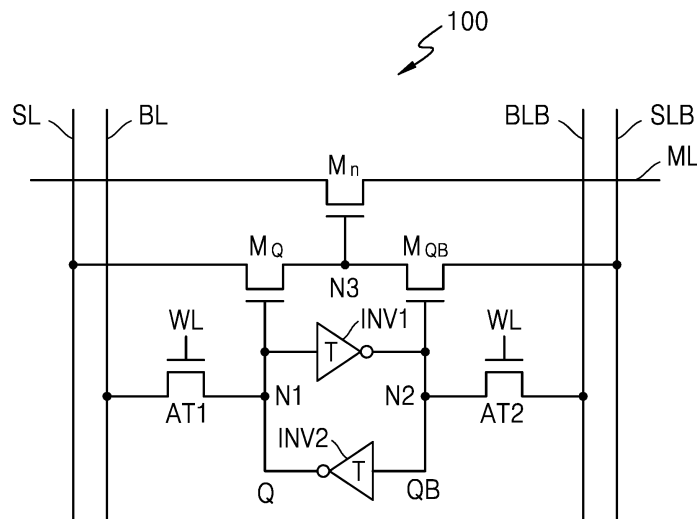
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 3진 메모리 셀 및 이를 포함하는 메모리 장치

(57) 요약

본 발명에 따른 메모리 장치는 정합 라인에 연결되는 복수의 3진 메모리 셀들을 포함하며, 상기 3진 메모리 셀은, 3진 데이터인 제1 값에 대응하는 제1 노드 및 상기 제1 값의 반전된 값에 대응하는 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 상기 제1 노드와 제1 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제1 액세스 트랜지스터, 상기 제2 노드와 제2 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제2 액세스 트랜지스터, 상기 제1 노드에 게이트가 연결되며 일측이 제1 탐색 라인에 연결되는 제1 트랜지스터, 상기 제2 노드에 게이트가 연결되며 일측이 제2 탐색 라인에 연결되는 제2 트랜지스터, 및 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 연결하는 제3 노드에 게이트가 연결되며 상기 정합 라인 상에 구비되는 제3 트랜지스터를 포함한다.

대표도 - 도1



(52) CPC특허분류
G11C 11/413 (2013.01)

김명
 울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자
김우석
 울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711160124
과제번호	2021-0-02092-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	ICT첨단유망기술육성사업
연구과제명	트랜지스터-안테나 융합소자 기반 다중-픽셀 플라즈모닉 THz 검출기 모듈 및 보안용
검색 시제품 개발	
기 여 율	1/1
과제수행기관명	(주)엘라이트
연구기간	2022.04.01 ~ 2022.12.31

명세서

청구범위

청구항 1

3진 데이터인 제1 값에 대응하는 제1 노드 및 상기 제1 값의 반전된 값에 대응하는 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터;

상기 제1 노드와 제1 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제1 액세스 트랜지스터;

상기 제2 노드와 제2 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제2 액세스 트랜지스터;

상기 제1 노드에 게이트가 연결되며 일측이 제1 탐색 라인에 연결되는 제1 트랜지스터;

상기 제2 노드에 게이트가 연결되며 일측이 제2 탐색 라인에 연결되는 제2 트랜지스터; 및

상기 제1 트랜지스터 및 상기 제2 트랜지스터를 연결하는 제3 노드에 게이트가 연결되는 제3 트랜지스터를 포함하는, 3진 메모리 셀.

청구항 2

정합 라인에 연결되는 복수의 3진 메모리 셀들을 포함하며,

상기 3진 메모리 셀은,

3진 데이터인 제1 값에 대응하는 제1 노드 및 상기 제1 값의 반전된 값에 대응하는 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터;

상기 제1 노드와 제1 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제1 액세스 트랜지스터;

상기 제2 노드와 제2 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제2 액세스 트랜지스터;

상기 제1 노드에 게이트가 연결되며 일측이 제1 탐색 라인에 연결되는 제1 트랜지스터;

상기 제2 노드에 게이트가 연결되며 일측이 제2 탐색 라인에 연결되는 제2 트랜지스터; 및

상기 제1 트랜지스터 및 상기 제2 트랜지스터를 연결하는 제3 노드에 게이트가 연결되며 상기 정합 라인 상에 구비되는 제3 트랜지스터를 포함하는, 메모리 장치.

청구항 3

제2항에 있어서,

상기 정합 라인은, 메모리 주소 검색 동작 전에 동작 전압으로 프리차지되는, 메모리 장치.

청구항 4

제2항에 있어서,

상기 정합 라인은, 서로 병렬로 복수개가 구비되고,

상기 3진 메모리 셀은, 하나의 정합 라인 상에 서로 직렬로 복수개가 연결되는, 메모리 장치.

청구항 5

제4항에 있어서,

상기 정합 라인은, 각각의 3진 메모리 셀에 인가되는 상기 제1 값, 상기 제1 탐색 라인의 값, 및 상기 제2 탐색 라인의 값을 기초로 동작 전압 또는 접지 전압을 출력하는, 메모리 장치.

청구항 6

제5항에 있어서,

상기 제3 트랜지스터는, 상기 제1 값이 0이고, 상기 제1 탐색 라인의 값이 1이고, 상기 제2 탐색 라인의 값이 0인 경우, 턴-오프되는, 메모리 장치.

청구항 7

제5항에 있어서,

상기 제3 트랜지스터는, 상기 제1 값이 0이고, 상기 제1 탐색 라인의 값이 0이고, 상기 제2 탐색 라인의 값이 1인 경우, 턴-온되는, 메모리 장치.

청구항 8

제5항에 있어서,

상기 제3 트랜지스터는, 상기 제1 값이 0.5인 경우, 턴-온되는, 메모리 장치.

청구항 9

제5항에 있어서,

상기 정합 라인은, 서로 직렬 연결된 복수의 제3 트랜지스터가 모두 턴-온되는 경우, 접지 전압을 출력하는, 메모리 장치.

청구항 10

제5항에 있어서,

상기 정합 라인은, 서로 직렬 연결된 복수의 제3 트랜지스터 중 적어도 하나의 제3 트랜지스터가 턴-오프되는 경우, 동작 전압을 출력하는, 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은, 메모리 장치에 관한 것으로서, 3진 메모리 셀 및 이를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] CAM(Content Addressable Memory)은 특정 메모리 공간에서 검색하고자 하는 데이터가 위치하고 있는 메모리 주소를 고속으로 검색하는 기능을 하는 회로로, 기본형인 Binary CAM(BCAM)은 메모리 셀 하나를 구성요소로 하여 0,1로 이루어진 2진 정보와 검색 데이터의 일치 여부 판별 동작을 통해 메모리 주소 탐색 기능을 한다. 발전된 기법으로, TCAM(Ternary Content Addressable Memory)은 0,1에 더해 X(예컨대, 0.5) 세가지 정보를 저장함으로써 더 넓은 범위의 검색을 더욱 빠른 속도로 처리가 가능하도록 고안되었으나, 3진 정보를 저장하기 위해 2개의 메모리 셀을 이용하여 설계함에 따라 면적 및 소모전력이 2배이상 증가하는 문제가 있다. 무엇보다 상기 방식들의 가장 큰 문제는 근본적으로 CMOS 집적도 향상에 따른 누설전류 증가로부터 기인하는 심각한 대기전력 소모에 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 진술한 문제점을 극복하기 위한 것으로서, 초절전-고성능의 메모리 주소 탐색 기능을 제공할 수 있는 3진 메모리 셀 및 이를 포함하는 메모리 장치를 제공하는 것이다. 그러나 이러한 과

제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0004] 상술한 기술적 과제들을 달성하기 위한 기술적 수단으로서, 3진 데이터인 제1 값에 대응하는 제1 노드 및 상기 제1 값의 반전된 값에 대응하는 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 상기 제1 노드와 제1 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제1 액세스 트랜지스터, 상기 제2 노드와 제2 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제2 액세스 트랜지스터, 상기 제1 노드에 게이트가 연결되며 일측이 제1 탐색 라인에 연결되는 제1 트랜지스터, 상기 제2 노드에 게이트가 연결되며 일측이 제2 탐색 라인에 연결되는 제2 트랜지스터, 및 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 연결하는 제3 노드에 게이트가 연결되는 제3 트랜지스터를 포함하는, 3진 메모리 셀이 제공된다.
- [0005] 상술한 기술적 과제들을 달성하기 위한 기술적 수단으로서, 정합 라인에 연결되는 복수의 3진 메모리 셀들을 포함하며, 상기 3진 메모리 셀은, 3진 데이터인 제1 값에 대응하는 제1 노드 및 상기 제1 값의 반전된 값에 대응하는 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 상기 제1 노드와 제1 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제1 액세스 트랜지스터, 상기 제2 노드와 제2 비트 라인 사이에 연결되어 워드 라인에 연결되는 게이트를 갖는 제2 액세스 트랜지스터, 상기 제1 노드에 게이트가 연결되며 일측이 제1 탐색 라인에 연결되는 제1 트랜지스터, 상기 제2 노드에 게이트가 연결되며 일측이 제2 탐색 라인에 연결되는 제2 트랜지스터, 및 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 연결하는 제3 노드에 게이트가 연결되며 상기 정합 라인 상에 구비되는 제3 트랜지스터를 포함하는, 메모리 장치가 제공된다.
- [0006] 상기 정합 라인은, 메모리 주소 검색 동작 전에 동작 전압으로 프리차지될 수 있다.
- [0007] 상기 정합 라인은, 서로 병렬로 복수개가 구비되고, 상기 3진 메모리 셀은, 하나의 정합 라인 상에 서로 직렬로 복수개가 연결될 수 있다.
- [0008] 상기 정합 라인은, 각각의 3진 메모리 셀에 인가되는 상기 제1 값, 상기 제1 탐색 라인의 값, 및 상기 제2 탐색 라인의 값을 기초로 동작 전압 또는 접지 전압을 출력할 수 있다.
- [0009] 상기 제3 트랜지스터는, 상기 제1 값이 0이고, 상기 제1 탐색 라인의 값이 1이고, 상기 제2 탐색 라인의 값이 0인 경우, 턴-오프될 수 있다.
- [0010] 상기 제3 트랜지스터는, 상기 제1 값이 0이고, 상기 제1 탐색 라인의 값이 0이고, 상기 제2 탐색 라인의 값이 1인 경우, 턴-온될 수 있다.
- [0011] 상기 제3 트랜지스터는, 상기 제1 값이 0.5인 경우, 턴-온될 수 있다.
- [0012] 상기 정합 라인은, 서로 직렬 연결된 복수의 제3 트랜지스터가 모두 턴-온되는 경우, 접지 전압을 출력할 수 있다.
- [0013] 상기 정합 라인은, 서로 직렬 연결된 복수의 제3 트랜지스터 중 적어도 하나의 제3 트랜지스터가 턴-오프되는 경우, 동작 전압을 출력할 수 있다.
- [0014] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0015] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, T-CMOS 기반의 T-SRAM cell과 주소 검색을 위한 3개의 소자로 구성된 TCAM 회로를 제공함으로써, 초절전-고성능의 메모리 주소 탐색 하드웨어를 실현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시예에 따른 3진 메모리 셀의 회로를 개략적으로 도시하는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 3진 메모리 셀에 포함되는 인버터의 회로를 개략적으로 도시하는 도면이다.

도 3은 본 발명의 일 실시예에 따른 3진 메모리 셀의 동작의 진리표이다.

도 4는 본 발명의 일 실시예에 따른 정합 라인에 복수의 3진 메모리 셀이 연결되어 있는 회로를 개략적으로 도시하는 도면이다.

도 5는 본 발명의 일 실시예에 따른 복수의 정합 라인에 연결되는 복수의 3진 메모리 셀을 포함하는 3진 메모리 셀 어레이를 개략적으로 도시하는 도면이다.

도 6은 본 발명의 일 실시예에 따른 3진 메모리 셀 어레이의 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 개시의 기술적 사상은 다양한 형태로 변형되어 구현될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 명세서에 개시된 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 개시의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0018] 본 명세서에서 어떤 요소가 다른 요소와 "연결"되어 있다고 기술될 때, 이는 "직접적으로 연결"되어 있는 경우 뿐 아니라 그 중간에 다른 요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 어떤 요소가 다른 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라 또 다른 요소를 더 포함할 수 있는 것을 의미한다.
- [0019] 일부 실시예들은 기능적인 블록 구성 및 다양한 처리 단계들로 설명될 수 있다. 이러한 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 개시의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로 구성들에 의해 구현될 수 있다. 본 개시의 기능 블록들은 다양한 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 본 개시의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 개시의 기능 블록이 수행하는 기능은 복수의 기능 블록에 의해 수행되거나, 본 개시에서 복수의 기능 블록이 수행하는 기능들은 하나의 기능 블록에 의해 수행될 수도 있다. 또한, 본 개시는 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 3진 메모리 셀의 회로를 개략적으로 도시하는 도면이다.
- [0021] 본 발명의 일 실시예에 따른 3진 메모리 셀(100)은 메모리 장치에 구비될 수 있다. 본 발명에 따른 메모리 장치는 외부로부터 커맨드 및 어드레스를 수신할 수 있고, 데이터를 수신하거나 출력할 수 있다. 예를 들면, 메모리 장치는 기입(write) 커맨드, 독출(read) 커맨드, 검색(search) 커맨드와 같은 커맨드 및 커맨드에 대응하는 어드레스를 수신할 수 있다.
- [0022] 예를 들어, 메모리 장치는 기입 커맨드에 응답하여 데이터를 수신할 수 있고, 독출 커맨드에 응답하여 데이터를 출력할 수 있다. 또한, 메모리 장치는 검색 커맨드에 응답하여 데이터가 위치하고 있는 메모리 주소를 검색하여 출력할 수 있다. 일부 실시예들에서 커맨드, 어드레스 및 데이터는 독립적인 채널들을 통해서 수신되거나 전송될 수도 있고, 일부 실시예들에서 커맨드, 어드레스 및 데이터 중 적어도 2개는 동일한 채널을 통해서 수신되거나 전송될 수도 있다. 일부 실시예들에서, 메모리 장치는 반도체 공정을 통해서 제조되는 임의의 장치를 지칭할 수 있다. 예를 들면, 메모리 장치는 독립적인 메모리 장치로서 패키징될 수도 있고, 시스템-온-칩 또는 프로세서 등과 같은 반도체 패키지에 포함될 수도 있다.
- [0023] 본 발명의 일 실시예에 따른 3진 메모리 셀(100)은 3개의 상이한 상태들을 가질 수 있고, 이에 따라 3개의 상이한 상태들에 대응하는 3진 논리 값들을 저장할 수 있으며, 이에 따라 3진 메모리 셀로서 지칭될 수 있다. 본 명세서에서, 3진 메모리 셀(100)이 저장 가능한 3진 논리 값들은 '0', '1' 및 '2'로서 지칭될 수 있고, '0/1/2'로서 총괄적으로 지칭될 수도 있으며, 단순히 3진 데이터 또는 3진 값들로서 지칭될 수도 있다. 예컨대, 3진 메모리 셀(100)은 T-CAM(Ternary Content-Addressable Memory)으로서 지칭될 수 있다.
- [0024] 도 1을 참조하면, 본 발명의 일 실시예에 따른 3진 메모리 셀(100)은 제1 인버터(INV1), 제2 인버터(INV2), 제1 액세스 트랜지스터(AT1), 제2 액세스 트랜지스터(AT2), 제1 트랜지스터(M_Q), 제2 트랜지스터(M_{QB}), 및 제3 트랜

지스터(M_N)를 포함할 수 있다.

- [0025] 제1 인버터(INV1) 및 제2 인버터(INV2)는 3진 데이터인 제1 값(Q)에 대응하는 제1 노드(N1) 및 제1 값의 반전된 값(QB)에 대응하는 제2 노드(N2)에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함할 수 있다.
- [0026] 제1 인버터(INV1) 및 제2 인버터(INV2)는 제1 노드(N1) 및 제2 노드(N2)에서 교차 연결될 수 있고, 이에 따라 0/0.5/1 중 하나의 논리값을 저장할 수 있다. 본 명세서에서, 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))일 때, 제1 값(Q)은 논리값 1을 저장할 수 있다. 또한, 본 명세서에서, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $VDD/2$)(또는, $(VDD+VSS)/2$)일 때, 제1 값(Q)은 논리값 0.5를 저장할 수 있다. 또한, 본 명세서에서, 제1 노드(N1)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이고, 제2 노드(N2)가 양의 공급 전압(VDD)일 때, 제1 값(Q)은 논리값 0을 저장할 수 있다.
- [0027] 제1 액세스 트랜지스터(AT1)는 제1 노드(N1) 및 제1 비트 라인(BL)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 액세스 트랜지스터(AT1)는 워드 라인(WL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 접속시키거나 단선(disconnection)시킬 수 있다. 예를 들면, 제1 액세스 트랜지스터(AT1)는 NFET(N-channel Field Effect Transistor)일 수 있고, 활성화된 워드 라인(WL), 즉 하이 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 접속시킬 수 있는 한편, 비활성화된 워드 라인(WL), 즉 로우 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 단선시킬 수 있다.
- [0028] 제2 액세스 트랜지스터(AT2)는, 제1 액세스 트랜지스터(AT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BLB)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 본 명세서에서, 본 발명의 실시예들은 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel Field Effect Transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.
- [0029] 제1 트랜지스터(M_Q)는 제1 노드(N1)에 게이트가 연결되며 일측이 제1 탐색 라인(SL)에 연결될 수 있다. 예를 들면, 제1 트랜지스터(M_Q)는 NFET(N-channel Field Effect Transistor)일 수 있고, 제1 노드(N1)의 제1 값(Q)에 응답하여 제3 노드(N3) 및 제1 탐색 라인(SL)을 전기적으로 접속시킬 수 있는 한편, 제1 노드(N1)의 제1 값(Q)에 응답하여 제3 노드(N3) 및 제1 탐색 라인(SL)을 전기적으로 단선시킬 수도 있다.
- [0030] 제2 트랜지스터(M_{QB})는 제2 노드(N2)에 게이트가 연결되며 일측이 제2 탐색 라인(SLB)에 연결될 수 있다. 예를 들면, 제2 트랜지스터(M_{QB})는 NFET(N-channel Field Effect Transistor)일 수 있고, 제2 노드(N2)의 제1 값의 반전된 값(QB)에 응답하여 제3 노드(N3) 및 제2 탐색 라인(SLB)을 전기적으로 접속시킬 수 있는 한편, 제2 노드(N2)의 제1 값의 반전된 값(QB)에 응답하여 제3 노드(N3) 및 제2 탐색 라인(SLB)을 전기적으로 단선시킬 수도 있다.
- [0031] 제3 트랜지스터(M_N)는 제1 트랜지스터(M_Q) 및 제2 트랜지스터(M_{QB})를 연결하는 제3 노드(N3)에 게이트가 연결될 수 있다. 예를 들어, 도 1을 참조하면, 제3 트랜지스터(M_N)는 제1 트랜지스터(M_Q) 및 제2 트랜지스터(M_{QB})를 연결하는 제3 노드(N3)에 게이트가 연결되며 정합 라인(ML) 상에 구비될 수 있다. 예를 들면, 제3 트랜지스터(M_N)는 NFET(N-channel Field Effect Transistor)일 수 있고, 제3 노드(N3)의 값에 응답하여 정합 라인(ML)의 양측을 전기적으로 접속시킬 수 있는 한편, 제3 노드(N3)의 값에 응답하여 정합 라인(ML)의 양측을 전기적으로 단선시킬 수도 있다.
- [0032] 본 명세서에서, 본 발명의 실시예들은 제1 트랜지스터(M_Q), 제2 트랜지스터(M_{QB}), 제3 트랜지스터(M_N)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel Field Effect Transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.
- [0033] 도 2는 본 발명의 일 실시예에 따른 3진 메모리 셀에 포함되는 인버터의 회로를 개략적으로 도시하는 도면이다.
- [0034] 도 2를 참조하면, 본 발명의 일 실시예에 따른 인버터(INV)의 예시를 나타내는 회로도도 도시되어 있다. 여기서, 인버터(INV)는 제1 인버터(INV1) 또는 제2 인버터(INV2)를 나타낸다. 예컨대, 인버터(INV)는 입력 전압(VIN)을 반전시킴으로써 출력 전압(VOUT)을 생성할 수 있다.

- [0035] 예를 들어, 도 2를 참조하면, 인버터(INV)는 양의 공급 전압(VDD) 및 접지 전압(GND)(또는 음의 공급 전압(VSS)) 사이에서 직렬 연결된 풀업 소자(PU) 및 풀다운 소자(PD)를 포함할 수 있다. 풀업 소자(PU)는 하이 레벨의 입력 전압(VIN), 예컨대 양의 공급 전압(VDD)에 응답하여 턴-오프될 수 있는 한편, 로우 레벨의 입력 전압(VIN), 예컨대 접지 전압(GND)에 응답하여 턴-온될 수 있다. 다른 한편으로, 풀다운 소자(PD)는 로우 레벨의 입력 전압(VIN), 예컨대 접지 전압(GND)에 응답하여 턴-오프될 수 있는 한편, 하이 레벨의 입력 전압(VIN), 예컨대 양의 공급 전압(VDD)에 응답하여 턴-온될 수 있다. 이에 따라, 2진 논리 회로와 유사하게, 하이 레벨의 입력 전압(VIN)(예컨대, VDD)에 응답하여 로우 레벨의 출력 전압(VOUT)(예컨대, GND)이 출력될 수 있는 한편, 로우 레벨의 입력 전압(VIN)(예컨대, GND)에 응답하여 하이 레벨의 출력 전압(VOUT)(예컨대, VDD)이 출력될 수 있다.
- [0036] 풀업 소자(PU) 및 풀다운 소자(PD)는 턴-오프시 정전류를 통과시킬 수 있다. 즉, 풀업 소자(PU)의 통과 전류(ITP)는 풀업 소자(PU)가 턴-오프된 상태에서 일정할 수 있고, 풀다운 소자(PD)의 통과 전류(ITN) 역시 풀다운 소자(PD)가 턴-오프된 상태에서 일정할 수 있다. 또한, 풀업 소자(PU)의 문턱 전압은 풀다운 소자(PD)의 문턱 전압보다 낮을 수 있다. 이에 따라, 입력 전압(VIN)이 접지 전압(GND)으로부터 양의 공급 전압(VDD)까지 점진적으로 증가하는 경우, 풀업 소자(PU)가 턴-오프된 후 풀다운 소자(PD)가 턴-온될 수 있다.
- [0037] 이에 따라, 예컨대, 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU) 및 풀다운 소자(PD)가 모두 턴-오프될 수 있다. 일부 실시예들에서, 풀업 소자(PU) 및 풀다운 소자(PD)는 각각, 턴-오프시 정전류를 통과시키도록 구성된 P-채널 트랜지스터 및 N-채널 트랜지스터일 수 있다.
- [0038] 도 3은 본 발명의 일 실시예에 따른 3진 메모리 셀의 동작의 진리표이다.
- [0039] 도 1 및 도 3을 함께 참조하면, 본 발명의 일 실시예에 따른 3진 메모리 셀(100)의 동작의 예시로, $Q=0$, $Q_B=1$, $SL=1$, $SL_B=0$ 일 때, 제1 트랜지스터(M_Q)는 턴-오프되고, 제2 트랜지스터(M_{QB})는 턴-온 된다. 따라서 제2 탐색 라인(SL_B)의 값인 0이 제2 트랜지스터(M_{QB})를 통해 제3 노드($N3$)로 전달된다. 이 때 제3 트랜지스터(M_N)의 게이트에 0이 전달되므로 제3 트랜지스터(M_N)는 턴-오프 된다. 이 경우를 미스매치(mismatch) 상태라고 정의한다.
- [0040] 본 발명의 일 실시예에 따른 3진 메모리 셀(100)의 동작의 예시로, $Q=0$, $Q_B=1$, $SL=0$, $SL_B=1$ 일 때, 제2 트랜지스터(M_{QB})가 턴-온 되고 제2 탐색 라인(SL_B)의 값인 1이 제2 트랜지스터(M_{QB})를 통해 제3 노드($N3$)로 전달된다. 이 때 제3 트랜지스터(M_N)의 게이트에 1이 전달되므로 제3 트랜지스터(M_N)는 턴-온 된다. 이 경우를 매치(match) 상태라 정의한다.
- [0041] 본 발명의 일 실시예에 따른 3진 메모리 셀(100)의 동작의 예시로, $Q=Q_B=0.5$ 일때, 제1 탐색 라인(SL) 또는 제2 탐색 라인(SL_B) 값에 상관없이 제1 트랜지스터(M_Q), 제2 트랜지스터(M_{QB}) 트랜지스터가 턴-온되어 제3 트랜지스터(M_N)가 턴-온 되고, 이 경우를 돈케어(don't care) 상태라 정의한다.
- [0042] 도 4는 본 발명의 일 실시예에 따른 정합 라인에 복수의 3진 메모리 셀이 연결되어 있는 회로를 개략적으로 도시하는 도면이다.
- [0043] 도 4를 참조하면, 본 발명의 일 실시예에 따른 3진 메모리 셀(100) n 개가 연결되어 있는 1개의 정합 라인(ML)의 동작을 설명하기 위한 도면이 도시되어 있다.
- [0044] 3진 메모리 셀(100)은, 도 4에 도시된 바와 같이, 복수의 워드 라인들 중 하나의 워드 라인(WL)에 연결될(coupled) 수 있다. 또한, 3진 메모리 셀(100)은 복수의 비트 라인들 중 적어도 하나의 비트 라인(BL)에 연결될 수 있다. 예컨대, 3진 메모리 셀(M)은 적어도 하나의 비트 라인(BL)을 통해서 제공되는 3진 논리 값을 저장하기 위한 구조를 가질 수 있다. 또한, 3진 메모리 셀(100)은 복수의 정합 라인들 중 하나의 정합 라인(ML)에 연결될 수 있다.
- [0045] 본 발명의 일 실시예에 따른 메모리 장치는 메모리 주소 검색 동작 전에 preb 신호를 통해 M_{pre} 트랜지스터를 커서 정합 라인(ML)을 동작 전압(VDD)으로 프리차지(precharge)시킬 수 있다. 그 다음, eval 신호를 통해 Meval 트랜지스터가 커지면서 검색 동작이 진행될 수 있다.
- [0046] 본 발명의 일 실시예에 따른 메모리 장치의 동작의 예시로, 정합 라인(ML)에 연결되어있는 모든 3진 메모리 셀(100)들의 $Q1$, $QB1$, ..., Qn , QBn 들이 각각 $SL1$, SL_B1 , ..., SLn , SL_Bn 값과 모두 match 되어야 정합 라인(ML)에 프리차지된 전압(VDD, 동작전압)이 Meval 트랜지스터를 통해 접지(GND)로 가서 $ML=0$ 이 될 수 있다. 만약, 1개의 셀 이라도 mismatch가 발생한다면, 정합 라인(ML)에서 Meval 트랜지스터까지 가는 패스(path)가 끊겨

서 정합 라인(ML)은 동작 전압(VDD)으로 유지 된다. 따라서, match line sense amplifier(MLSA) 를 통하여 match result(예컨대, ML=0 또는 ML=1)가 출력된다.

- [0047] 도 5는 본 발명의 일 실시예에 따른 복수의 정합 라인에 연결되는 복수의 3진 메모리 셀을 포함하는 3진 메모리 셀 어레이를 개략적으로 도시하는 도면이다.
- [0048] 도 5를 참조하면, 본 발명의 일 실시예에 따른 3진 메모리 셀(100) n개가 각각 연결되어 있는 m개의 정합 라인(ML)의 동작을 설명하기 위한 도면이 도시되어 있다.
- [0049] 예를 들어, 도 5에 도시된 바와 같이, 정합 라인(ML)은 서로 병렬로 복수개의 정합 라인(ML₁ 내지 ML_m)이 구비될 수 있다.
- [0050] 도 4 및 도 5를 함께 참조하면, 3진 메모리 셀(100)은 하나의 정합 라인 상에 서로 직렬로 복수개가 연결될 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 제1 정합 라인(ML₁) 상에 서로 직렬로 n개의 3진 메모리 셀(100)이 연결될 수 있다. 또한, 제m 정합 라인(ML_m) 상에 서로 직렬로 n개의 3진 메모리 셀(100)이 연결될 수 있다.
- [0051] 각 정합 라인(ML₁ 내지 ML_m)은, 각각의 3진 메모리 셀(100)에 인가되는 제1 값(Q1 내지 Qn), 제1 탐색 라인(SL₁ 내지 SL_n)의 값, 및 제2 탐색 라인(SLB₁ 내지 SLB_n)의 값을 기초로 동작 전압(VDD) 또는 접지 전압(GND)을 출력할 수 있다.
- [0052] 각 정합 라인(ML₁ 내지 ML_m)은, 서로 직렬 연결된 복수의 제3 트랜지스터(M1 내지 Mn)가 모두 턴-온되는 경우, 접지 전압을 출력할 수 있다.
- [0053] 각 정합 라인(ML₁ 내지 ML_m)은, 서로 직렬 연결된 복수의 제3 트랜지스터(M1 내지 Mn) 중 적어도 하나의 제3 트랜지스터가 턴-오프되는 경우, 동작 전압을 출력할 수 있다.
- [0054] 예를 들어, 도 5를 참조하면, 본 발명의 일 실시예에 따른 메모리 장치는 m x n 개의 TCAM, Wordline/search string drivers, m개의 Meval 트랜지스터, Mpre 트랜지스터, MLSA 로 구성될 수 있다. 이외에도 decoder, encoder 등 추가적인 주변회로가 사용될 수 있다. 본 발명에 따르면, 검색 동작을 통해 m개의 match result 중 각 정합 라인(ML)에 연결된 n개의 TCAM 이 모두 Match 상태인 정합 라인(ML)을 찾을 수 있다.
- [0055] 도 6은 본 발명의 일 실시예에 따른 3진 메모리 셀 어레이의 동작을 설명하기 위한 도면이다.
- [0056] 도 5 및 도 6을 함께 참조하면, 본 발명의 일 실시예에 따라 3진 메모리 셀(100)이 4 x 4 어레이 구조를 갖는 경우, 쓰기 동작을 통해 각 3진 메모리 셀에는 0,1,X(예컨대, 0.5) 중의 하나의 값이 저장되어 있을 수 있다.
- [0057] 본 발명의 일 실시예에 따른 메모리 장치는 검색 동작시, 각 탐색 라인에 0,1,0,1 의 전압을 가해주며, 이 때 match line sense amplifier (MLSA) 를 통하여 match result가 출력될 수 있다. 이 경우, 모든 3진 메모리 셀이 Match (또는 don't care) 인 정합 라인(ML)의 match result 가 0이므로, 메모리 장치는 match 하는 data의 주소를 출력할 수 있다.
- [0058] 본 발명에 따르면, T-CMOS 기반의 T-SRAM cell과 주소 검색을 위한 3개의 소자로 구성된 TCAM 회로를 제공함으로써, 초절전-고성능의 메모리 주소 탐색 하드웨어를 실현할 수 있다.
- [0059] 본 발명에 따르면, 초절전 T-CMOS 소자를 기반으로 TCAM 회로를 설계하여 TCAM 메모리 셀 하나에 저장되는 정보의 양이 증가될 수 있다. (기존: 0,1만 저장 -> 본 발명: 0, 0.5, 1 저장). TCAM cell 을 구성하는 트랜지스터 개수를 16개에서 10개로 줄일 수 있다. 메모리 셀에 저장되는 정보량이 증가됨에 따라 메모리 용량이 증가될 수 있다. Off-상태 수준의 매우 낮은 전류를 이용한 정보 저장을 통해 종래의 CAM 기술 대비 우수한 면적효율과 함께 소모전력을 획기적으로 낮출 수 있다. 최근 Meta-learning, few shot leaning의 발전과 함께, 증가하고 있는 차세대 라우터 및 스위치 장치의 더욱 복잡하고 많은 정보에 대해 초절전-고성능 동작이 가능한 메모리 주소 탐색 하드웨어 수요에 부응할 수 있다.
- [0060] 일 측면에 있어서, T-CMOS 기반의 6T T-SRAM과 메모리 주소 정보 검색을 위한 3개의 소자들로 구성된 TCAM 회로가 제공될 수 있다.
- [0061] 일 측면에 있어서, 본 발명의 NAND-type TCAM을 구성하는 T-SRAM은 Off 수준의 낮은 전류를 기반으로 3진 정보를 저장함으로써 매우 낮은 대기 전력 소모 특성을 제공할 수 있다
- [0062] 일 측면에 있어서, 본 발명의 NAND-type TCAM은 하나의 메모리 셀 구성만으로 3진 정보를 저장하여 높은 면적 효율과 함께 0, 1, X 동작을 제공할 수 있다.

- [0063] 일 측면에 있어서 T-CMOS 기반의 3진 메모리와 주소 검색을 위한 3개의 소자로 구성된 TCAM 회로를 제공할 수 있으며, 해당 회로는 초절전-고성능의 메모리 주소 탐색 하드웨어의 핵심 구성 요소로 작용할 수 있다.
- [0064] 실시예로서 새로운 TCAM은 종래의 SRAM과 동일한 방식의 서로 다른 두개의 Bit 라인에 연결된 T-CMOS 기반의 T-SRAM 셀 과 함께, 서로 다른 두개의 탐색 라인과 정합라인에 연결된 3개의 소자로 구성될 수 있다.
- [0065] Pre-charge 동작을 통해 전압이 높아진 정합라인은 저장 값과 서로 다른 두개의 탐색라인 신호 값에 따라 전압을 그대로 유지하거나 discharge 됨으로써 메모리 주소 검색 기능을 할 수 있다. Q(Q_B)와 BL(BL_B) 사이에 연결된 access 트랜지스터의 문턱전압이 동작전압/2보다 크도록 하여 X 동작일 때 꺼질 수 있도록 한다.
- [0066] 이상 설명된 다양한 실시예들은 예시적이며, 서로 구별되어 독립적으로 실시되어야 하는 것은 아니다. 본 명세서에서 설명된 실시예들은 서로 조합된 형태로 실시될 수 있다.
- [0067] 이상 설명된 다양한 실시예들은 컴퓨터 상에서 다양한 구성요소를 통하여 실행될 수 있는 컴퓨터 프로그램의 형태로 구현될 수 있으며, 이와 같은 컴퓨터 프로그램은 컴퓨터로 판독 가능한 매체에 기록될 수 있다. 이때, 매체는 컴퓨터로 실행 가능한 프로그램을 계속 저장하거나, 실행 또는 다운로드를 위해 임시 저장하는 것일 수도 있다. 또한, 매체는 단일 또는 수개 하드웨어가 결합된 형태의 다양한 기록수단 또는 저장수단일 수 있는데, 어떤 컴퓨터 시스템에 직접 접속되는 매체에 한정되지 않고, 네트워크 상에 분산 존재하는 것일 수도 있다. 매체의 예시로는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM 및 DVD와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical medium), 및 ROM, RAM, 플래시 메모리 등을 포함하여 프로그램 명령어가 저장되도록 구성된 것이 있을 수 있다. 또한, 다른 매체의 예시로, 애플리케이션을 유통하는 앱 스토어나 기타 다양한 소프트웨어를 공급 내지 유통하는 사이트, 서버 등에서 관리하는 기록매체 내지 저장매체도 들 수 있다.
- [0068] 본 명세서에서, "부", "모듈" 등은 프로세서 또는 회로와 같은 하드웨어 구성(hardware component), 및/또는 프로세서와 같은 하드웨어 구성에 의해 실행되는 소프트웨어 구성(software component)일 수 있다. 예를 들면, "부", "모듈" 등은 소프트웨어 구성 요소들, 객체 지향 소프트웨어 구성 요소들, 클래스 구성 요소들 및 태스크 구성 요소들과 같은 구성 요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들에 의해 구현될 수 있다.
- [0069] 진술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0070] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

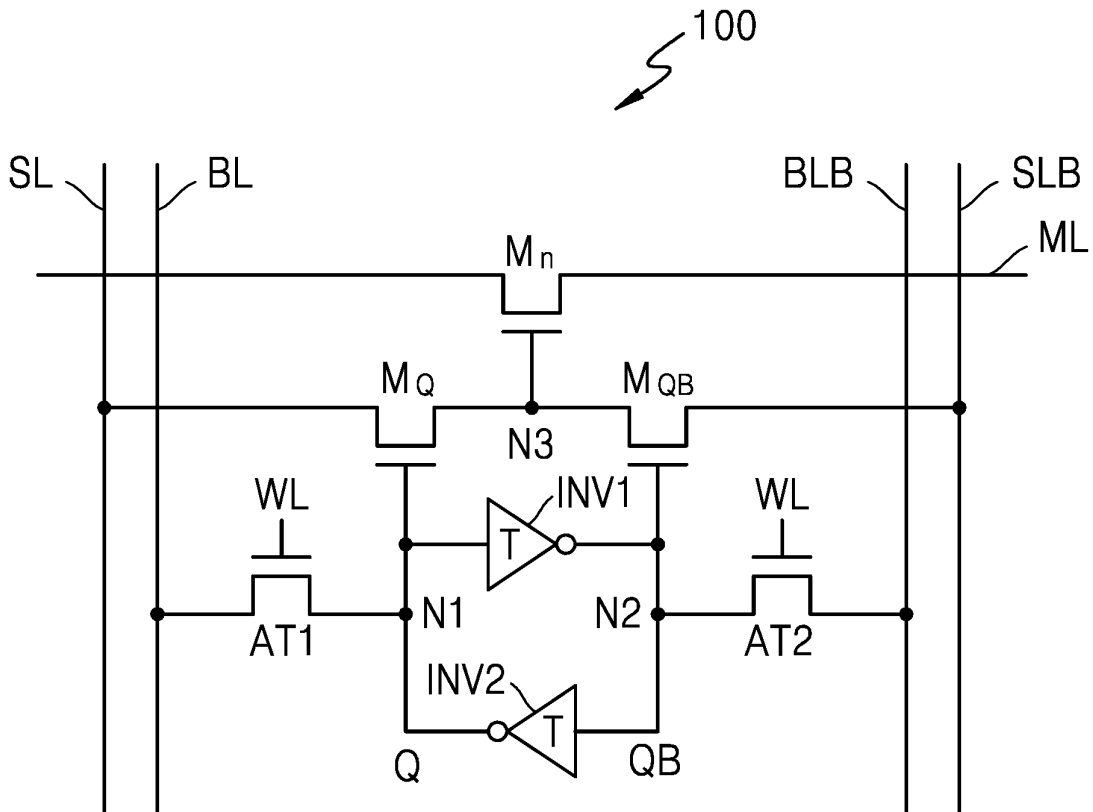
부호의 설명

- [0071] 100: 3진 메모리 셀
- ML: 정합 라인
- BL: 제1 비트 라인
- BLB: 제2 비트 라인
- SL: 제1 탐색 라인
- SLB: 제2 탐색 라인
- M_Q: 제1 트랜지스터
- M_{QB}: 제2 트랜지스터

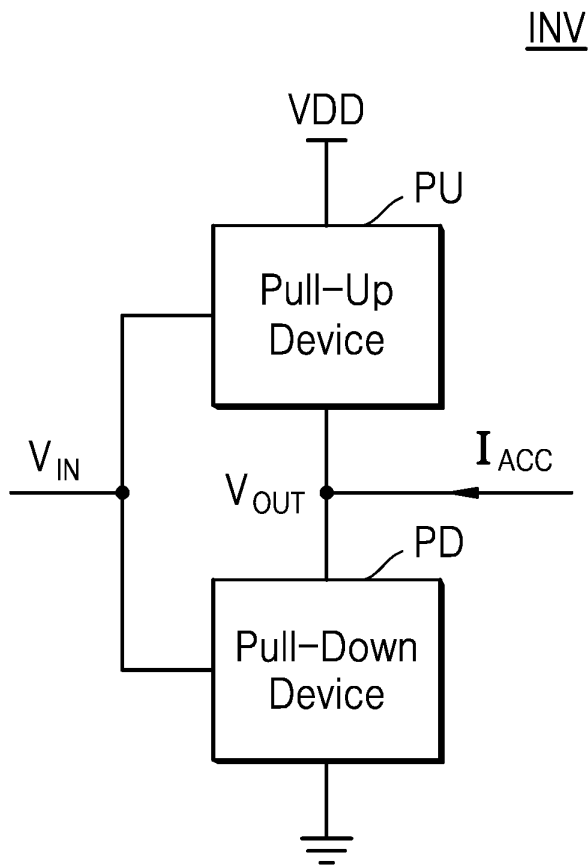
M_N: 제3 트랜지스터

도면

도면1



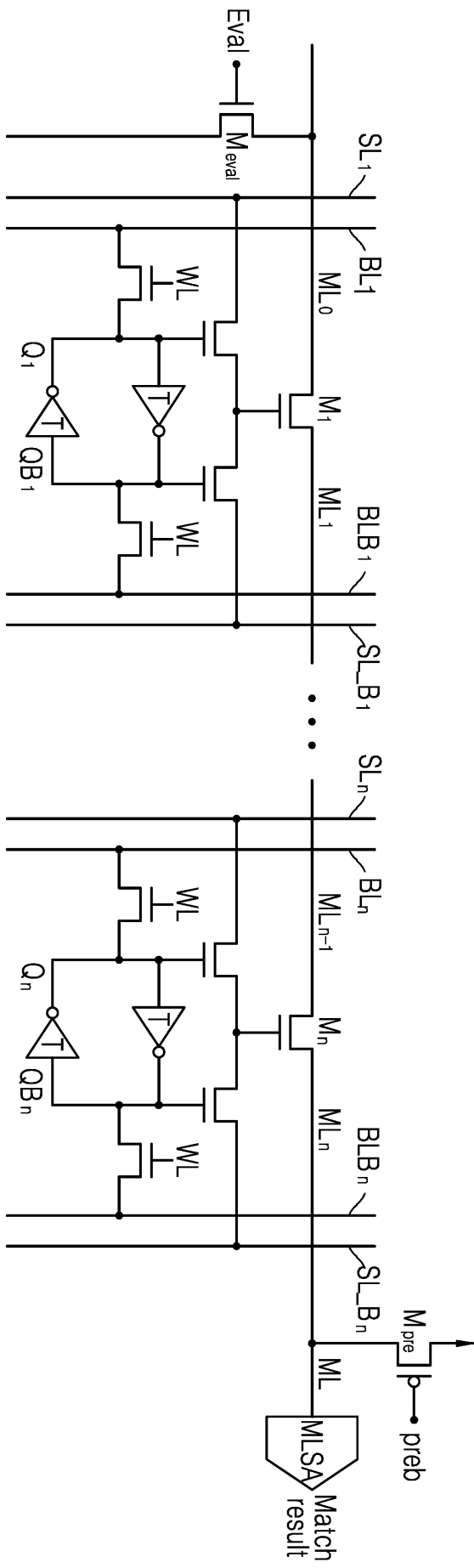
도면2



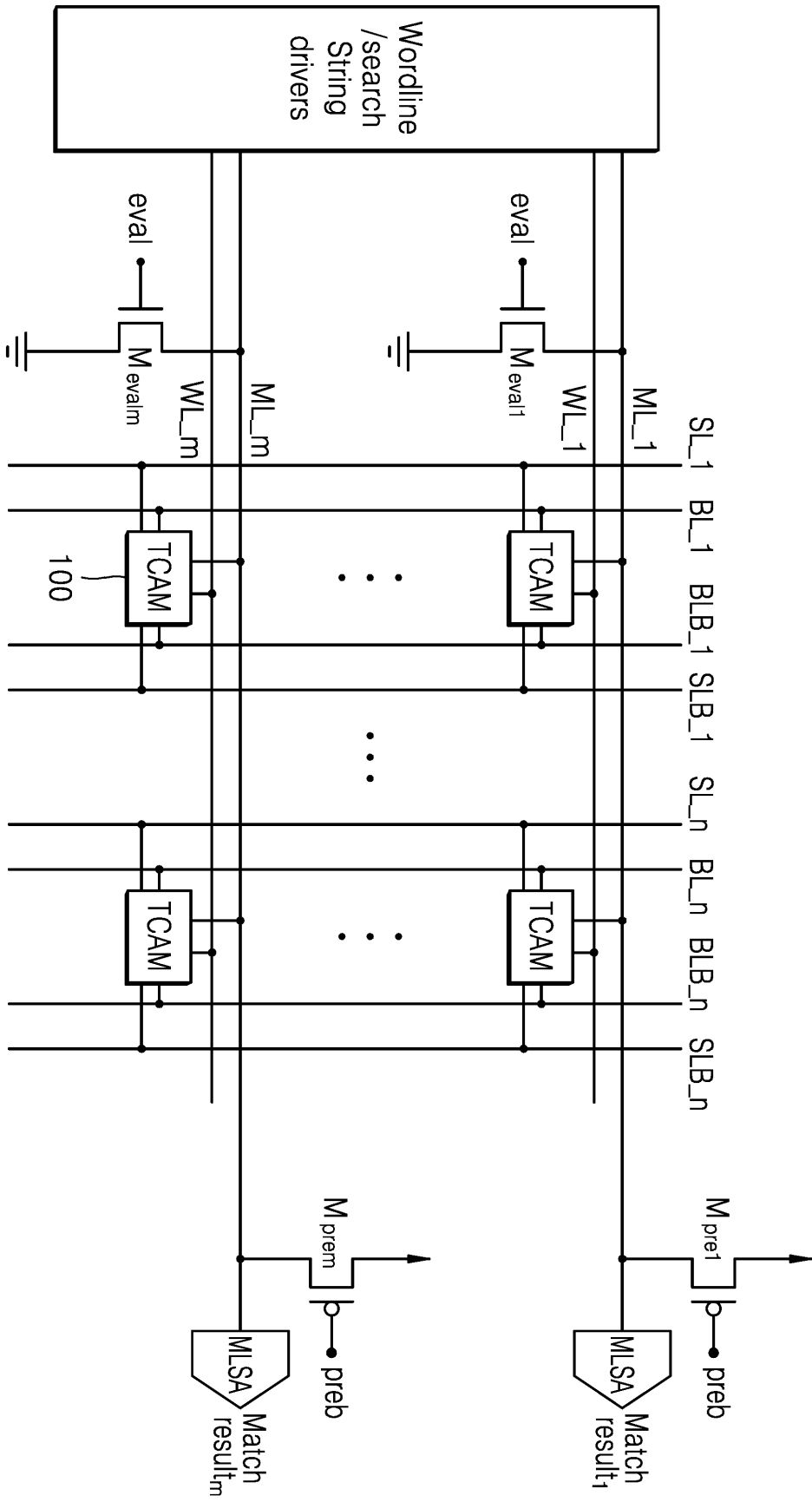
도면3

Q	QB	SL	SLB	MQ	MQB	Mn	STATE
0	1	1	0	OFF	ON	OFF	MIS
0	1	0	1	OFF	ON	ON	MATCH
0.5	0.5	1	0	ON	ON	ON	Don't Care
0.5	0.5	0	1	ON	ON	ON	Don't Care
1	0	1	0	ON	OFF	ON	MATCH
1	0	0	1	ON	OFF	OFF	MIS

도면4



도면5



도면6

