(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年3月2日(02.03.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/026383 A1

(51) 国際特許分類:
G11C 29/50 (2006.01)

(21) 国際出願番号： PCT/JP2021/031085

(22) 国際出願日： 2021年8月25日(25.08.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

(72) 発明者: 穐吉 秀雄 (**AKIYOSHI Hideo**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

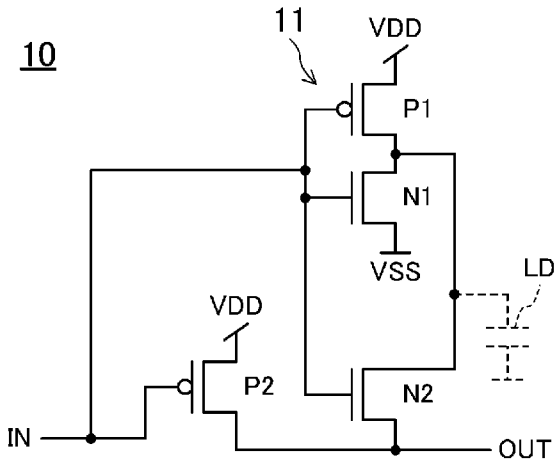
(74) 代理人: 弁理士法人前田特許事務所(**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜１丁目２番１号 新ダイビル２３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

WO 2023/026383 A1

(54) **Title:** SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称： 半導体集積回路装置



(57) **Abstract:** This semiconductor integrated circuit device (1) is provided with a ring oscillator (5) of plural stages having delay circuits (10). In each delay circuit (10), when the signal at the input terminal (IN) makes a first transition, the signal at the output terminal (OUT) transitions by the action of a first transistor (N1), which corresponds to the transistor within an SRAM cell (20). When the signal at the input terminal (IN) makes a second transition, the first transistor (N1) is electrically isolated from the output terminal (OUT), and the signal at the output terminal (OUT) transitions by the action of a second transistor (P2).

(57) 要約：半導体集積回路装置（１）は、複数段の遅延回路（１０）を有するリング発振器（５）を備えている。各遅延回路（１０）では、入力端子（ＩＮ）の信号が第１遷移を行うときは、ＳＲＡＭセル（２０）内のトランジスタに対応している第１トランジスタ（Ｎ１）の動作によって出力端子（ＯＵＴ）の信号が遷移する。入力端子（ＩＮ）の信号が第２遷移を行うときは、第１トランジスタ（Ｎ１）は出力端子（ＯＵＴ）と電気的に分離され、第２トランジスタ（Ｐ２）の動作によって出力端子（ＯＵＴ）の信号が遷移する。

［続葉有］

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体集積回路装置

技術分野

[0001] 本開示は、トランジスタの遅延特性を測定する構成を備えた半導体集積回路装置に関する。

背景技術

[0002] ＳＲＡＭ（Static Random Access memory）が搭載される半導体集積回路において、ＳＲＡＭの製造ばらつきの影響を測定するために、リング発振器を用いて、ＳＲＡＭを構成するトランジスタの遅延特性を測定する技術がある。

[0003] 特許文献１では、ＳＲＡＭを構成するトランジスタを、リング発振器を構成する遅延回路に組み込み、リング発振器の発振周波数を測定することにより、ＳＲＡＭを構成するトランジスタの立ち上がり／立ち下がり特性を独立して測定する技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－１０８７４号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献１の技術では、評価対象のトランジスタの遅延特性測定の精度が低い。具体的には、リング発振器の発振動作における１周期において、信号が通るパスは４個のトランジスタを含み、評価対象のトランジスタはその中の１個である。このため、発振のための遅延動作において、評価対象のトランジスタによる遅延が占める割合が低い。また、評価対象のトランジスタによる遅延を大きくするために、その出力に接続される負荷を大きくすると、他のトランジスタの負荷も大きくなるため、遅延動作において、評価対象のトランジスタによる遅延が占める割合はあまり大きくならない。

[0006] 本開示は、半導体集積回路装置について、評価対象のトランジスタの遅延特性測定の精度を高くすることを目的とする。

課題を解決するための手段

[0007] 本開示の態様では、半導体集積回路装置は、ＳＲＡＭセルを含むＳＲＡＭ回路ブロックと、複数段の遅延回路を有するリング発振器とを備え、前記遅延回路は、それぞれ、入力端子と、出力端子と、前記ＳＲＡＭセル内のトランジスタに対応しており、ゲートが前記入力端子に接続され、ソースが第１電源に接続された、第１導電型の第１トランジスタと、ゲートが前記入力端子に接続され、ソースが第２電源に接続され、ドレインが前記出力端子に接続された、第２導電型の第２トランジスタと、ゲートが前記入力端子に接続され、ソースが前記第１トランジスタのドレインに接続され、ドレインが前記出力端子に接続された、前記第１導電型の第３トランジスタとを備え、前記入力端子に与えられる信号が、第１遷移を行うとき、前記第１および第３トランジスタが導通し、前記第２トランジスタは導通せず、前記第３トランジスタの導通によって前記第１トランジスタのドレインは前記出力端子と電気的に接続され、前記第１トランジスタの動作によって前記出力端子の信号が遷移し、前記入力端子に与えられる信号が、前記第１遷移と逆の第２遷移を行うとき、前記第１および第３トランジスタは導通せず、前記第２トランジスタは導通し、前記第３トランジスタの非導通によって前記第１トランジスタのドレインは前記出力端子と電気的に分離され、前記第２トランジスタの動作によって前記出力端子の信号が遷移する。

[0008] この態様によると、半導体集積回路装置は、複数段の遅延回路を有するリング発振器を備えている。各遅延回路では、入力端子に与えられる信号が第１遷移を行うときは、ＳＲＡＭセル内のトランジスタに対応している第１トランジスタの動作によって、出力端子の信号が遷移する。また、入力端子に与えられる信号が第２遷移を行うときは、ＳＲＡＭセル内のトランジスタに対応している第１トランジスタは出力端子と電気的に分離され、第２トランジスタの動作によって、出力端子の信号が遷移する。このため、第１トラン

ジスタの出力に接続される負荷容量を大きくすることによって、第１トランジスタによる遅延がリング発振器の発振周期に占める割合を高めることができる。したがって、第１トランジスタの遅延特性の測定精度を高めることができる。

発明の効果

[0009] 本開示に係る半導体集積回路装置によると、評価対象のトランジスタの遅延特性測定の精度を高くすることができる。

図面の簡単な説明

[0010] [図1]実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図

[図2]ＳＲＡＭセルの回路構成の例

[図3]リング発振器の構成例

[図4]遅延回路の回路構成の例

[図5]遅延回路の回路構成の例

発明を実施するための形態

[0011] 以下、実施の形態について、図面を参照して説明する。なお、以下の説明では、「ＩＮ」「ＯＵＴ」は、端子名と信号名の両方の符号として用いる。また、信号のハイレベル、ローレベルのことを、単に、「ハイ」「ロー」という場合がある。

[0012] 図１は実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図である。図１の半導体集積回路装置１は、半導体基板に、複数のＳＲＡＭ（Static Random Access Memory）回路ブロック２と、複数の特性測定回路３とが設けられている。

[0013] 図２はＳＲＡＭセルの回路構成の例である。図２に示すＳＲＡＭセル２０は、Ｐ型のロードトランジスタＬＤ１，ＬＤ２と、Ｎ型のドライブトランジスタＤＶ１，ＤＶ２と、Ｎ型のアクセストランジスタＸＦ１，ＸＦ２とを有している。ワード線ＷＬにハイを与えることによって、ビット線対ＢＬ，／ＢＬからのデータ読み出し、および、ビット線対ＢＬ，／ＢＬへのデータ書き込みを行うことができる。ＳＲＡＭ回路ブロック２は、複数個のＳＲＡＭ

セル２０を備えている。

[0014] 特性測定回路３は、後述するリング発振器を備えている。リング発振器の発振周波数を測定することにより、ＳＲＡＭセル２０のトランジスタの遅延特性を測定することができる。なお、図１では、５個の特性測定回路３が、半導体集積回路装置１の中央部と四隅近傍とに設けられているが、特性測定回路３の個数および配置位置はここで示したものに限られるものではない。特性測定回路３を複数設けることによって、トランジスタの遅延特性のチップ内ばらつきを測定することができる。

[0015] 図３は特性測定回路に含まれるリング発振器の構成例である。図３に示すリング発振器５は、直列に接続された２Ｎ（Ｎは自然数）段の遅延回路１０と、ＮＡＮＤ回路１５とを備える。Ｎの値は、例えば、１００以上である。各遅延回路１０では、信号の論理が反転する。ＮＡＮＤ回路１５は、イネーブル信号ＥＮと、最終段の遅延回路１０の出力ＯＵＴとを入力とする。ＮＡＮＤ回路１５の出力は、第１段の遅延回路１０の入力ＩＮに与えられる。最終段の遅延回路１０の出力信号ＯＵＴが、リング発振器５の出力信号ＯＵＴとして出力される。

[0016] イネーブル信号ＥＮがローのとき、ＮＡＮＤ回路１５の出力がハイになる。各遅延回路１０の出力ＯＵＴは、交互にロー、ハイとなり、リング発振器５の出力信号ＯＵＴはハイになる。イネーブル信号ＥＮをハイにすることにより、リング発振器５の発振動作が開始され、出力信号ＯＵＴとして発振信号が出力される。出力信号ＯＵＴの発振周波数を測定することによって、トランジスタの遅延特性を測定することができる。

[0017] ＜第１例＞

図４は遅延回路の回路構成の第１例である。図４に示す遅延回路１０は、Ｐ型トランジスタＰ１，Ｐ２と、Ｎ型トランジスタＮ１，Ｎ２とを備える。図４に示す遅延回路１０では、ＳＲＡＭセルのＮ型トランジスタに対応するトランジスタＮ１の遅延特性を測定することができる。

[0018] トランジスタＰ１，Ｎ１は、高電圧側電源としてのＶＤＤと、低電圧側電

源としてのＶＳＳとの間に直列に接続されており、かつ、ゲート同士が接続されている。すなわち、トランジスタＰ１，Ｎ１はインバータ１１を構成する。トランジスタＰ１，Ｎ１のゲートは、入力端子ＩＮと接続されている。トランジスタＰ１，Ｎ１は、図２に示すＳＲＡＭセル２０におけるトランジスタＬＤ２，ＤＶ２にそれぞれ対応している。すなわち、トランジスタＰ１，Ｎ１は、トランジスタＬＤ２，ＤＶ２と、それぞれ同じサイズを有する。

[0019] トランジスタＰ２（プルアップトランジスタ）は、ゲートが入力端子ＩＮと接続されており、ソースがＶＤＤと接続されており、ドレインが出力端子ＯＵＴと接続されている。入力信号ＩＮがローのとき、トランジスタＰ２は、ＶＤＤと出力端子ＯＵＴとを電気的に接続する。

[0020] トランジスタＮ２（負荷分離トランジスタ）は、ゲートが入力端子ＩＮと接続されており、ドレインが出力端子ＯＵＴと接続されている。また、ソースが、トランジスタＰ１，Ｎのドレイン、すなわち、インバータ１１の出力と接続されている。入力信号ＩＮがローのとき、トランジスタＮ２は、インバータ１１の出力と出力端子ＯＵＴとを電気的に分離する。

[0021] インバータ１１の出力ノードには、大きな負荷容量ＬＤが設けられている。負荷容量ＬＤは、出力端子ＯＵＴに接続される負荷容量よりも負荷が大きくなるように、配線、容量等によって実現されている。例えば、負荷容量ＬＤは、配線長が長い配線や、ダミーゲート等によって実現される。

[0022] 図４に示す遅延回路１０は、次のように動作する。信号ＩＮがローからハイに遷移したとき、トランジスタＮ２がオンになり、インバータ１１の出力は出力端子ＯＵＴと電気的に接続される。また、トランジスタＰ２はオフになる。そして、トランジスタＮ１がオンになることにより、遅延Ｔ＿ｆＮ１をもって出力信号ＯＵＴはハイからローになる。遅延Ｔ＿ｆＮ１は、トランジスタＮ１の出力が立ち下がるときの遅延である。

[0023] 信号ＩＮがハイからローに遷移したとき、トランジスタＮ２がオフになり、インバータ１１の出力と出力端子ＯＵＴとは電気的に分離される。そして、トランジスタＰ２がオンになることにより、遅延Ｔ＿ｒＰ２をもって出力

信号ＯＵＴはローからハイになる。遅延Ｔ＿ｒＰ２は、トランジスタＰ２の出力が立ち上がるときの遅延である。

[0024] そして、負荷容量ＬＤは、信号ＩＮがローからハイに遷移したときは出力端子ＯＵＴに接続されるが、信号ＩＮがハイからローに遷移したときは出力端子ＯＵＴに接続されない。このため、遅延Ｔ＿ｆＮ１と遅延Ｔ＿ｒＰ２との関係は、

Ｔ＿ｆＮ１ ＞ Ｔ＿ｒＰ２

となる。

[0025] 図３のリング発振器５は、トランジスタＮ１の遅延特性を測定する場合には、次のように動作する。イネーブル信号ＥＮをハイにする。ＮＡＮＤ回路１５の入力がローからハイに遷移すると、ＮＡＮＤ回路１５の出力はハイからローに遷移する。このときの遅延をＴ＿ｆＮＡＮＤとする。第１段の遅延回路１０は、入力ＩＮがハイからローに遷移したので、出力ＯＵＴは遅延Ｔ＿ｒＰ２をもってローからハイに遷移する。第２段の遅延回路１０は、入力ＩＮがローからハイに遷移したので、出力ＯＵＴは遅延Ｔ＿ｆＮ１をもってハイからローに遷移する。同様の動作を、第３段以降の遅延回路１０が行うため、２Ｎ段の遅延回路１０全体で、Ｎ（Ｔ＿ｆＮ１＋Ｔ＿ｒＰ２）の遅延をもって、出力信号ＯＵＴがハイからローに遷移する。

[0026] この出力信号がＮＡＮＤ回路１５にフィードバックされ、ＮＡＮＤ回路１５の出力はローからハイに遷移する。このときの遅延をＴ＿ｒＮＡＮＤとする。第１段の遅延回路１０は、入力ＩＮがローからハイに遷移したので、出力ＯＵＴは遅延Ｔ＿ｆＮ１をもってハイからローに遷移する。第２段の遅延回路１０は、入力ＩＮがハイからローに遷移したので、出力ＯＵＴは遅延Ｔ＿ｒＰ２をもってローからハイに遷移する。同様の動作を、第３段以降の遅延回路１０が行うため、２Ｎ段の遅延回路１０全体で、Ｎ（Ｔ＿ｆＮ１＋Ｔ＿ｒＰ２）の遅延をもって、出力信号ＯＵＴがローからハイに遷移する。

[0027] 上述した動作が、リング発振器５の発振動作の１サイクルとなる。したがって、発振動作の周期Ｔ＿ｃｙｃｌｅ１は、

Ｔ＿ｃｙｃｌｅ１＝Ｔ＿ｆＮＡＮＤ＋Ｔ＿ｒＮＡＮＤ＋２Ｎ（Ｔ＿ｆＮ１＋Ｔ＿ｒＰ２）

となる。

[0028] これにより、Ｎの値を大きくするとともに、図４における負荷容量ＬＤを大きくすることによって、遅延Ｔ＿ｆＮ１が発振動作の周期Ｔ＿ｃｙｃｌｅ１に占める割合を大きくすることができる。したがって、トランジスタＮ１の遅延特性測定の精度を上げることができる。

[0029] ＜第２例＞

図５は遅延回路の回路構成の第２例である。図５に示す遅延回路１０は、Ｐ型トランジスタＰ１，Ｐ３と、Ｎ型トランジスタＮ１，Ｎ３とを備える。図５に示す遅延回路１０では、ＳＲＡＭセルのＰ型トランジスタに対応するトランジスタＰ１の遅延特性を測定することができる。なお、図４と共通の構成要素については、説明を省略する場合がある。

[0030] トランジスタＮ３（プルダウントランジスタ）は、ゲートが入力端子ＩＮと接続されており、ソースがＶＳＳと接続されており、ドレインが出力端子ＯＵＴと接続されている。入力信号ＩＮがハイのとき、トランジスタＮ３は、ＶＳＳと出力端子ＯＵＴとを電気的に接続する。

[0031] トランジスタＰ３（負荷分離トランジスタ）は、ゲートが入力端子ＩＮと接続されており、ドレインが出力端子ＯＵＴと接続されている。また、ソースが、トランジスタＰ１，Ｎ１のドレイン、すなわち、インバータ１１の出力と接続されている。入力信号ＩＮがハイのとき、トランジスタＰ３は、インバータ１１の出力と出力端子ＯＵＴとを電気的に分離する。

[0032] 図５に示す遅延回路１０は、次のように動作する。信号ＩＮがハイからローに遷移したとき、トランジスタＰ３がオンになり、インバータ１１の出力は出力端子ＯＵＴと電気的に接続される。また、トランジスタＮ３はオフになる。そして、トランジスタＰ１がオンになることにより、遅延Ｔ＿ｒＰ１をもって出力信号ＯＵＴはローからハイになる。遅延Ｔ＿ｒＰ１は、トランジスタＰ１の出力が立ち下がるときの遅延である。

[0033] 信号ＩＮがローからハイに遷移したとき、トランジスタＰ３がオフになり、インバータ１１の出力と出力端子ＯＵＴとは電気的に分離される。そして、トランジスタＮ３がオンになることにより、遅延Ｔ＿ｆＮ３をもって出力信号ＯＵＴはハイからローになる。遅延Ｔ＿ｆＮ３は、トランジスタＮ３の出力が立ち下がるときの遅延である。

[0034] そして、負荷容量ＬＤは、信号ＩＮがハイからローに遷移したときは出力端子ＯＵＴに接続されるが、信号ＩＮがローからハイに遷移したときは出力端子ＯＵＴに接続されない。このため、遅延Ｔ＿ｒＰ１と遅延Ｔ＿ｆＮ３との関係は、

Ｔ＿ｒＰ１ ＞ Ｔ＿ｆＮ３

となる。

[0035] 図３のリング発振器５は、トランジスタＰ１の遅延特性を測定する場合には、次のように動作する。イネーブル信号ＥＮをハイにする。ＮＡＮＤ回路１５の入力がローからハイに遷移すると、ＮＡＮＤ回路１５の出力は遅延Ｔ＿ｆＮＡＮＤをもって、ハイからローに遷移する。第１段の遅延回路１０は、入力ＩＮがハイからローに遷移したので、出力ＯＵＴは遅延Ｔ＿ｒＰ１をもってローからハイに遷移する。第２段の遅延回路１０は、入力ＩＮがローからハイに遷移したので、出力ＯＵＴは遅延Ｔ＿ｆＮ３をもってハイからローに遷移する。同様の動作を、第３段以降の遅延回路１０が行うため、２Ｎ段の遅延回路１０全体で、Ｎ（Ｔ＿ｒＰ１＋Ｔ＿ｆＮ３）の遅延をもって、出力信号ＯＵＴがハイからローに遷移する。

[0036] この出力信号がＮＡＮＤ回路１５にフィードバックされ、ＮＡＮＤ回路１５の出力は遅延Ｔ＿ｒＮＡＮＤをもってローからハイに遷移する。第１段の遅延回路１０は、入力ＩＮがローからハイに遷移したので、出力ＯＵＴは遅延Ｔ＿ｆＮ３をもってハイからローに遷移する。第２段の遅延回路１０は、入力ＩＮがハイからローに遷移したので、出力ＯＵＴは遅延Ｔ＿ｒＰ１をもってローからハイに遷移する。同様の動作を、第３段以降の遅延回路１０が行うため、２Ｎ段の遅延回路１０全体で、Ｎ（Ｔ＿ｒＰ１＋Ｔ＿ｆＮ３）の

遅延をもって、出力信号ＯＵＴがローからハイに遷移する。

[0037] 上述した動作が、リング発振器５の発振動作の１サイクルとなる。したがって、発振動作の周期Ｔ＿ｃｙｃｌｅ２は、

Ｔ＿ｃｙｃｌｅ２＝Ｔ＿ｆＮＡＮＤ＋Ｔ＿ｒＮＡＮＤ＋２Ｎ（Ｔ＿ｒＰ１＋Ｔ＿ｆＮ３）

となる。

[0038] これにより、Ｎの値を大きくするとともに、図５における負荷容量ＬＤを大きくすることによって、遅延Ｔ＿ｒＰ１が発振動作の周期Ｔ＿ｃｙｃｌｅ２に占める割合を大きくすることができる。したがって、トランジスタＰ１の遅延特性測定の精度を上げることができる。

[0039] 以上のように本実施形態によると、半導体集積回路装置１は、複数段の遅延回路１０を有するリング発振器５を備えている。各遅延回路１０では、入力端子ＩＮに与えられる信号が第１遷移を行うときは、ＳＲＡＭセル２０内のトランジスタに対応している第1トランジスタ（図４のＮ１，図５のＰ１）の動作によって、出力端子ＯＵＴの信号が遷移する。また、入力端子ＩＮに与えられる信号が第２遷移を行うときは、ＳＲＡＭセル２０内のトランジスタに対応している第１トランジスタは出力端子ＯＵＴと電気的に分離され、第2トランジスタ（図４のＰ２，図５のＮ３）の動作によって、出力端子ＯＵＴの信号が遷移する。このため、第１トランジスタの出力に接続される負荷容量ＬＤを大きくすることによって、第１トランジスタによる遅延がリング発振器５の発振周期に占める割合を高めることができる。したがって、第１トランジスタの遅延特性の精度を高めることができる。

[0040] （他の実施形態）

（その１）

上述した第１例および第２例は、それぞれ単独で実施してもよいし、両方を実施してもよい。すなわち、本開示に係る半導体集積回路装置は、第１例に係る遅延回路を有する第１リング発振器と、第２例に係る遅延回路を有する第２リング発振器とを備えてもよい。

[0041] （その２）

上述の実施形態では、半導体集積回路装置がＳＲＡＭ回路ブロックを備えるものとしたが、本開示に係る半導体集積回路装置は、これに限られるものではない。例えば、本開示に係る半導体集積回路装置はロジック回路を備えるものとし、ロジック回路内のトランジスタに対応するトランジスタの特性を評価する特性測定回路が、本開示で示した遅延回路を有するリング発振器を備えていてもよい。

産業上の利用可能性

[0042] 本開示によると、評価対象のトランジスタの遅延特性測定の精度を高くすることができるので、例えば、ＬＳＩの性能向上に有用である。

符号の説明

[0043] １　半導体集積回路装置

２　ＳＲＡＭ回路ブロック

３　特性評価回路

５　リング発振器

１０　遅延回路

１１　インバータ

２０　ＳＲＡＭセル

ＩＮ　入力端子

ＯＵＴ　出力端子

Ｐ１，Ｐ２，Ｐ３，Ｎ１，Ｎ２，Ｎ３　トランジスタ

請求の範囲

[請求項1] ＳＲＡＭセルを含むＳＲＡＭ回路ブロックと、

複数段の遅延回路を有するリング発振器とを備え、

前記遅延回路は、それぞれ、

入力端子と、

出力端子と、

前記ＳＲＡＭセル内のトランジスタに対応しており、ゲートが前記入力端子に接続され、ソースが第１電源に接続された、第１導電型の第１トランジスタと、

ゲートが前記入力端子に接続され、ソースが第２電源に接続され、ドレインが前記出力端子に接続された、第２導電型の第２トランジスタと、

ゲートが前記入力端子に接続され、ソースが前記第１トランジスタのドレインに接続され、ドレインが前記出力端子に接続された、前記第１導電型の第３トランジスタとを備え、

前記入力端子に与えられる信号が、第１遷移を行うとき、

前記第１および第３トランジスタが導通し、前記第２トランジスタは導通せず、前記第３トランジスタの導通によって前記第１トランジスタのドレインは前記出力端子と電気的に接続され、前記第１トランジスタの動作によって前記出力端子の信号が遷移し、

前記入力端子に与えられる信号が、前記第１遷移と逆の第２遷移を行うとき、

前記第１および第３トランジスタは導通せず、前記第２トランジスタは導通し、前記第３トランジスタの非導通によって前記第１トランジスタのドレインは前記出力端子と電気的に分離され、前記第２トランジスタの動作によって前記出力端子の信号が遷移する

半導体集積回路装置。

[請求項2] 請求項１記載の半導体集積回路装置において、

前記第１導電型は、Ｎ型であり、前記第２導電型は、Ｐ型であり、

前記第１電源は、低電圧側電源であり、前記第２電源は、高電圧側電源であり、

前記第１遷移は、ローレベルからハイレベルへの遷移であり、前記第２遷移は、ハイレベルからローレベルへの遷移である

半導体集積回路装置。

[請求項3] 請求項１記載の半導体集積回路装置において、

前記第１導電型は、Ｐ型であり、前記第２導電型は、Ｎ型であり、

前記第１電源は、高電圧側電源であり、前記第２電源は、低電圧側電源であり、

前記第１遷移は、ハイレベルからローレベルへの遷移であり、前記第２遷移は、ローレベルからハイレベルへの遷移である

半導体集積回路装置。

[請求項4] 請求項１記載の半導体集積回路装置において、

前記第１トランジスタは、前記ＳＲＡＭセル内のトランジスタと、同じサイズである

半導体集積回路装置。

[請求項5] 複数段の遅延回路を有するリング発振器を備え、

前記遅延回路は、それぞれ、

入力端子と、

出力端子と、

ゲートが前記入力端子に接続され、ソースが第１電源に接続された、第１導電型の第１トランジスタと、

ゲートが前記入力端子に接続され、ソースが第２電源に接続され、ドレインが前記出力端子に接続された、第２導電型の第２トランジスタと、

ゲートが前記入力端子に接続され、ソースが前記第１トランジスタのドレインに接続され、ドレインが前記出力端子に接続された、前記

第１導電型の第３トランジスタとを備え、

前記入力端子に与えられる信号が、第１遷移を行うとき、

前記第１および第３トランジスタが導通し、前記第２トランジスタは導通せず、前記第３トランジスタの導通によって前記第１トランジスタのドレインは前記出力端子と電気的に接続され、前記第１トランジスタの動作によって前記出力端子の信号が遷移し、

前記入力端子に与えられる信号が、前記第１遷移と逆の第２遷移を行うとき、

前記第１および第３トランジスタは導通せず、前記第２トランジスタは導通し、前記第３トランジスタの非導通によって前記第１トランジスタのドレインは前記出力端子と電気的に分離され、前記第２トランジスタの動作によって前記出力端子の信号が遷移する

半導体集積回路装置。

[請求項6] 請求項１記載の半導体集積回路装置において、

前記第１導電型は、Ｎ型であり、前記第２導電型は、Ｐ型であり、

前記第１電源は、低電圧側電源であり、前記第２電源は、高電圧側電源であり、

前記第１遷移は、ローレベルからハイレベルへの遷移であり、前記第２遷移は、ハイレベルからローレベルへの遷移である

半導体集積回路装置。

[請求項7] 請求項１記載の半導体集積回路装置において、

前記第１導電型は、Ｐ型であり、前記第２導電型は、Ｎ型であり、

前記第１電源は、高電圧側電源であり、前記第２電源は、低電圧側電源であり、

前記第１遷移は、ハイレベルからローレベルへの遷移であり、前記第２遷移は、ローレベルからハイレベルへの遷移である

半導体集積回路装置。

[請求項8] 複数段の第１遅延回路を有する第１リング発振器と、

複数段の第２遅延回路を有する第２リング発振器とを備え、

前記第１遅延回路は、それぞれ、

第１入力端子と、

第１出力端子と、

ゲートが前記第１入力端子に接続され、ソースが第１電源に接続された、第１導電型の第１トランジスタと、

ゲートが前記第１入力端子に接続され、ソースが第２電源に接続され、ドレインが前記第１出力端子に接続された、第２導電型の第２トランジスタと、

ゲートが前記第１入力端子に接続され、ソースが前記第１トランジスタのドレインに接続され、ドレインが前記第１出力端子に接続された、前記第１導電型の第３トランジスタとを備え、

前記第１入力端子に与えられる信号が、第１遷移を行うとき、

前記第１および第３トランジスタが導通し、前記第２トランジスタは導通せず、前記第３トランジスタの導通によって前記第１トランジスタのドレインは前記第１出力端子と電気的に接続され、前記第１トランジスタの動作によって前記第１出力端子の信号が遷移し、

前記第１入力端子に与えられる信号が、前記第１遷移と逆の第２遷移を行うとき、

前記第１および第３トランジスタは導通せず、前記第２トランジスタは導通し、前記第３トランジスタの非導通によって前記第１トランジスタのドレインは前記第１出力端子と電気的に分離され、前記第２トランジスタの動作によって前記第１出力端子の信号が遷移するものであり、

前記第２遅延回路は、それぞれ、

第２入力端子と、

第２出力端子と、

ゲートが前記第２入力端子に接続され、ソースが前記第２電源に接

続された、前記第２導電型の第４トランジスタと、

ゲートが前記第２入力端子に接続され、ソースが前記第１電源に接続され、ドレインが前記第２出力端子に接続された、前記第１導電型の第５トランジスタと、

ゲートが前記第２入力端子に接続され、ソースが前記第４トランジスタのドレインに接続され、ドレインが前記第２出力端子に接続された、前記第２導電型の第６トランジスタとを備え、

前記第２入力端子に与えられる信号が、前記第２遷移を行うとき、

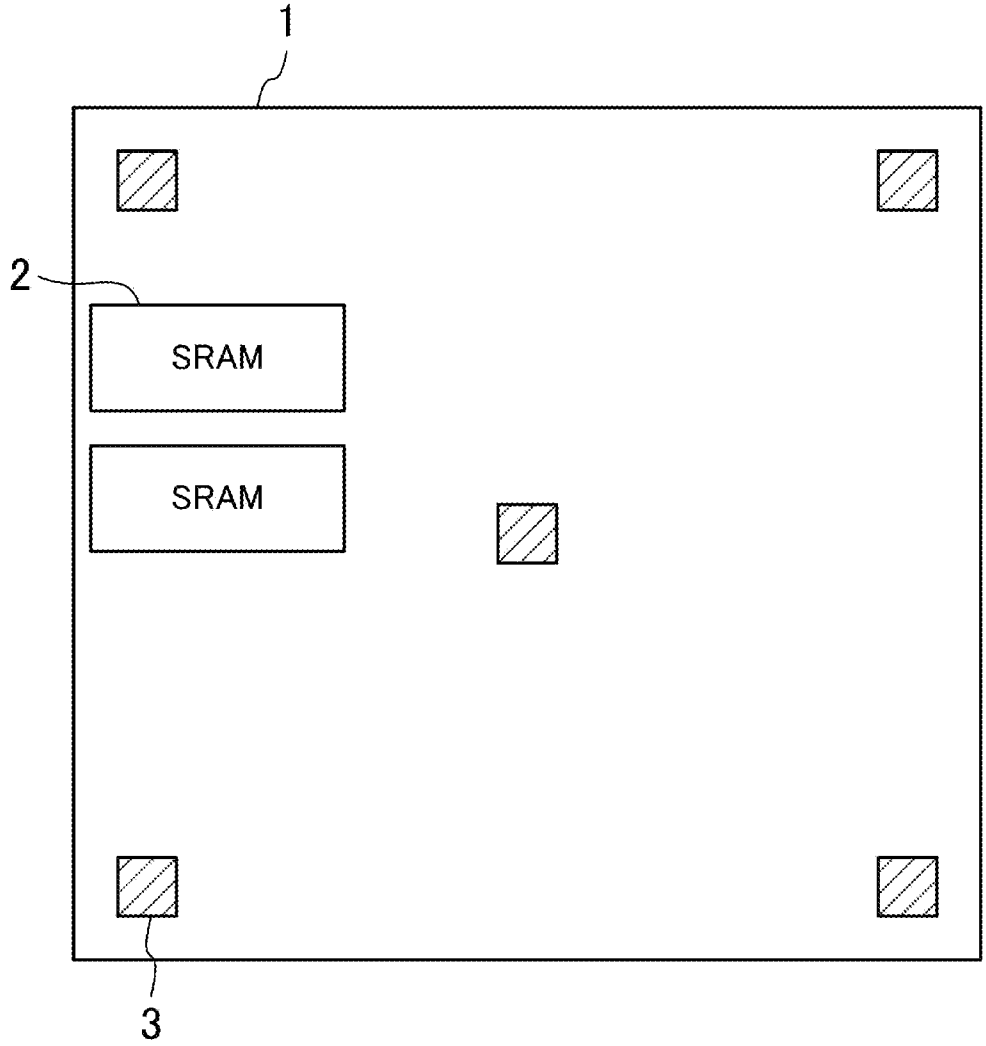
前記第４および第６トランジスタが導通し、前記第５トランジスタは導通せず、前記第６トランジスタの導通によって前記第４トランジスタのドレインは前記第２出力端子と電気的に接続され、前記第４トランジスタの動作によって前記第２出力端子の信号が遷移し、

前記第２入力端子に与えられる信号が、前記第１遷移を行うとき、

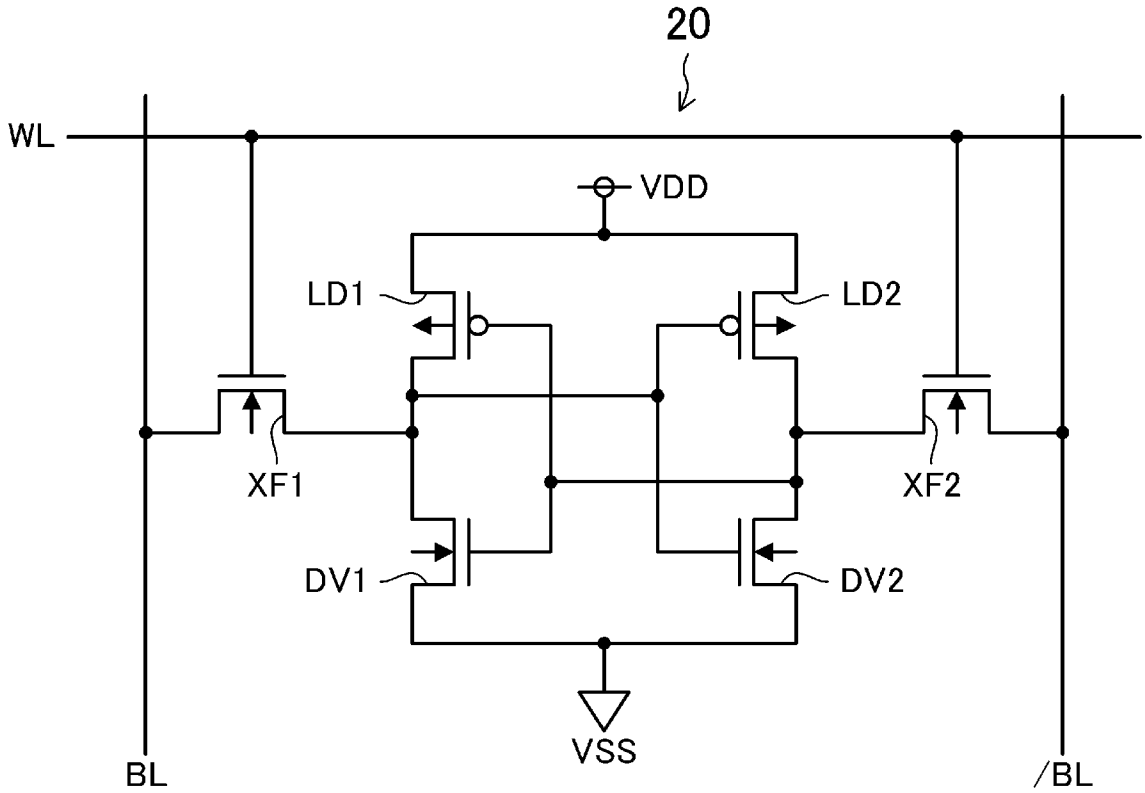
前記第４および第６トランジスタは導通せず、前記第５トランジスタは導通し、前記第６トランジスタの非導通によって前記第４トランジスタのドレインは前記第２出力端子と電気的に分離され、前記第５トランジスタの動作によって前記第２出力端子の信号が遷移するものである

半導体集積回路装置。

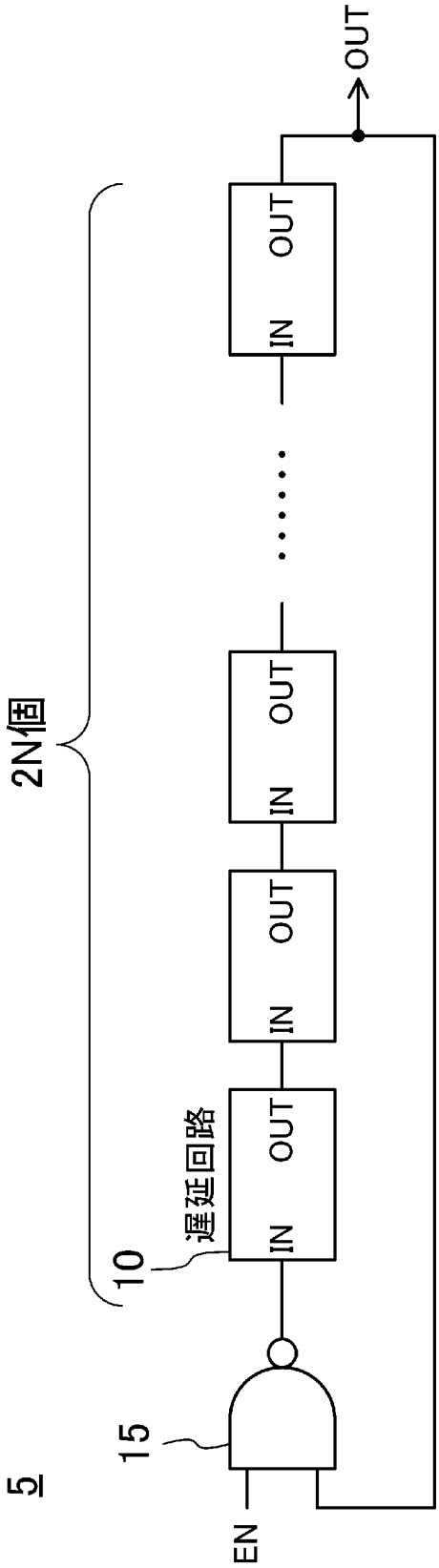
[図1]



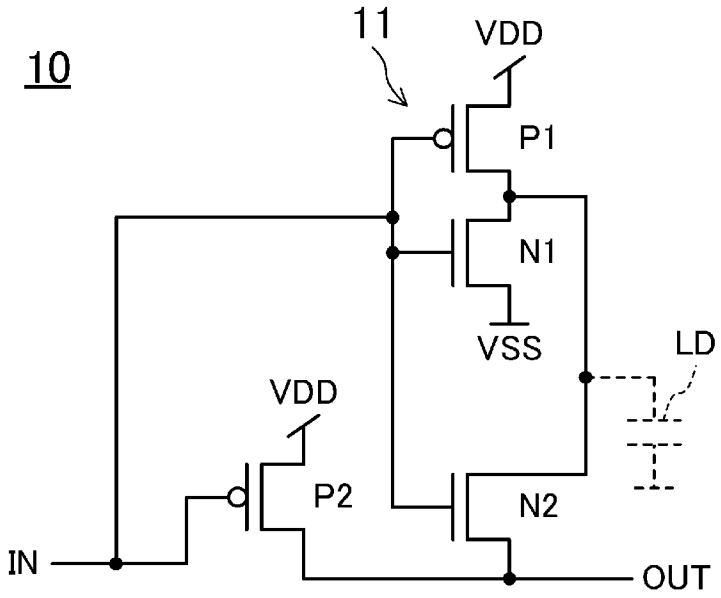
[図2]



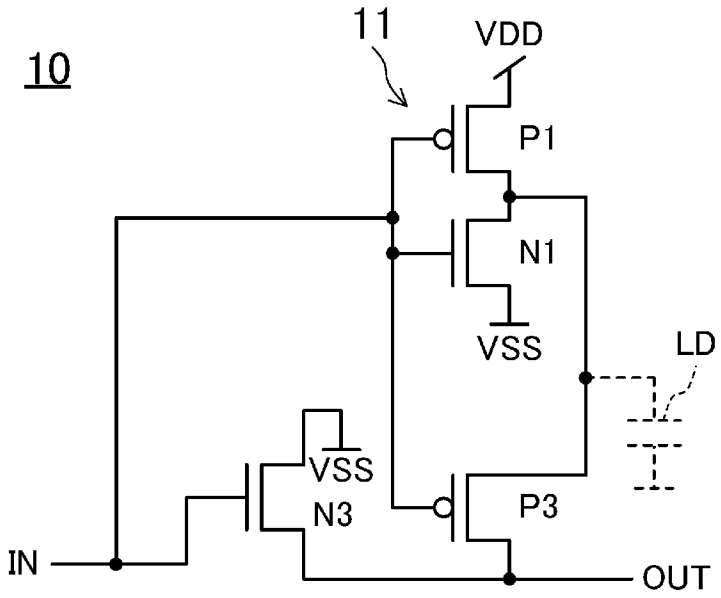
[図3]



[図4]


10
11
VDD
P1
N1
VSS
LD
VDD
P2
N2
IN
OUT

[図5]


10
11
VDD
P1
N1
VSS
LD
VSS
N3
P3
IN
OUT

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/031085

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/50(2006.01)i
FI: G11C29/50 120

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C29/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-10874 A (FUJITSU SEMICONDUCTOR LTD.) 20 January 2014 (2014-01-20) paragraphs [0124]-[0157], fig. 7-10	1-8
A	JP 2014-150353 A (FUJITSU SEMICONDUCTOR LTD.) 21 August 2014 (2014-08-21) paragraphs [0056]-[0064], fig. 3-5	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 September 2021	**05 October 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/031085

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2014-10874 A	20 January 2014	US 2014/0002199 A1 paragraphs [0139]-[0174], fig. 7-10	
JP 2014-150353 A	21 August 2014	US 2014/0210561 A1 paragraphs [0085]-[0093], fig. 3-5 CN 103973303 A KR 10-2014-0098667 A	

国際調査報告

国際出願番号
PCT/JP2021/031085

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 29/50(2006.01)i
FI: G11C29/50 120

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C29/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-10874 A (富士通セミコンダクター株式会社) 20.01.2014 (2014-01-20) 段落[0124]-[0157], 図7-10	1-8
A	JP 2014-150353 A (富士通セミコンダクター株式会社) 21.08.2014 (2014-08-21) 段落[0056]-[0064], 図3-5	1-8

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.09.2021	05.10.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5N 4226
電話番号 03-3581-1101 内線 3586

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/031085

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-10874 A	20.01.2014	US 2014/0002199 A1 段落[0139]-[0174], 図7-10	
JP 2014-150353 A	21.08.2014	US 2014/0210561 A1 段落[0085]-[0093], 図3-5 CN 103973303 A KR 10-2014-0098667 A	