

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成29年11月30日 (2017.11.30)

【公開番号】特開2016-103780(P2016-103780A)

【公開日】平成28年6月2日 (2016.6.2)

【年通号数】公開・登録公報2016-034

【出願番号】特願2014-241916(P2014-241916)

【国際特許分類】

H 0 4 N 5/376 (2011.01)

H 0 4 N 5/374 (2011.01)

H 0 4 N 5/353 (2011.01)

H 0 4 N 101/00 (2006.01)

【F I】

H 0 4 N 5/335 7 6 0

H 0 4 N 5/335 7 4 0

H 0 4 N 5/335 5 3 0

H 0 4 N 101:00

【手続補正書】

【提出日】平成29年10月19日 (2017.10.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光電変換素子を備える画素が行列状に配置された画素部と、

前記画素部を行単位で駆動する駆動信号を出力する走査部と、を備え、

前記走査部は、

アドレス信号をデコードし、行毎のアドレスデコード信号を出力するアドレスデコーダ部と、

前記画素部の行に対応して設けられた複数の行駆動部と、を含み、

前記複数の行駆動部のそれぞれは、

前記アドレスデコード信号を保持する保持部と、

前記保持部に保持された信号に基づいて前記駆動信号を生成する信号生成部と、を含み、

第 1 の行に対応する前記行駆動部の前記信号生成部の出力が、第 2 の行に対応する前記行駆動部の前記保持部に入力されることを特徴とする撮像装置。

【請求項 2】

前記保持部は、第 1 の保持部と、前記第 1 の保持部の後段に配された第 2 の保持部を含む

ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記第 1 の行に対応する前記行駆動部の前記信号生成部の出力が、前記第 2 の行に対応する前記行駆動部の前記第 2 の保持部に入力される

ことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記第 1 の保持部は、S R ラッチ回路により構成される

ことを特徴とする請求項 2 または請求項 3 に記載の撮像装置。

【請求項 5】

前記第 2 の保持部は、D ラッチ回路により構成される

ことを特徴とする請求項 2 乃至請求項 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記信号生成部は、前記保持部に保持された信号と、前記複数の行駆動部に共通に供給される制御信号とに基づいて、前記駆動信号を生成する

ことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記信号生成部は、レベルシフト部を含む

ことを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記行駆動部は、他の行駆動部の前記信号生成部から出力された信号の前記保持部への入力を制御する信号選択部を含む

ことを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

光電変換素子を備える画素が行列状に配置された画素部と、

前記画素部の行を駆動する駆動信号を出力する走査部と、

前記画素部の駆動される行を示すアドレス信号を前記走査部に出力する制御部と、
を備え、

前記走査部は、

前記アドレス信号をデコードし、行毎のアドレスデコード信号を出力するアドレスデコード部と、

保持部と、

複数行のシャッタ走査信号を前記アドレスデコード信号に基づかずに一括して前記保持部にセットするとともに、一括してセットされた前記保持部の前記シャッタ走査信号を順次リセットするセトリセット部と、

前記保持部から出力された前記シャッタ走査信号に基づき、前記光電変換素子をリセットさせるための前記駆動信号を生成する信号生成部と、
を備える撮像装置。

【請求項 10】

前記セトリセット部は、前記アドレスデコード信号に基づき前記シャッタ走査信号を順次リセットする、請求項 9 に記載の撮像装置。

【請求項 11】

前記セトリセット部は、前記保持部において、複数行の前記シャッタ走査信号を一括してセットするとともに前記シャッタ走査信号を順次リセットする動作モード、または、前記シャッタ走査信号を順次セットするとともに複数行の前記シャッタ走査信号を一括してリセットする動作モードのいずれかを実行する、請求項 9 または 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

前記セトリセット部において、前記シャッタ走査信号を一括してセットさせるためのセット信号は 1 ビットの信号である、請求項 9 乃至 11 のいずれか 1 項に記載の撮像装置。

【請求項 13】

前記セトリセット部において、前記シャッタ走査信号を一括してセットさせるためのセット信号は複数本の信号線によって供給される複数ビットの信号であり、それぞれの信号線のビット毎に複数行の前記シャッタ走査信号をセットする、請求項 9 乃至 11 のいずれか 1 項に記載の撮像装置。

【請求項 14】

前記保持部は、セット端子、およびリセット端子を有するラッチ回路を備え、

前記セトリセット部は、前記セット端子において、複数行の前記シャッタ走査信号を一括してセットし、前記リセット端子において、前記アドレスデコード信号に基づき前記シャッタ走査信号を順次リセットする、請求項9乃至13のいずれか1項に記載の撮像装置。

【請求項15】

前記保持部は、データ端子、および前記データ端子における信号をラッチさせるためのゲート信号が入力されるゲート端子を有するラッチ回路を備え、

前記セトリセット部は、前記データ端子において、複数行の前記シャッタ走査信号を一括してセットするとともに前記シャッタ走査信号を順次リセットする、請求項9乃至13のいずれか1項に記載の撮像装置。

【請求項16】

前記走査部は、第0行から第n行までの($n + 1$)個の前記保持部および前記セトリセット部を備え、

第L行(Lは1～nまでの整数)の前記セトリセット部は、第(L - 1)行における前記シャッタ走査信号がリセットされたことに応じて、第L行の前記保持部における前記シャッタ走査信号をリセットする、請求項15に記載の撮像装置。

【請求項17】

奇数行の前記保持部の前記ゲート端子には第1のゲート信号が入力され、偶数行の前記保持部のゲート端子には前記第1のゲート信号とは異なる第2のゲート信号が入力される、請求項16に記載の撮像装置。

【請求項18】

第n行の前記保持部からの信号を故障検査のための信号として出力する、請求項16または17のいずれか1項に記載の撮像装置。

【請求項19】

請求項1～18のいずれか1項に記載の撮像装置と、

前記撮像装置から出力された信号を処理する信号処理部とを有する撮像システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

本発明の一実施形態に係る撮像装置は、光電変換素子を備える画素が行列状に配置された画素部と、前記画素部を行単位で駆動する駆動信号を出力する走査部と、を備え、前記走査部は、アドレス信号をデコードし、行毎のアドレスデコード信号を出力するアドレスデコーダ部と、前記画素部の行に対応して設けられた複数の行駆動部と、を含み、前記複数の行駆動部のそれぞれは、前記アドレスデコード信号を保持する保持部と、前記保持部に保持された信号に基づいて前記駆動信号を生成する信号生成部と、を含み、第1の行に対応する前記行駆動部の前記信号生成部の出力が、第2の行に対応する前記行駆動部の前記保持部に入力される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明の他の実施形態に係る撮像装置は、光電変換素子を備える画素が行列状に配置された画素部と、前記画素部の行を駆動する駆動信号を出力する走査部と、前記画素部の駆動される行を示すアドレス信号を前記走査部に出力する制御部と、を備え、前記走査部は、前記アドレス信号をデコードし、行毎のアドレスデコード信号を出力するアドレスデコ

ーダ部と、保持部と、複数行のシャッタ走査信号を前記アドレスデコード信号に基づかずに一括して前記保持部にセットするとともに、一括してセットされた前記保持部の前記シャッタ走査信号を順次リセットするセトリセット部と、前記保持部から出力された前記シャッタ走査信号に基づき、前記光電変換素子をリセットさせるための前記駆動信号を生成する信号生成部とを備える。