[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H01L 29/788
G11C 16/04

[12]发明专利申请公开说明书

[21]申请号 98804048.4

[43]公开日 2000年9月27日

[11]公开号 CN 1268248A

[22]申请日 1998.4.9 [21]申请号 98804048.4
[30]优先权
[32]1997.4.11 [33]US [31]08/838,854
[86]国际申请 PCT/US98/07110 1998.4.9
[87]国际公布 WO98/47182 英 1998.10.22
[85]进入国家阶段日期 1999.10.10
[71]申请人 硅芯片公司
地址 美国加利福尼亚州
[72]发明人 T·W·王

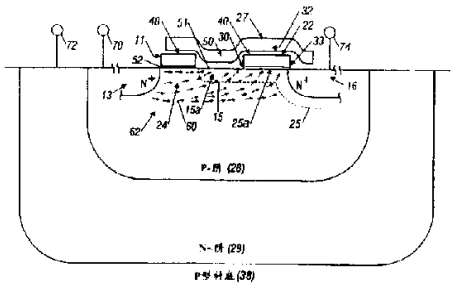
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 杨 凯 叶恺东

权利要求书4页 说明书11页 附图页数4页

[54]发明名称 非易失性存储器

[57]摘要

一种可按比例缩小的非易失性存储器包括由在三阱中形成的存储单元。选择晶 体管可以有一个起横向双极晶体管发射极作用的源。横向双极晶体管作为电荷注入源工作。电荷注入源对浮栅提供衬底热电子注入以进行编程。单元耗尽/反型区可通过在所述读出晶体管源与沟之间的衬底之上形成作为控制栅的延伸 部分的电容器来扩展。



ISSN1008-4274

权　利　要　求　书

1. 一种电可擦除和可编程只读存储器，其特征在于，包括:

一读出晶体管，包括浮栅、沟道、源和漏;

一双极晶体管，适合于通过所述沟道以衬底热电子注入方式将电子注入到所述浮栅的方法为所述浮栅进行编程提供电子，所述双极晶体管配置成其集电极也是所述读出晶体管沟道下的被偏置的耗尽区；以及

一选择晶体管，邻接于所述读出晶体管而形成，所述选择晶体管的所述源为所述双极晶体管的发射极。

2. 如权利要求 1 所述的存储器，其特征在于:

所述控制栅延伸所述选择晶体管的栅和所述读出晶体管的浮栅。

3. 如权利要求 1 所述的存储器，其特征在于: 所述控制栅形成一邻接于读出晶体管的电容器。

4. 如权利要求 3 所述的存储器，其特征在于:

所述第三晶体管在所述选择晶体管与所述读出晶体管之间。

5. 一种存储单元，其特征在于，包括:

具有在衬底上形成的控制栅、浮栅和源漏的读出晶体管，所述控制栅位于所述浮栅之上，所述读出晶体管适合于在所述衬底内形成耗尽区；以及

邻接于所述读出晶体管的浮栅，在所述沟道和所述源之间形成的电容器，所述电容器包括由所述控制栅形成的极板，所述电容器的位置便于扩展由所述读出晶体管形成的耗尽/反型区。

6. 如权利要求 5 所述的存储单元，其特征在于，包括:

一选择晶体管，所述电容器在所述选择晶体管与所述读出晶体管之间形成。

7. 如权利要求 6 所述的存储单元，其特征在于，包括:

一双极晶体管，该双极晶体管由所述选择晶体管的源、所述选择晶体管的沟道和所述读出晶体管沟道下的被偏置的耗尽区组成。

8. 如权利要求 7 所述的存储单元，其特征在于:

对所述 P 阱进行负偏置，所述读出和选择晶体管为 n 沟晶体管。

9. 如权利要求 5 所述的存储单元，其特征在于，包括:

一选择晶体管，所述读出和选择晶体管具有单一源和单一漏，所述电容器配置成跨接所述选择晶体管和所述读出晶体管的沟道。

10. 一种存储器，其特征在于，包括:

在所述衬底内界定沟道的衬底之上的浮栅;

与所述浮栅横向隔开的衬底电子的源；以及

从所述源到所述沟道的衬底电子通路，在源与沟道之间的一条线上无任何介入的N型掺杂区。

11. 如权利要求10所述的存储器，其特征在于，包括:

一电容器，该电容器在所述源和所述浮栅之间形成，以便形成邻接于所述浮栅并在所述衬底电子通路上的耗尽/反型区。

12. 如权利要求11所述的存储器，其特征在于:

所述电容器由延伸到所述衬底之上和所述浮栅之上的控制栅电极组成。

13. 如权利要求12所述的存储器，其特征在于，包括:

具有配置在所述电容器与所述源之间的栅的选择晶体管。

14. 如权利要求13所述的存储器，其特征在于:

衬底电子的所述源是选择晶体管的源。

15. 如权利要求14所述的存储器，其特征在于:

没有在所述源与所述浮栅下的所述衬底的区域之间的所述衬底内形成的重掺杂N型区。

16. 如权利要求15所述的存储器，其特征在于，包括:

由所述读出和选择晶体管共享的单一源和单一漏。

17. 一种存储器，其特征在于，包括:

在衬底内形成的源和漏;

在所述源与漏之间的所述衬底之上邻接于所述漏形成的浮栅;

在所述浮栅上的控制栅和延伸到所述浮栅与所述源之间的所述衬底之上的所述控制栅的一部分；以及

邻接于所述源并在所述源与所述控制栅部分之间的晶体管栅，所述源和漏的配置为起到对于所述浮栅和所述晶体管栅的源和漏的作用。

18. 一种对存储器进行编程的方法，其特征在于，包括下述步骤:

从与具有控制栅、浮栅和下层沟道的读出晶体管隔开的源提供衬底电子;

在所述浮栅下形成耗尽区；以及

沿着从源到沟道的通路向所述沟道提供衬底电子，该通路从源到沟道

的基本上平行于所述衬底表面的一条线上，没有介入的N沟掺杂区。

19. 如权利要求18所述的方法，其特征在于，包括:

使所述耗尽区向超出所述浮栅下的区域的所述衬底电子源横向扩展的步骤。

20. 如权利要求18所述的方法，其特征在于，包括:

使所述衬底电子注入到所述浮栅中的步骤。

21. 如权利要求18所述的方法，其特征在于，包括:

通过使所述耗尽区扩展到所述浮栅与所述源之间的空间，在所述源和所述浮栅之间形成导电通路的步骤。

22. 一种存储器，其特征在于，包括:

在衬底内相互隔开的源与漏;

配置在所述源和所述漏之间的所述衬底之上的浮栅和晶体管栅；以及

在所述晶体管栅和所述浮栅之间的所述衬底内形成反型区的器件。

23. 如权利要求22所述的存储单元，其特征在于:

所述器件为电容器。

24. 如权利要求22所述的存储单元，其特征在于:

所述器件包括位于所述衬底之上并延伸超出所述浮栅的所述控制栅的一部分。

25. 如权利要求22所述的存储单元，其特征在于:

所述晶体管栅组成选择晶体管的部分。

26. 如权利要求22所述的存储单元，其特征在于:

所述栅控制同一源与漏之间的导通。

27. 一种对存储器进行编程的方法，其特征在于，包括:

从与具有控制栅、浮栅和底层沟道的读出晶体管隔开的源提供衬底电子；以及

沿着从源到沟道的通路对所述沟道提供衬底电子，该通路比单元宽度宽。

28. 如权利要求27所述的方法，其特征在于，包括:

在编程期间内至少断开一个邻接列。

29. 如权利要求28所述的方法，其特征在于，包括:

在编程期间内两个邻接列均断开。

30. 一种存储单元，其特征在于，包括:

衬底内相互隔开的源与漏;

配置在源与漏之间的所述衬底之上的浮栅和晶体管栅;以及

源,该源沿单元宽度方向延伸并在两个方向上超出单元宽度延伸,这样使所述源就可从比单元宽度宽的区域对所述浮栅提供电子。

说　明　书

非易失性存储器

发明背景

本发明一般涉及非易失性存储器，尤其涉及电可擦除非易失性存储器。

非易失性存储单元有其优越性，因为即使存储器的电源断开仍能保留记录的信息。有几种不同的非易失性存储器，其中包括可擦除可编程只读存储器（EPROMs）、电可擦除可编程只读存储器（EEPROMs）及快速（flash）EEPROM存储器。EPROMs可通过曝光擦除，但用注入到浮栅的沟道热电子进行电编程。常规的EPROMs具有同样的编程功能，但不是用光擦除，而可用电子隧道效应进行擦除与编程。这样，信息可存储在这些存储器中，电源断开时仍可保留，如果需要，该存储器可以擦除，以便适当技术重新编程。快速EEPROMs可分块擦除，一般比常规EEPROMs有更好的读出存取次数。

目前，快速存储器已经很普及。例如，快速存储器往往用于提供芯片上存储器（on-chip memory），用于微控制器、调制解调器（Modems）和智能（SMART）卡等希望存储快速更新的代码之用途。

鉴于快速存储器和EEPROMs密切相关，在很多情况下，快速存储器更受欢迎，因为其单元尺寸小意味着更经济。然而，快速存储器和EEPROMs往往具有很相似的单元属性。

非易失性存储单元在某些方面与通常用于称作逻辑器件、例如与存储单元一起工作的微控制器的电子元件中使用的晶体管不同。逻辑器件是由采用单栅电极的晶体管组成的。非易失性存储器通常包括两个栅电极，俗称控制电极与浮栅电极，一个电极叠在另一个电极之上。由于这种结构之差别，非易失性存储器和逻辑器件要用不同工艺来制作。这样会使工艺复杂性及制造成本大大提高。

尤其对于EEPROM，对单元进行电编程，通常需要在单元上施加很大的电位。这些电位诱发从N_+区到浮栅的电子隧道效应。与常规晶体管工作相比，需要给存储单元提供大得多的电压，这就带来额外的复杂性。

尽管企业已认可逻辑器件和非易失性存储器需要单独的工艺技术，而且企业中的专业人员也已意识到需要用大电压对EEPROMs进行编程、

用大电流对快速 EEPROMs 进行编程，但仍很需要可电擦除及可编程而不需特殊工艺技术或较高编程电压和较高电流的非易失性存储器。

而且，对于常规快速 EEPROMs，单元电编程通常要求对单元加高电流。极小量的这种电子流从漏耗尽区注入到浮栅。这意味着这种器件的注入效率较低（比如，1×10^{-6} 至 1×10^{-9}）。由于低压下工作的高电流泵的设计，要求高电流这一点增加了额外的复杂性。

发明概述

根据发明的一个方面，电可擦除及可编程存储器包括一具有浮栅、沟道、源和漏的读出晶体管。双极晶体管被用来通过衬底热电子穿过沟道注入到浮栅的办法为浮栅编程供应电子。双极晶体管配置成其集电极是在读出晶体管的沟道之下的被偏置的耗尽区。选择晶体管邻接于读出晶体管而形成。选择晶体管的源就是双极晶体管的发射极。

根据另一方面，存储单元包括一具有在衬底上形成的控制栅、浮栅及源漏的读出晶体管。控制栅位于浮栅之上。读出晶体管被作成在衬底形成耗尽区。邻接于读出晶体管浮栅，在源与漏之间形成一电容器。电容器下的沟道连接读出晶体管和选择晶体管的沟道区。电容器包括一由控制栅形成的极板。电容器的位置配置成使读出晶体管形成的反型或耗尽区扩展。

根据再一方面，存储器包括在界定衬底内沟道的衬底上的浮栅。衬底电子的源与浮栅横向隔开。为衬底电子从源到所述沟道提供了一条衬底电子通路，而在沿源与沟道之间的一条线上无任何介入的 N 型掺杂区。在一实施例中，在源与浮栅之间形成一电容器，以至在邻接于浮栅及在衬底电子通路内形成一耗尽/反型区。在另一实施例中，存储器可包括一被读出和选择晶体管共享的单一源和单一漏。在另一实施例中，在源与浮栅下的衬底区之间的衬底内可以不形成重掺杂区。

根据本发明的又一方面，存储器包括衬底内形成的源和漏。浮栅在源漏之间衬底上方邻接于源形成。控制栅位于浮栅之上方，部分控制栅延伸到浮栅和源之间的衬底上。晶体管的栅定位于邻接于源并在源与控制栅部分之间。源和漏配置成为浮栅和晶体管两者起到源和漏的作用。

根据本发明的再一方面，对存储器进行编程的方法包括从与具有控制栅和浮栅的读出晶体管隔开的源供应衬底电子的步骤。耗尽区在浮栅和底层沟道下产生。衬底电子沿从源到沟道的通路供给沟道，在沿从源

到基本上平行于衬底表面的沟道一条线上无介入的N型掺杂区。在一实施例中，耗尽区向衬底电子源横向伸展，超过浮栅下面的区域。

根据本发明的再一方面，存储单元包括在衬底内的相互隔开的源和漏。浮栅和晶体管栅配置在源漏之间的衬底上方。在衬底内形成反型区的器件位于晶体管的栅与浮栅之间。

附图简述

图1为一实施例的阵列结构的示意图；

图2为示出图1所示的实施例的一单元的半导体装置布局的放大顶视图；

图3为沿图2的3－3线所取的截面图；以及

图4为图3所示的单元的局部三维图。

优选实施例描述

参照附图，其中各图的同类部件用同样的参考符号，图1所示的存储单元10包括一读出晶体管12和一选择晶体管14。这一结构在一半导体层上实施是有利的，在这一半导体层上置有电隔离的浮栅22。

对于每个单元10a－10d，选择晶体管14的源13受源节点56的控制。选择晶体管11的栅受节点51的控制。读出晶体管12的控制栅27受控制节点57的控制。读出晶体管12的漏16与漏节点55相连。

图2所示的一种实施单元10的布局包括控制栅17。控制栅17延伸跨过有源区18，该有源区18与读出晶体管12的漏16和选择晶体管14的源13相邻。选择栅11平行于控制栅17之下延伸，邻接于控制栅17的边缘和区15a。控制栅17可以不与选择栅11和读出栅12自对准。浮栅22也处于控制栅17之下、有源区18之上的隔离状态。

漏16可包括一接点55，如图2所示，该接点与漏扩散区16相连。源节点56也可通过一接点来实施。

读出晶体管12与选择晶体管14的关系示于图3。浮栅22形成具有源16和漏12的晶体管的部分。同样，选择栅11在源13与漏16之间形成晶体管的其他部分。读出晶体管12包括一沟道25a，而选择晶体管14包括一沟道24。控制栅形成电容器的极板，其沟道为15a。选择栅14、浮栅22和控制栅27形成带有源13和漏16的晶体管的栅。

在图解的实施例中，沟道25a和24为P型半导体材料，是P阱28的一部分。P阱28又在N阱29中形成。最后，N阱29在P型衬底38

中形成。P 阱可以偏置，如 70 所示，N 阱 29 可以偏置，如 72 所示。

在控制栅 27 覆盖选择栅 11 与浮栅 22 之间的衬底区 15a 处形成了电容器 50. 该电容器 50 控制区 15a 的耗尽/反型以使由读出晶体管 12 形成的耗尽/反型区 25 扩展。它在编程和读出操作期间工作。在读出操作中，电容器 50 通过形成反型区跨接读出和选择晶体管的沟道。当反型区在区 15a 下面形成时，读出和选择晶体管 12 和 14 就连上了。

浮栅 22 通过其与沟道 25a 相互作用而形成隧道电容器 33。隧道氧化层 30 将浮栅 22 与沟道 25a 分开。同样，作为耦合电容器 32 的一部分的多晶硅间介质氧化层 40 将浮栅 22 与控制栅 27 分开。最后，控制栅 27 被氧化层 51 与区 15a 分开. 同样，选择晶体管 14 包括栅氧化层 52，其厚度可以与隧道氧化层 30 一样。

控制栅 27 覆盖在选择栅 11 之上是为了加工方便。同样，控制栅 27 覆盖在漏 16 上，如图所示，也仅是为了加工方便。控制栅 27 不需要与读出或选择晶体管自对准。

单元 10 可描述成一快速 EEPROM，采用高效衬底热电子注入进行编程，采用富勒诺德哈姆（Fowler-Nordheim）隧道效应来擦除。衬底热电子注入的工艺在下述文章中均有详细论述，如 T. H. Ning, C. M. Osburn 和 H. W. Yu 的“热电子从硅发射到二氧化硅的概率”，J. Appl. Phys., Vol. 48, p.286, (1977)；Boaz Eitan, James L. McCreary, Daniel Amrany, Joseph Shappir 的“衬底热电子注入 EPROM”，IEEE Transactions on Electron Devices, Vol. ED-31, No. 7, p.934, (July 1984)；I. C. Chen, C. Kaya, and J. Paterson 的“带－带隧道感应衬底热电子（BBISHE）注入：非易失性存储器的一种新的编程机理”，IEDM （1989），p263；以及 C. Y. Hu, D. L. Kencke, S. K. Benerjee 的“衬底电流感应热电子（SCIHE）注入：快速存储器的一种新的集束方法”，IEDM （1995）， P.283. 在此的叙述参照并结合了每篇文章的内容。

由高效衬底热电子注入来实现编程. 如图 3 所示，箭头 60 所示的衬底电子是通过将源 13 正向偏置而产生的，而源 13 在电容器 50 之下被选择晶体管沟道 24 和区 15a 与读出晶体管 12 的沟道 25a 隔开. 一些衬底电子 60 通过沟道 24 底下的区域扩散到读出晶体管 12 底下的沟道区 25a.

对于需要编程的单元，沟道区 25a 被偏置成形成耗尽区 25。也是在电容器 50 的下面，如 15 所示，由于电容器 50 工作，耗尽区 25 扩展。当电子到达耗尽区 25 时，被电场 Vcs 加速。该电场 Vcs 是沟道 25a 电位（表面反型区之电位）与 P 阱 28 电位之差。其中一些电子获得足够的能量，超过了有效的氧化层势垒高度电位，以至被注入到浮栅 22 中。

对于不需要编程的单元，沟道至 P 阱的电位低于有效的氧化层势垒高度。这种情况下，电子得不到足以克服势垒高度的能量而不注入到浮栅 22 中。

选择晶体管 14 下面的 N+ 掺杂区 13、P 区 24 和读出晶体管沟道 25a 及电容器 50 下面的耗尽区 15 构成一横向双极晶体管 62。双极晶体管 62 的发射极（源 13）起着电荷注入器的作用，从源扩散区注入衬底电子到浮栅 22 下面被偏置的耗尽区。以扩散 13 为发射极，沟道 24 为基极，集电极为偏置的耗尽区 25（包括区 15 在内）。因为沟道区 25a 在读出期间作为读出晶体管的沟道，读出晶体管 12 下面的被偏置的耗尽区 25 在编程期间作为双极晶体管 62 的集电极，故完成了紧凑的单元布局。

衬底热电子注入效率是许多特性的函数。考虑耗尽区 25，电子以某一电子平均自由程随晶格声子越过耗尽区 25 而散射。其中没有多大散射的一些电子获得足够的能量而克服了有效势垒高度，并注入到浮栅 22 中。一些得到小于有效势垒高度的能量的电子没有注入到浮栅 22 中。注入效率是掺杂浓度和沟道至 P 阱电位 Vcs 的强函数。

鉴于单元 10 位于镶嵌在 N 阱 29 中的 P 阱 28 内，故在编程期间内利用将控制栅 27 的电位提高到 7 伏到 24 伏的 Vpp 的办法，通过耦合电容器 32 将浮栅 22 以电容方式耦合到较高电压。浮栅 22 在低漏偏置时获得的电压大致是当控制栅 27 和 P 阱 28 及漏 26 接地时浮栅上电压的函数，加上耦合比乘以控制栅 27 的电压。耦合比在第 1 阶精度下，大致等于电容器 32 的电容除以耦合电容器 32 及隧道电容器 33 的电容之和。

当选择晶体管 14 断开时，读出晶体管漏 16 的电位可以接近或高于电源电位 Vcc。鉴于选择晶体管断开，节点 51 的电位随沟道 25a 的电位而变化。沟道区 25a 的电位，即沟道区 25a 的表面反型区电位设置如下：当浮栅 22 的电位（Vfg）是高于漏 16 电位的晶体管 12 的阈值电压时，沟道电位与漏电位相同。另一方面，当浮栅 22 的电位小于漏电位加读出晶体管 12 的阈值电压时，沟道电位为浮栅 22 的电压与读出晶体管 12

的阈值电压之差。

P 阱电位是加在 P 阱 28 上的电压 70。鉴于 P 阱是镶嵌于 N 阱 29 中的，而且 N 阱的电压 72 大约设为 Vss 或更高，故 P 阱电位 Vp 可以为负数，一般为－1 到－2 伏。而且，通常是小于有效氧化层势垒高度，以避免任何电位扰动问题。

沟道 25a 区与 P 阱 28 电位（Vp）70 之电位差为耗尽区 25 两端的电压。对于待编程的单元，漏 16 的电压一般升高到接近或高于 Vcc。在读出晶体管 12 和电容器 50 之下的沟道 25a 和 24 中形成耗尽区 25，其电压降等于沟道电位减去 P 阱电位 70。

对于不编程的单元来说，漏 16 电压 74 置于零伏（Vss）。而耗尽区 25 两端的电压降等于 Vp 的绝对值，一般小于有效氧化层势垒高度。

单元 10 的擦除通过从浮栅 22 到沟道区 25a 和漏扩散区 16 的电子的富勒－诺德哈姆沟道效应来实现。在擦除期间内，控制栅 27 的电位设置成负电压，比如从－7 到－14 伏。至于漏扩散区 16、P 阱 28 和 N 阱 29，它们被偏置到接近或高于 Vcc 的正电位。Vcc 是用特别的技术来确定的。例如，对于本技术来说，可以是 5.0 到 2.5 伏。这就降低了 N_+ 扩散区 16 和 P 阱 28 之间结点两端的电场。电场的降低就防止了浮栅 22 下的栅氧化层中被俘获的热空穴的加速。

漏 16 的电压最好不要偏置成到高于 P 阱 28 这样的程度，以至栅感应的漏极的漏泄电流（GIDL）成为问题。采用现有技术，这意味漏 16 的偏压不能高于 P 阱 28 偏压约 1 伏。另外，如果漏 16 的偏压大大超过了 P 阱 28 的偏压，由于横向结电场的加速，热空穴俘获可能在选择栅氧化层内 52 发生。

由于 P 阱 28 镶嵌在 N 阱 29 中，故将正电压加到 P 阱的能力提高了。P 阱电压最好等于或小于 N 阱电位，以避免 P 阱/N 阱正向偏置。这样，将一正电压 Vcc 或更高的电压加到 P 阱，N 阱和漏 16 就可消除 GIDL 感应的热空穴俘获，同时使漏 16 电压提高到 Vcc 或更高。

电容器 33 两端的电压是浮栅 22 的电位与扩散区 16 及 P 阱 28 电位间之差。当此差超过 8 至 10 伏，就有足够的隧道电流产生，而且浮栅 22 可以在几毫秒到几秒的时间范围被擦除到负电压，取决于隧道氧化层 30 的厚度。

电子以隧道穿透方式到达漏区 16（漏擦除）。隧道电流取决于浮栅

22 到漏 16 的电压。

单元 10 的编程状态的读出可按如下方式实现。通过将控制栅 27 置于正电位，例如 2.5 到 5.0 伏，浮栅 22 就以电容方式耦合到较高电位。浮栅 22 被耦合到一电位值 Vfg，此值可等于控制栅 27 处于接地时的浮栅电位加上控制栅 27 的电位乘以耦合比之和。

读出期间内，漏 16 的电位限制在低于 2 伏的电压。这是为了避免任何读出扰动。

对于待读出的选择单元，将选择栅 11 的电压置于 Vcc，源 13 接地。使未选择的选择栅 11 也接地。

当这些电位加到被选的单元 10 上时，电流流过读出晶体管 12。该电流随后反馈到电流读出（读出）放大器（未示出）。如果浮栅 22 上的电压大于读出晶体管 12 上的阈值电压，一个较大的电流，或许大于 20 微安，作为导电态被检测。当浮栅的电位小于阈值电压，较小的电流，例如小于 1 微安的电流流过，并检测为非导电态。

测定出的导电态称为 1 态。非导电态称为 0 态。

单元在编程、读出和擦除中工作的例子概括于下表:

单元工作

	读出 （选择） （非选择）	编程 （被选择） （非选择）	擦除 （非选择） （选择）
漏 （55）	≥Vcc *0 或 ≥Vcc	≥Vcc *0 或 ≥Vcc	-1.5 伏 *0 或 1.5 伏
源 （56）	浮置 浮置 Vss Vss	Vs 浮置 Vss 到 Vs V	Vss Vss Vcc Vss
选择 （51）	-7 至 -14 伏 Vss	s	2 至 5 伏 Vss
控制 （57）	≥Vcc ≥Vcc ≥Vcc ≥Vcc	s	Vcc Vcc Vss Vss
N 阱 （29）		t	
P 阱			

(28)		o v s Vpp Vss Vcc 到 Vss v C C t o v s s V 偏置 V 偏置	

*0 是为非选择列。

Vpp = 7 至 14 伏。

Vs 为由注入电流电平所设定的节点电压，根据编程速度需要，电流范围在几十毫微安至几十微安。速度一般从数十毫秒至数十微妙。Vbias 是 P 阱 28 上的偏压，它可以为 Vss 或 - 1 至 - 2 伏，以增强注入效率。

在此引用 L.A. Glasser D.W. Dobberpuhl 的“超大规模集成电路的设计和分析”，（1985 年 12 月）（301 - 329 页，Addison-Wesley 出版）作参考。一适当的芯片上（on-chip）电路产生两个负的偏压电位，

其一用于偏置控制栅 57，其二用于负偏置 P 阱 28。Vss 为外接地电位。

尽管单元 10 可作为单个元件使用，但也可以连接成阵列，如图 1 所示。在该阵列中，描述了多个单元 10、10a、10b、10c、10d。通过将同行的单元所有的源节点连成一单个源节点 56 来形成源节点 13。通过将同行的单个单元的所有控制节点连在一起成一单个节点 57 来形成控制节点 17。通过将同行的所有单元的选择栅节点连在一起成一个节点 51 来形成选择栅节点 11。同样，通过将同列的单元的所有漏节点连在一起成一单个节点 55 来形成漏节点 16。这一节点连至读出放大器（未示出）。

该阵列中的单元可以用常规工艺技术形成，如双层多晶硅、单金属 CMOS 工艺。在此列出的说明性参数估计为 0.25μm 或更低的特征尺寸，V 电位为 1.8 伏。如果技术上容许降低电压及更小的特征尺寸，此参数可按比例相应缩小。

起始衬底材料一般为 P 型（100）硅，例如，电阻率在 10－20 欧姆－厘米范围。P 阱 28 以所谓三阱工艺镶嵌在 N 阱中。P 阱 28 的阱深一般为，例如，2 至 4μm，其平均掺杂浓度，比如，在每立方厘米 1×10^{16} 至 5×10^{16} 原子的范围。

N 阱 29 的阱深一般为例如 4－8μm。掺杂浓度可以比如在每立方厘米 4×10^{15} 至 1×10^{16} 原子的范围。三阱通过 P 阱 28 对 N 阱 29 进行反掺杂来形成。

三阱中的元件形成如下。对 N 阱进行注入，比如用磷 31，典型剂量为每平方厘米 1 至 1.5×10^{13} 原子，能量为 160 至 100Kev。N 阱注入可用高温工序来推进，一般 1125 至 1150°C 下处理 6 至 12 小时。然后用 P 阱注入对 N 阱进行反掺杂。用诸如硼 11 这样的物质掺杂，P 阱注入的一般剂量可为每平方厘米 1.5 至 2.5×10^{13} 原子，能量为 30 至 180Kev。然后对 N 阱 29 和 P 阱 28 注入进行推进，一般 1125 至 1150°C 下处理 6 至 10 小时。这样就把阱做成所需的掺杂浓度和深度。

阱形成之后，进行标准的逻辑场氧化层形成和沟道中止层形成工序。场氧化层厚度和注入剂量调节到实现 7 至 14 伏的场阈值，这由编程和擦除的 Vpp 电平及逻辑工艺能力确定。在该形成之后，存储单元的注入就可进行。例如，用每平方厘米 1.5 至 3×10^{13} 原子的剂量、30 至 50Kev 的能量，通过牺牲氧化层进行 B11 注入。然后形成栅氧化层 52 和隧道

氧化层 30。例如，可在晶片上生长 85 至 100 埃的干法氧化层。干法氧化层是这样生长的，例如在部分氧气气氛中进行 900°C 的处理，接着用 975 至 1050°C 进行退火。

然后用多晶硅、硅化物或金属形成浮栅 22。如果使用多晶硅，厚度可以是 1600 埃，在 870 至 1000°C 下进行 POCL3 掺杂。多晶硅间的电介质由氧化层－氮化物－氧化层夹心结构（ONO）形成，下层氧化层为 60 至 80 埃，氮化物层厚度为 90 至 180 埃，上层氧化层为 30 至 40 埃。对于电容器 50 下面的氧化层可生长 125 至 200 埃的栅氧化层。

在浮栅和选择栅被界定之后，将 N+ 注入到选择晶体管 14 的源和读出晶体管 12 的漏区中。N+ 在两栅之间隔开，这样就不进入电容器 50 极板下的区域，N+ 注入可以是，例如 60Kev 能量的磷注入，剂量为每平方厘米 1 至 3 × 10^{14} 原子，接着用砷在 60Kev 的能量下注入，剂量为每平方厘米 2.5 至 4.5 × 10^{15} 原子。也可以用轻掺杂的漏（LDD）技术形成源和漏。

然后，如果需要可以淀积作为控制栅的多晶硅（poly 2）或做成硅化物。用标准技术对栅进行构图并界定。控制栅不与读出和选择栅自对准。

随着这些电容器和晶体管的完成，所有其后的有关接点和互连层的工艺遵照标准的逻辑器件后道工艺来进行。

参考图 4，示出了电子电流从注入源流到浮栅 22 的流动，注入源在实施例中为源 13。电子沿着邻接的列之间的单元的整个宽度“W”从源 13 流出。此外，电子从延伸到单元宽度部分之外处的 13a 和 13b 流出。即，在宽度方向上延伸到单元的两侧的单元 13a 和 13b 部分也贡献电子，该电子可用来对浮栅 22 进行编程，如图 4 所示。这就大大增加了可用来编程的电子流，从而加快了编程。

这一配置是可能的，因为 N+ 源 13 平行于控制栅 27。换言之，源 13 平行于器件的行。由于这一几何结构，长度大于单元宽度的源部分可用于作编程目的。也就是，附加电子可以从单元的邻接的行之间的延伸部分 13a 和 13b 流出。

此外，可通过断开(turning off)两个邻接列来增加上述效果。这避免了穿过邻接的列的电流的损耗，使邻接的源延伸部分 13a 和 13b 中的可利用的电子流向浮栅 22。以下的模式表示出断开邻接的列时编程期间

内系统如何工作。

增强编程的选择模式

	选择	邻接选择
漏	≥Vcc	Vcc 或浮置
源	Vs	Vs
选择	Vss 到 Vs	Vss 到 Vs
控制	Vpp	Vpp
N 阱	Vcc 到 Vss	Vcc 到 Vss
P 阱	Vbias	Vbias

尽管以上描述中提供了大量的参数和电平(levels)，但本领域技术人员都会理解这些参数和电平只是为了说明之目的。例如，通过将掺杂结的导电类型和偏压极性反转，就可实施利用衬底热电子注入的单元结构。期望所附的权利要求覆盖所有在本发明的真正的精神和范围内的修改和变型。

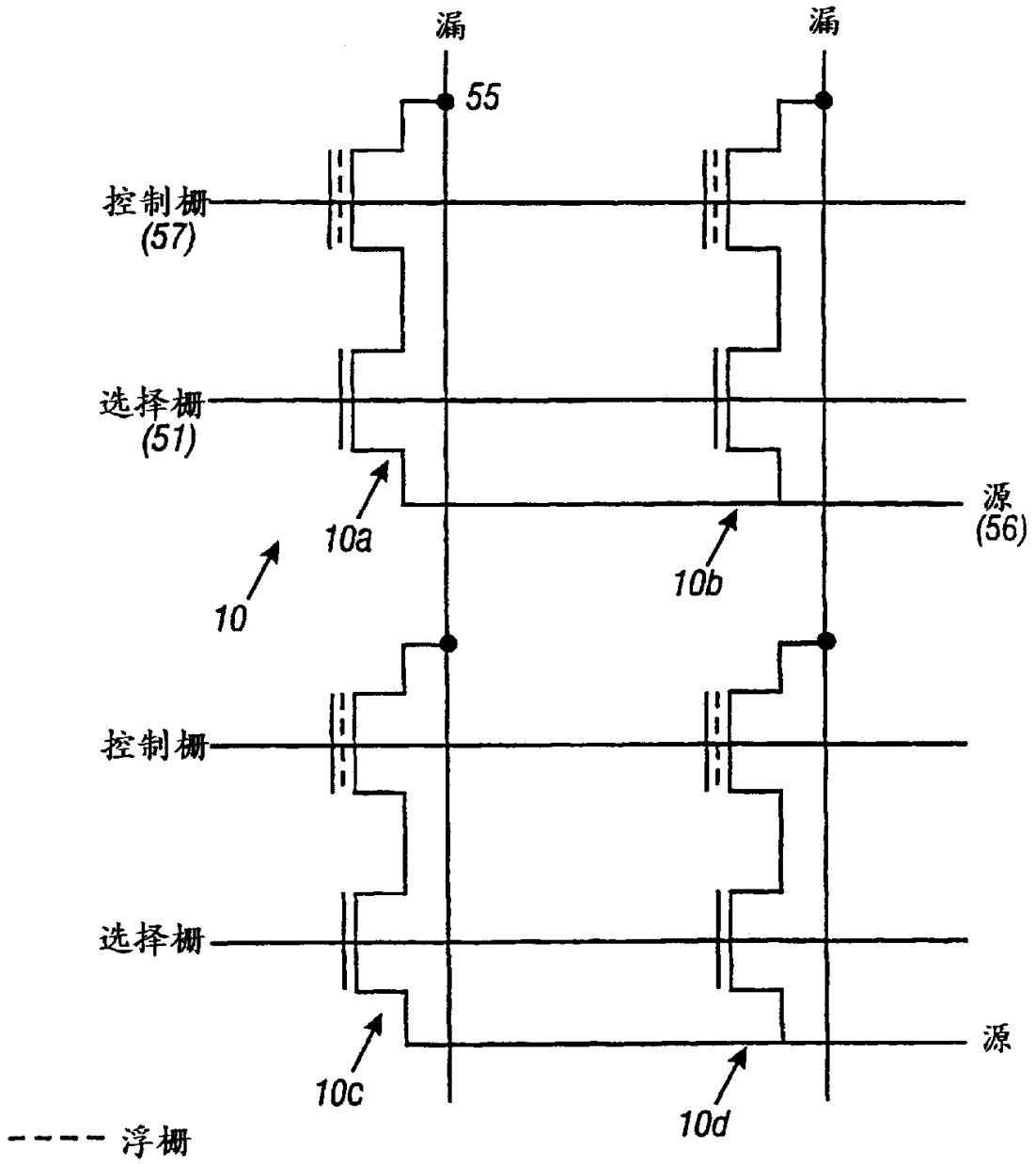


图 1

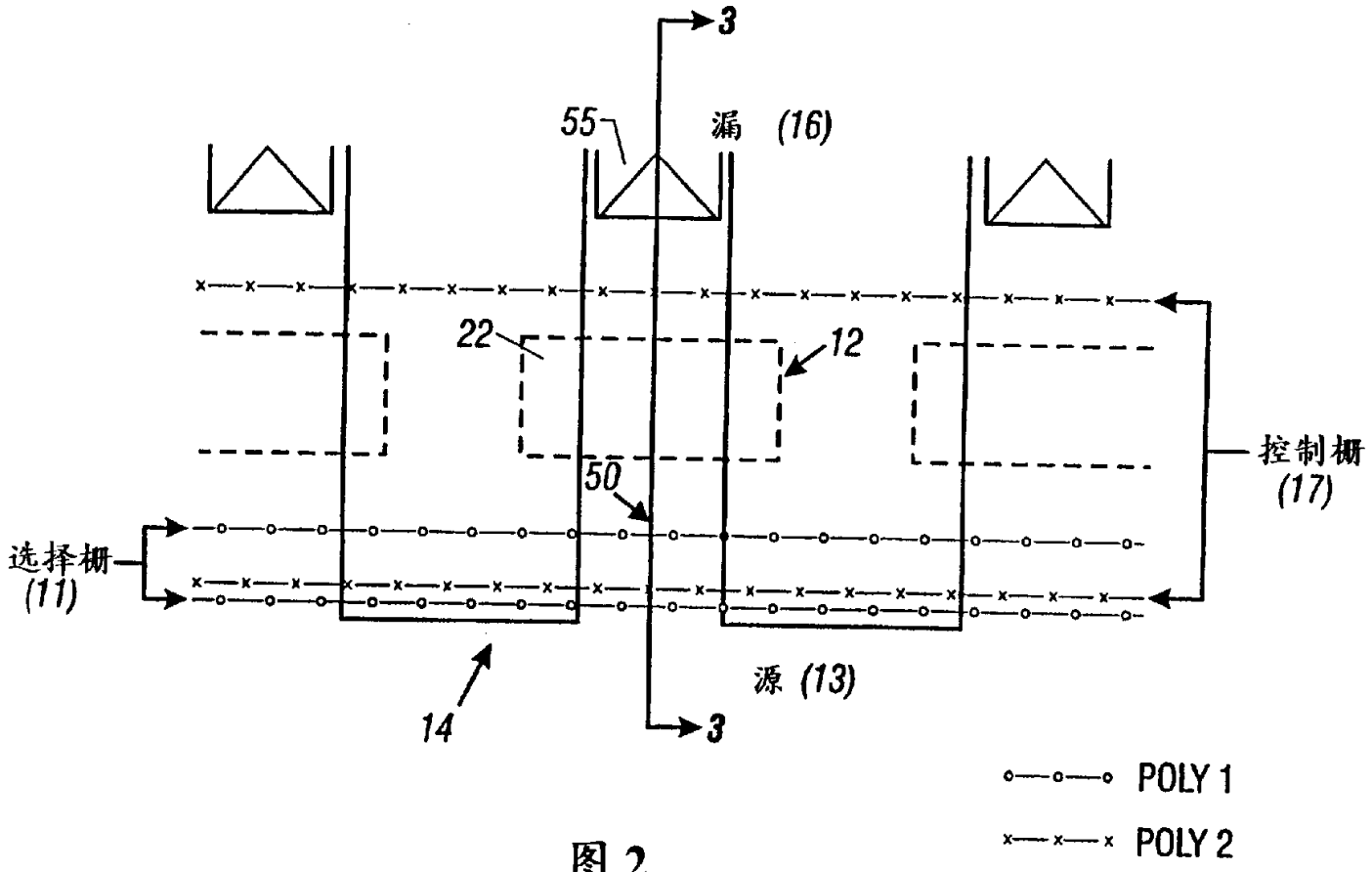


图 2

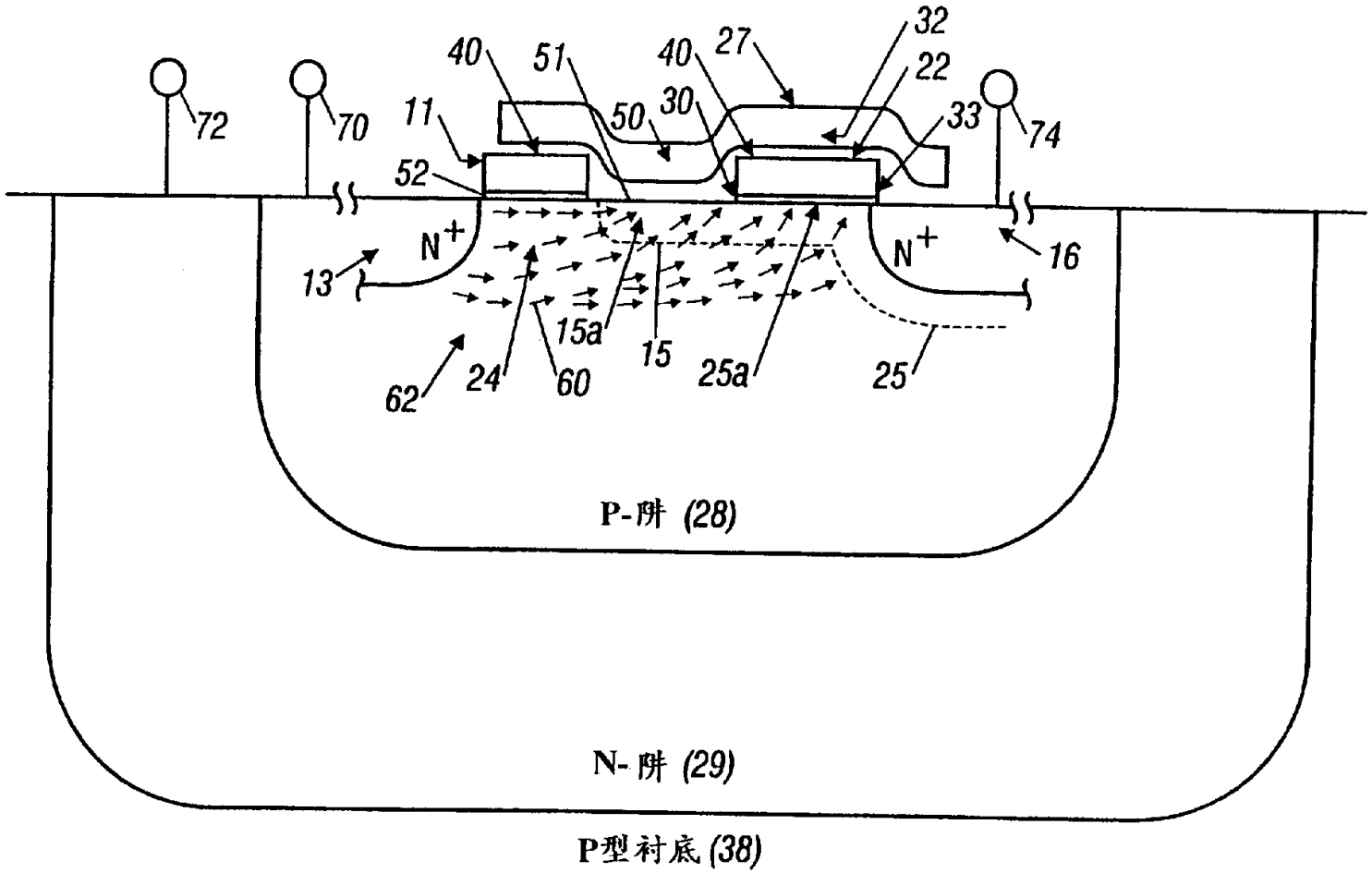

72
70
40
51
40
27
32
22
11
50
30
33
74
52
N+
N+
13
16
15a
15
62
24
60
25a
25
P-阱 (28)
N-阱 (29)
P型衬底 (38)

图 3

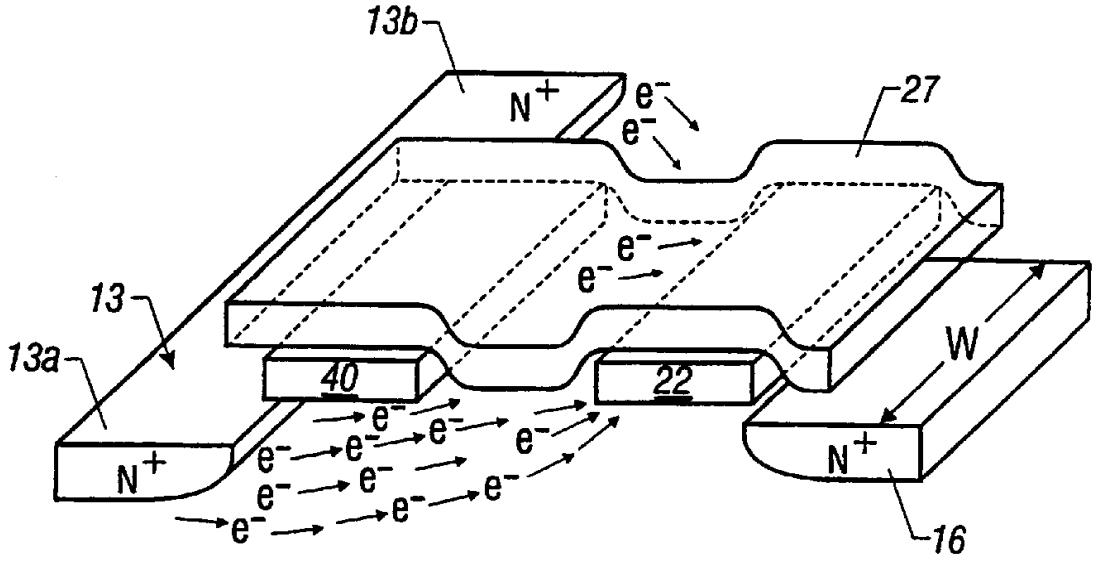


图 4