(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 21/76

(11) 공개번호 특1994-0004779
(43) 공개일자 1994년03월16일

(21) 출원번호 특1992-0015697
(22) 출원일자 1992년08월31일

(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천군 부발읍 아미리산 136-1
(72) 발명자 전용주
경기도 성남시 수정구 신흥2동 10번지 주공APT 124동 1402호
(74) 대리인 손경한, 이권희, 서종완

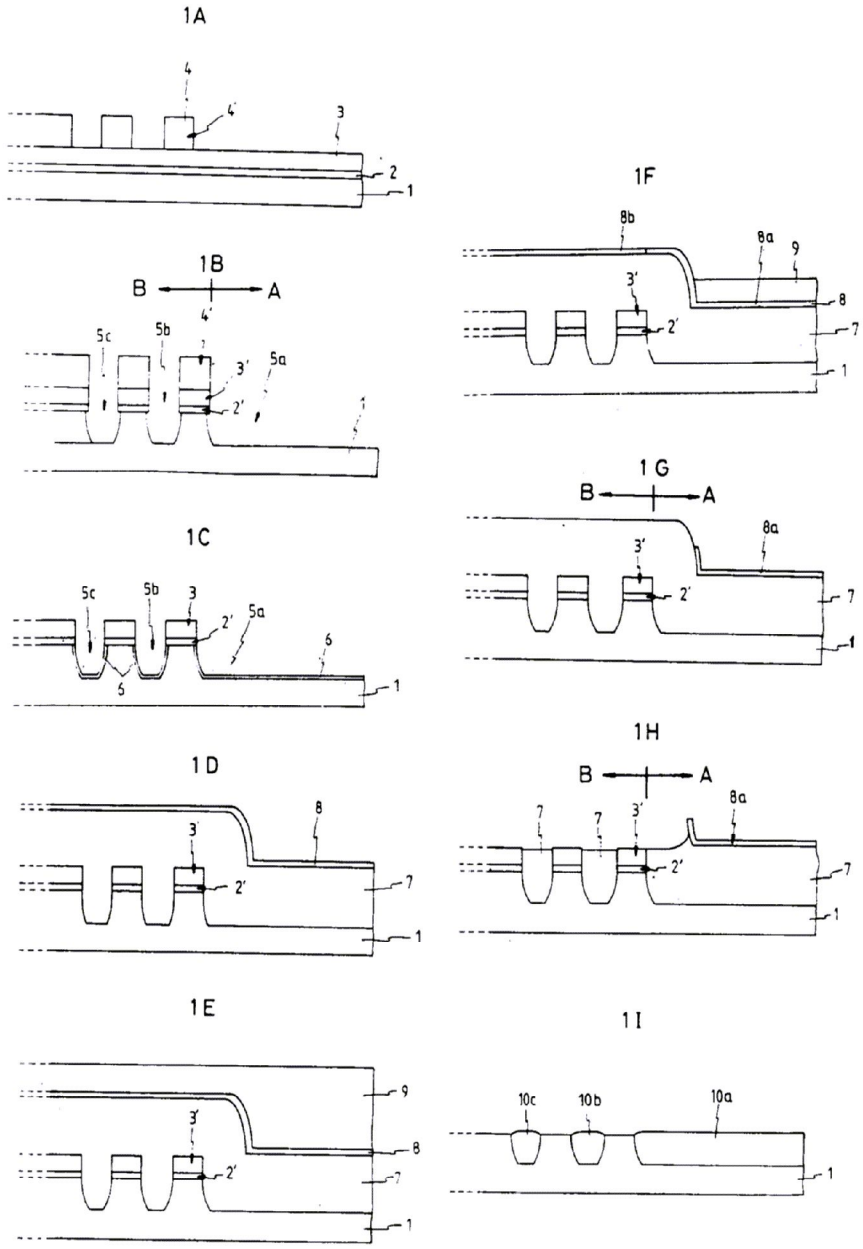
심사청구 : 있음

(54) 트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법

요약

본 발명은 트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법에 관한 것으로, 실리콘 기판에 다수의 소자분리 영역을 형성하기 위하여 다수의 트렌치를 형성한 다음 소자분리영역에서 절연물질로 작용할 TEOS를 형성하는데, 셀 지역의 TEOS 높이가 주변지역보다 높다는 점을 이용하여 주변지역에 종래와 같이 마스크를 쓰지 않고 TEOS상에 식각장벽층을 형성하여 셀 지역만 에치 백하여 셀 지역과 주변지역을 동시에 평탄화하는 기술에 관한 것이다.

대표도



명세서

[발명의 명칭]

트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법

[도면의 간단한 설명]

제1A도 내지 제1I도는 본 발명에 의한 소자분리영역을 형성하는 단계를 나타낸 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법에 있어서, 실리콘 기판(1) 상에 제1실리콘 산화막(2) 및 실리콘 질화막(3)을 형성한 후, 상기 실리콘 질화막(3) 상부에 제1포토레지스트(4)를 도포한 다음, 마스크 작업을 통해 제1포토레지스터 패턴(4′)을 형성하는 단계와, 상기 제1포토레지스트 패턴(4′)을 마스크로 하여 건식식각방식으로 실리콘 질화막(3)과 제1실리콘 산화막(2)을 식각하여 실리콘 질화막 패턴(3′)과 제1실리콘 산화막 패턴(2′)을 형성한 후, 상기 제1포토레지스트 패턴(4′), 실리콘

질화막 패턴(3′) 및 제1실리콘 산화막 패턴(2′)을 마스크로 하여 방향성 식각방식으로 실리콘 기판(1)에 일정깊이의 다수의 트렌치(5a, 5b, 5c) 내부 표면에 제2실리콘 산화막(6)을 얇게 형성하는 단계와, 상기 단계의 구조 상부에 전반적으로 TEOS(7)를 예정된 두께로 형성한 후, 상기 TEO5(7) 상부에 식각 장벽층으로서 폴리실리콘층(8)을 증착하는 단계와, 상기 폴리실리콘층(8) 상부에 제2포토레지스트(9)를 평탄하게 도포하는 단계와, 상기 제2포토레지스트(9)를 RIE방식으로 에치 백하여 TEOS(7)의 높이가 높은 셀 지역(B)의 폴리 실리콘층(8b)이 먼저 노출되면서 식각 장벽층으로 작용하여 그 하부의 TEOS(7)를 보호하고, 계속 에치 백 공정을 실시하여 주변지역(A)의 폴리실리콘층(8a) 위의 제2포토레지스트(9)가 예정된 두께로 남아 있도록 에치 백 공정을 실시하는 단계와, 상기 노출된 폴리실리콘층(8b)을 건식 또는 습식식각방식으로 제거한 후, 상기 남아있는 제2포토레지스트(9)를 제거하여 주변지역(A)의 폴리실 리콘층(8a)을 노출시키는 단계와, 상기 폴리실리콘층(8a)을 마스크로 하여 셀 지역(B)의 TEOS(7)를 에치 백하여 트렌치 마스크층인 실리콘 질화막 패턴(3′) 상부면이 노출될 때까지 에치백 공정을 실시하는 단계와, 상기 폴리실리콘층(8a)을 건식 식각방식으로 제거한 후, 실리콘 질화막 패턴(3′)과 실리콘 산화막 패턴(2′)을 식각한 다음, 남아있는 TEOS(7)를 실리콘 기판(1) 상부면과 평탄하게 되도록 식각하여 트렌치(5a, 5b, 5c) 내부에 TEOS(7)로 채워진 다수의 소자분리 영역(10a, 10b, 10c)을 형성하는 단계로 이루어진 것을 특징으로 하는 트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법.

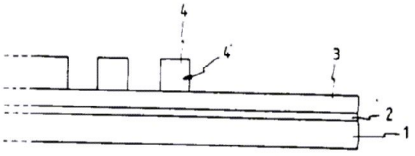
청구항 2

제 1항에 있어서, 상기 TEOS(7)의 두께는 트렌치 마스크층인 실리콘 산화막 패턴(2′)과 실리콘 질화막 패턴(3′)과 같거나 높게 형성하는 것을 특징으로 하는 트렌치 기술을 이용한 반도체 장치의 소자분리영역 형성방법.

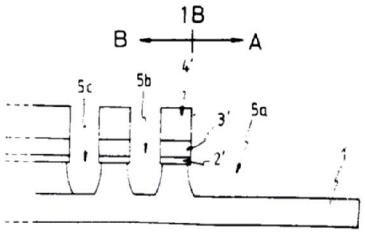
도면

도면1

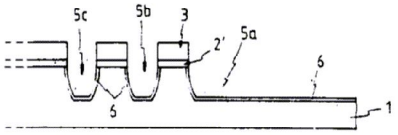
1A



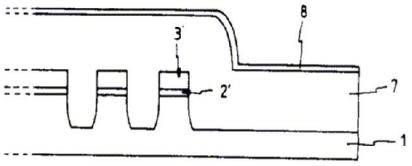
1B



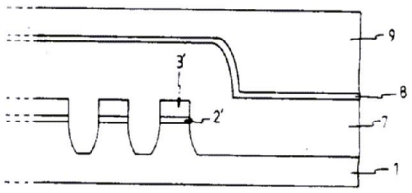
1C



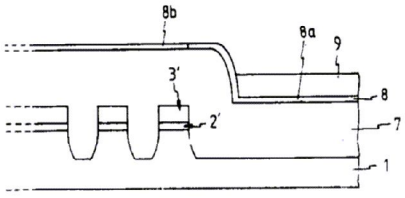
1D



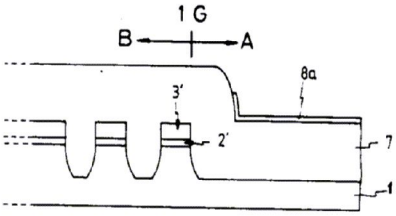
1E



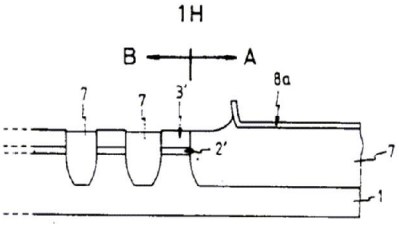
1F



1G



1H



1I

