

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年12月10日(2024.12.10)

【国際公開番号】WO2023/189058

【出願番号】特願2024-511475(P2024-511475)

【国際特許分類】

H 0 1 L 2 9 / 7 8 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 0 6 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 1 2 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 7 3 9 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 D

H 0 1 L 2 9 / 7 8 6 5 2 F

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 2 N

H 0 1 L 2 9 / 7 8 6 5 2 P

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 T

H 0 1 L 2 9 / 7 8 6 5 3 A

H 0 1 L 2 9 / 7 8 6 5 5 A

H 0 1 L 2 9 / 7 8 6 5 2 H

H 0 1 L 2 9 / 0 6 3 0 1 M

H 0 1 L 2 9 / 0 6 3 0 1 G

H 0 1 L 2 9 / 0 6 3 0 1 V

20

【手続補正書】

【提出日】令和6年10月9日(2024.10.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

30

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

S i C単結晶を含み、主面を有するチップと、

前記S i C単結晶のa軸方向に延びる第1側壁、および、前記S i C単結晶のm軸方向に延びる第2側壁を有し、前記主面に形成されたトレンチ構造と、

前記チップ内において前記第1側壁から前記m軸方向に間隔を空けて前記トレンチ構造に沿う領域に形成された第1導電型のコンタクト領域と、を含む、S i C半導体装置。

40

【請求項2】

前記トレンチ構造には、ソース電位が印加される、請求項1に記載のS i C半導体装置。

【請求項3】

前記コンタクト領域は、前記a軸方向に第1幅を有し、前記m軸方向に前記第1幅未満の第2幅を有している、請求項1に記載のS i C半導体装置。

【請求項4】

前記第2幅は、前記第2側壁の幅未満である、請求項3に記載のS i C半導体装置。

【請求項5】

前記第1幅は、前記第1側壁の幅以上である、請求項3に記載のS i C半導体装置。

【請求項6】

50

前記チップ内において前記第 1 側壁に沿う領域に形成された第 1 導電型のウェル領域をさらに含み、

前記コンタクト領域は、前記ウェル領域よりも高い不純物濃度を有している、請求項 1 に記載の S i C 半導体装置。

【請求項 7】

前記ウェル領域は、前記チップ内において前記トレンチ構造に沿う領域に形成され、前記コンタクト領域は、前記ウェル領域内に形成されている、請求項 6 に記載の S i C 半導体装置。

【請求項 8】

前記トレンチ構造から間隔を空けて前記主面に形成され、ゲート電位が印加される第 2 トレンチ構造をさらに含む、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。 10

【請求項 9】

前記第 2 トレンチ構造は、前記トレンチ構造の前記第 1 側壁から前記 m 軸方向に間隔を空けて前記主面に形成され、前記 a 軸方向に延びている、請求項 8 に記載の S i C 半導体装置。

【請求項 10】

前記第 2 トレンチ構造は、前記トレンチ構造の前記第 2 側壁から前記 a 軸方向に間隔を空けて前記主面に形成され、前記 m 軸方向に延びている、請求項 8 に記載の S i C 半導体装置。

【請求項 11】

前記第 2 トレンチ構造は、平面視において前記トレンチ構造を取り囲む環状に形成されている、請求項 8 に記載の S i C 半導体装置。 20

【請求項 12】

前記主面の表層部において前記第 2 トレンチ構造に沿う領域に形成された第 2 導電型のソース領域をさらに含む、請求項 8 に記載の S i C 半導体装置。

【請求項 13】

前記トレンチ構造は、平面視において環状に形成されている、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。

【請求項 14】

前記トレンチ構造によって前記主面に区画されたメサ部をさらに含み、前記コンタクト領域は、前記メサ部において前記主面の表層部に位置する部分を有している、請求項 13 に記載の S i C 半導体装置。 30

【請求項 15】

前記トレンチ構造は、平面視において四角形状に形成されている、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。

【請求項 16】

前記トレンチ構造は、前記第 1 側壁および前記第 2 側壁を接続する底壁を有し、
前記コンタクト領域は、前記チップ内において前記トレンチ構造の前記底壁に沿う領域に形成されている、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。

【請求項 17】

前記コンタクト領域は、前記チップ内において前記トレンチ構造の前記第 2 側壁に沿う領域に形成されている、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。 40

【請求項 18】

前記コンタクト領域は、前記 a 軸方向に延びる帯状に形成されている、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。

【請求項 19】

前記主面の表層部に形成された第 1 導電型のボディ領域をさらに含み、
前記トレンチ構造は、前記ボディ領域を貫通するように前記主面に形成され、
前記コンタクト領域は、前記ボディ領域よりも高い不純物濃度を有している、請求項 1 ~ 7 のいずれか一項に記載の S i C 半導体装置。 50

【請求項 20】

S i C単結晶を含み、主面を有するチップと、
前記主面の表層部に形成された第1導電型の半導体領域と、
前記半導体領域の表層部に形成された第2導電型のボディ領域と、
前記S i C単結晶のa軸方向に延びる第1側壁、および、前記S i C単結晶のm軸方向に延びる第2側壁を有し、前記ボディ領域を貫通するように前記主面に形成されたトレンチソース構造と、

前記ボディ領域を貫通するように前記トレンチソース構造の前記第1側壁から前記m軸方向に間隔を空けて前記主面に形成されたトレンチゲート構造と、

前記ボディ領域の表層部において前記トレンチゲート構造に沿う領域に形成された第1導電型のソース領域と、

前記チップ内において前記トレンチソース構造の前記第1側壁から前記m軸方向に間隔を空けて前記トレンチソース構造に沿う領域に形成された第2導電型のコンタクト領域と、を含む、S i C半導体装置。

10

20

30

40

50