

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-531158

(P2005-531158A)

(43) 公表日 平成17年10月13日(2005. 10. 13)

(51) Int. Cl. ⁷		F I		テーマコード (参考)	
HO 1 L	21/336	HO 1 L	29/78	3 O 1 P	5 F O 4 8
HO 1 L	21/265	HO 1 L	29/78	3 O 1 X	5 F 1 4 O
HO 1 L	21/8234	HO 1 L	27/08	1 O 2 C	
HO 1 L	27/088	HO 1 L	21/265	P	
HO 1 L	29/78				
審査請求 有 予備審査請求 未請求 (全 22 頁)					
(21) 出願番号	特願2004-517659 (P2004-517659)	(71) 出願人	505000228		
(86) (22) 出願日	平成15年6月18日 (2003. 6. 18)		セムエキップ インコーポレイテッド		
(85) 翻訳文提出日	平成17年2月25日 (2005. 2. 25)		アメリカ合衆国 マサチューセッツ州 O		
(86) 国際出願番号	PCT/US2003/019085		1 8 6 2 ビレリカ サリヴァン ロード		
(87) 国際公開番号	W02004/003970		3 4 ユニット2 1		
(87) 国際公開日	平成16年1月8日 (2004. 1. 8)	(74) 代理人	100082005		
(31) 優先権主張番号	60/392, 023		弁理士 熊倉 禎男		
(32) 優先日	平成14年6月26日 (2002. 6. 26)	(74) 代理人	100067013		
(33) 優先権主張国	米国 (US)		弁理士 大塚 文昭		
(31) 優先権主張番号	60/391, 802	(74) 代理人	100074228		
(32) 優先日	平成14年6月26日 (2002. 6. 26)		弁理士 今城 俊夫		
(33) 優先権主張国	米国 (US)	(74) 代理人	100086771		
			弁理士 西島 孝喜		
				最終頁に続く	

(54) 【発明の名称】 半導体デバイス及び半導体デバイスの製造方法

(57) 【要約】

ゲートのデプリーションの影響が最小にされた、半導体デバイスのゲート電極の製造方法が提案される。この方法は、2つの堆積プロセスで構成され、第1の工程では、非常に薄い層を堆積し、イオン注入により非常に激しくドーピングする。第2の堆積は、ドーピングに関連するイオン注入により、ゲート電極を完成させる。この2つの堆積プロセスにより、ゲート電極/ゲート誘電体界面におけるドーピングを最大にする一方で、ホウ素がゲート誘電体に浸透するリスクを最小にすることが可能になる。本方法のさらに別の構成は、両方のゲート電極層のパターン形成を含み、ドレイン延長部及びソース/ドレインの注入をゲートのドーピングの注入として使用するという利点と、2つのパターンをずらして、非対称デバイスを生成するという選択肢がある。さらに、ドーパントを、誘電体層の中に含まれる注入層から半導体表面に拡散させることにより、浅い接合部を半導体基板に形成する方法が提供される。さらに、意図されるドーパント種に加えて、水素のような第2の注入種によりイオン注入層が与えられ、前述の種は、誘電体層におけるドーパントの拡散性を高める。

【特許請求の範囲】

【請求項 1】

基板を有し、ウェル及び対向するトレンチ隔離部分が形成され、この上に第 1 の誘電体層が形成された金属酸化物半導体デバイスの、ゲート電極を形成する方法であって、

(a) 第 1 のゲート電極層を前記第 1 の誘電体層に堆積させる工程と、

(b) 前記第 1 のゲート電極層をドーピングして、ドーピングされた第 1 のゲート電極層を形成する工程と、

(c) 第 2 のゲート電極層を前記ドーピングされた第 1 のゲート電極層の上に堆積させる工程と、

(d) 前記第 2 のゲート電極層をドーピングする工程と、

10

(e) この構造体を熱処理して、ドーパント材料を活性化する工程と、

を含む方法。

【請求項 2】

前記第 1 のゲート電極層と前記第 2 のゲート電極層とが合わさって完全な厚さのゲート電極を形成する請求項 1 に記載の方法。

【請求項 3】

前記第 1 のゲート電極層を堆積させる工程が、アモルファスシリコンを堆積させることを含む請求項 1 に記載の方法。

【請求項 4】

前記第 1 のゲート電極層を堆積させる工程が、ポリシリコンを堆積させることを含む請求項 1 に記載の方法。

20

【請求項 5】

前記第 2 のゲート電極層を堆積させる工程が、アモルファスシリコンを堆積させることを含む請求項 1 に記載の方法。

【請求項 6】

前記第 2 のゲート電極層を堆積させる工程が、ポリシリコンを堆積させることを含む請求項 1 に記載の方法。

【請求項 7】

前記第 1 のゲート電極層をドーピングする工程が、該第 1 のゲート電極層をホウ素によりドーピングすることを含む請求項 1 に記載の方法。

30

【請求項 8】

前記第 1 のゲート電極をドーピングする工程が、前記第 1 のゲート電極層をデカボランによりドーピングすることを含む請求項 1 に記載の方法。

【請求項 9】

前記第 2 のゲート電極層をドーピングする工程が、該第 2 のゲート電極層をホウ素によりドーピングすることを含む請求項 1 に記載の方法。

【請求項 10】

前記第 2 のゲート電極をドーピングする工程が、前記第 2 のゲート電極層をデカボランによりドーピングすることを含む請求項 1 に記載の方法。

【請求項 11】

40

基板を有する金属酸化物半導体 (MOS) デバイスを形成する方法であって、

(a) ウェル及び対向するトレンチ隔離部分を前記第 1 の基板に形成する工程と、

(b) その上に第 1 の誘電体層を堆積させる工程と、

(c) 第 1 のゲート電極層を前記第 1 の誘電体層の上に堆積させる工程と、

(d) 前記第 1 のゲート電極層をドーピングして、ドーピングされた第 1 のゲート電極層を形成する工程と、

(e) 第 2 のゲート電極層を前記ドーピングされた第 1 のゲート電極層の上に堆積させる工程と、

(f) 前記ドーピングされた第 1 のゲート電極層と前記第 2 のゲート電極層との組み合わせからゲートスタックを形成して、前記第 1 の誘電体層の露出部分を生じさせる工程と

50

、
(g) 第1のフォトリソistをパターン形成して、前記第1の誘電体層上の前記トレンチ隔離部分に隣接するドレイン延長部領域を露出させる工程と、

(h) 前記ゲートスタックの露出部分と前記第1の誘電体層の露出部分とをドーピングして、ドレイン延長部を前記ウェル内の前記トレンチ隔離部分と前記ゲートスタックとの間に形成する工程と、

(i) 前記第1のフォトリソistを除去し、第2のフォトリソistをパターン形成して、前記ゲートスタックの両側に隣接するスペーサを形成し、ドレイン及びソース領域を定める前記第1の誘電体層の部分を露出させる工程と、

(j) 前記第1の誘電体層の前記露出部分をドーピングして、前記ウェル内にソース及びドレイン層を形成する工程と、 10

(k) 前記第2のフォトリソist層を除去する工程と、

(l) 注入ドーパントを拡散させるために熱処理を与えて、前記注入ドーパントが、前記第1の誘電体層から外に、前記ウェルの中に拡散するようにする工程と、
を含む方法。

【請求項12】

前記第1のゲート電極層をドーピングする工程が、該第1のゲート電極層をホウ素によりドーピングすることを含む請求項11に記載の方法。

【請求項13】

前記第1のゲート電極層をドーピングする工程が、該第1のゲート電極層をホウ素クラスタ注入によりドーピングすることを含む請求項11に記載の方法。 20

【請求項14】

前記第1のゲート電極層をドーピングする工程が、該第1のゲート電極層を分子注入によりドーピングすることを含む請求項11に記載の方法。

【請求項15】

前記ドレイン及びソース領域をドーピングする工程が、該ドレイン及びソース領域をホウ素によりドーピングすることを含む請求項11に記載の方法。

【請求項16】

前記ドレイン及びソース領域をドーピングする工程が、該ドレイン及びソース領域をホウ素クラスタによりドーピングすることを含む請求項11に記載の方法。 30

【請求項17】

基板を有する金属酸化物半導体デバイスを形成する方法であって、

(a) ウェル及び対向するトレンチ隔離部分を前記基板に形成する工程と、

(b) その上に第1の誘電体層を堆積させる工程と、

(c) 第1のゲート電極層を前記第1の誘電体層の上に堆積させる工程と、

(d) 前記第1のゲート電極層からゲートスタックを形成して、前記第1の誘電体層の露出部分を残すようにする工程と、

(e) 第1のフォトリソist層をパターン形成して、前記第1の誘電体層のドレイン延長部領域を露出させる工程と、

(f) ドレイン延長部層及び前記ウェルを形成する前記ドレイン延長部領域をドーピングする工程と、 40

(g) 前記第1のフォトリソist層を除去する工程と、

(h) 第2のゲート電極層を堆積させる工程と、

(i) 前記第2のゲート電極スタックを、前記第1のゲート電極層から形成された前記ゲートスタックとずらして、かつこれより大きく形成する工程と、

(j) 第2のフォトリソist層をパターン形成して、前記第2のゲート電極スタックに隣接するスペーサを形成し、ドレイン及びソース領域を定める工程と、

(k) 前記ドレイン及びソース領域をドーピングして、ドレイン及びソース層を前記ウェルに形成する工程と、

(l) 前記第2のフォトリソist層を除去する工程と、 50

(m) 熱処理を与えて、前記注入ドーパントが前記ドーピング工程により注入された材料を活性化させるようにする工程と、
を含む方法。

【請求項 18】

前記ドレイン延長部領域をドーピングする工程が、前記ドレイン延長領域をデカボランによりドーピングすることを含む請求項 17 に記載の方法。

【請求項 19】

基板を有する金属酸化物半導体(MOS)デバイスを形成する方法であって、

- (a) ウェル及び対向するトレンチ隔離部分を前記基板に形成する工程と、
- (b) その上に第 1 の誘電体層を堆積させる工程と、 10
- (c) 第 1 のゲート電極層を前記第 1 の誘電体層の上に堆積させる工程と、
- (d) 前記第 1 のゲート電極層から初期ゲートスタックを形成して、前記第 1 の誘電体層の露出部分を残すようにする工程と、
- (e) 前記ゲートスタックと前記第 1 の誘電体層の前記露出表面とをドーピングする工程と、
- (f) 前記第 1 の誘電体層とは異なる第 2 のゲート誘電体層を該第 1 の誘電体層の前記露出表面の上に堆積させる工程と、
- (g) 第 2 のゲート電極堆積層を、前記初期ゲートスタック及び前記第 2 の誘電体層の上部に堆積させる工程と、
- (h) 前記第 2 のゲート電極の堆積から最終的なゲートスタックを形成する工程と、 20
- (i) 第 1 のフォトリソストをパターン形成して、前記最終的なゲートスタック及びドレイン延長部領域を露出させる工程と、
- (j) 前記最終的なゲートスタック及び前記ドレイン延長部領域をドーピングする工程と、
- (k) 前記第 1 のフォトリソストを除去する工程と、
- (l) 第 2 のフォトリソストをパターン形成して、前記最終的なゲートスタックに隣接する側壁スペースを形成し、前記ドレイン及びソース領域を露出させる工程と、
- (m) 前記ドレイン及びソース領域及び前記最終的なゲート電極スタックをドーピングして、ドレイン及びソース層を前記ウェルに形成する工程と、
- (n) 前記第 2 のフォトリソスト層を除去する工程と、 30
- (o) 熱処理を与えて、前記ドーピング工程により注入された材料を活性化させる工程と、
を含む方法。

【請求項 20】

前記工程(f)が、或る種を前記第 1 の誘電体層の中に注入することを含む請求項 19 に記載のプロセス。

【請求項 21】

前記工程(b)が、前記第 1 の誘電体層の化学処理を含む請求項 19 に記載のプロセス。

【請求項 22】

前記工程(b)が、前記第 1 の誘電体層の除去と、該第 1 の誘電体材料とは異なる第 2 の誘電体材料の再生を含む請求項 19 に記載のプロセス。

【請求項 23】

前記第 1 及び第 2 のゲート電極層が合わさると、通常のゲート電極層の厚さになる請求項 1 に記載のプロセス。

【請求項 24】

半導体デバイスの一体部分として超浅接合部を半導体基板に形成するプロセスであって、

- (a) 誘電体層を前記基板上に堆積させる工程と、
- (b) 前記誘電体層をドーピングする工程と、

10

20

30

40

50

(c) 熱処理を与えて、前記熱処理による注入イオンを前記基板の中に拡散させて浅い接合部を形成するようにする工程と、を含む方法。

【請求項 25】

前記工程 (b) が、前記誘電体層を単一のイオン注入によりドーピングすることを含む請求項 24 に記載のプロセス。

【請求項 26】

前記工程 (b) が、前記誘電体層を一連のイオン注入によりドーピングすることを含む請求項 24 に記載のプロセス。

【請求項 27】

前記工程 (b) が、前記誘電体層をホウ素クラスタによりドーピングすることを含む請求項 25 に記載のプロセス。

【請求項 28】

前記工程 (b) が、前記誘電体層を、ホウ素注入とその後続く水素注入によりドーピングすることを含む請求項 26 に記載のプロセス。

【請求項 29】

前記半導体基板がシリコンである請求項 24 に記載のプロセス。

【請求項 30】

前記工程 (b) が、二酸化ケイ素の層を堆積させることを含む請求項 24 に記載のプロセス。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願に対する相互参照)

本出願は、共に 2002 年 6 月 26 日に提出された、米国仮特許出願連続番号第 60 / 392,023 号及び米国仮特許出願連続番号第 60 / 391,802 号に基づく優先権を主張するものである。

【0002】

本発明は、半導体デバイスに関し、具体的には、これらを製造するのに用いられるプロセスに関する。

【背景技術】

【0003】

通常の CMOS (相補型金属酸化膜半導体) 半導体デバイスを製造する方法は周知であり、ゲート誘電体層を生成する工程、ポリシリコンゲート電極材料を堆積させる工程、ポリシリコン / 誘電体ゲートスタックを該ゲート電極の中にパターン形成する工程、ドレイン延長部の注入を注入する工程、側壁絶縁構造体 (スペーサ) を生成する工程、ソース / ドレインの注入を注入する工程、熱処理を与えて、注入層を拡散させ電気作動させる工程を含む。これらの注入は、それぞれ N チャンネル又は P チャンネルデバイスの形成のための n 型又は p 型ドーパントのものとすることができる。

【0004】

ゲート電極のドーピングに関する技術尺度は進歩するため、通常の CMOS 法に関する種々の技術的問題がある。第 1 に、ゲート誘電体の厚さが縮小されるため、ゲート電極 / ゲート誘電体界面における電界強度は増加して、該ゲート電極は、該誘電体界面で開始する電荷のデブリーションを経験することになる。この状態は、有効ゲート誘電体厚さを増加させ、しきい値電圧を変調させるという影響を有するため、望ましいことではない。さらに、電極 / 誘電体界面においてゲート電極のドーピングを増加しようとする矛盾する問題があり、このことは、特に、ホウ素によりドーピングされたゲートに対して、ドーパントがゲート誘電体を通りチャンネルの中に拡散するというリスクを高める。ゲート誘電体に対するドーパントの浸透は、しきい値電圧を変化させるため、望ましいことではない。このデバイスは、ゲートの下にあるチャンネル領域のドーピング濃度が低いため、ゲート誘電

10

20

30

40

50

体に対するドーパントの浸透に敏感であり、したがって、ゲート誘電体を通る少量のドーパントの拡散は、顕著な影響がある。

【0005】

ゲートのデプリーション及びゲート誘電体の浸透の程度を求めるように相互作用するゲートドーピングプロセスに含まれる2つのユニットのプロセスがある。第1のものは、ドーパント原子を与えるイオン注入であり、第2のものは、注入ドーパントを活性化させるのに必要であり、さらに、該ドーパントをゲート材料を通して拡散させる熱処理又はアニーリングである。下にあるチャネル領域は、低濃度でドーピングされるため、生産性を損なうことになるとしても、どのようなドーパントもゲート酸化膜を通して注入されないことを確実にするように、イオン注入エネルギーは低いものが選択される。このことは、ドーパントが、ゲートのデプリーションを阻止することが必要なゲート電極/ゲート誘電体界面に与えられるように、該ドーパントはゲート層を通して拡散されることを必要とする。しかし、ゲート材料は、通常は、非常に不均一な拡散特性を有するポリシリコンである。したがって、ポリシリコン内の粒界まで下方に非常に迅速な拡散があるため、ある程度のドーパントは、ゲート電極/ゲート誘電体界面に迅速に到達するが、ほとんどのドーパントは、依然として、完全にポリシリコングレインがドーピングされて、高い伝導性を達成するように拡散する必要がある。ゲート電極/ゲート誘電体界面における粒界ドーパントは、次いで、熱処理が継続するときにゲート誘電体浸透にリスクになる。このリスクは、熱処理がより高い温度及びより長い時間になると増加する。例えば、1998年第12回イオン注入技術会報のp. 91のM. Kase他による「F E O L T e c h n o l o g i e s f o r F a b r i c a t i n g H i g h P e r f o r m a n c e L o g i c a n d S y s t e m L S I o f 100nm node」に開示されるように、ドーパントをゲート電極/ゲート誘電体界面に拡散する必要性、及び注入ドーパントを電気作動させる必要性のために、ゲート電極アニールに対する時間/温度の減少には事実上の制限がある。

10

20

【0006】

これらの問題に対処するのに提案された技術は、オキシナイトライドゲート誘電体、SiGeゲート電極材料、及び金属ゲート電極材料を含む。オキシナイトライドゲート誘電体は、ゲート酸化膜を通るホウ素の浸透を減少させるのに有益ではあるが、ゲートのデプリーションの影響の助けにはならない。SiGeゲート材料はまた、ホウ素の拡散を減少させ、したがって、ゲート浸透の助けになるが、効率的なドーピング濃度を増加させて、これもまたゲートのデプリーションの助けになる。SiGeゲート材料はNMOS特性を劣化させ、したがって、完全なCMOSの解決法を得るのに複雑な選択的技術が必要になることが問題である。金属ゲート手法は、ホウ素の浸透問題（ホウ素が拡散しない）及びゲートのデプリーション問題（無限電荷濃度に近い）を解決するが、同時に、NMOS及びPMOSに対するしきい値電圧の設定を非常に困難なものにする。金属ゲート手法は、さらに、金属層は、ソース及びドレイン領域に要求されるような注入作動に必要とされる熱処理の高温では物理的に安定していないため、プロセスの統合に対して重要な課題を有する。

30

【0007】

通常のデバイスは、技術尺度として他の要因に直面する。例えば、継続する $< 0.1 \mu\text{m}$ 技術尺度においては、高性能作動を確実にするように、ドレイン延長部領域の十分なゲートの重なりを与えるという必要性に悩まされている。具体的には、外因性直列抵抗は、重なり領域を見積もるときに、制限要因になる。2001年のSymposium VLSI Technology、17-18ページにおいてGhani他により報告された最近の分析は、非対称構造体は、高性能デバイス特性を維持しながら、さらに別の尺度を可能にする潜在性を有することを示した。しかし、実証デバイスにおいてGhani他により用いられたプロセスは、この構造体は、選択的にドレイン側ではなくソース側に傾斜注入を必要とする大規模な製造の必要条件に対して非常に制約的なものであった。このような構造体をもつデバイスを製造するためには、すべてのソースが一方の側にあり、すべ

40

50

てのドレインが他方の側にあるようにレイアウトを限定する必要があり、回路を非常に大きいものにする。

【0008】

さらに、浅い半導体接合部を形成する傾向がある。浅い接合部に対する必要条件是、より小さいデバイスに対する絶え間ない進歩がある、継続する半導体技術尺度の直接の結果である。デバイスはより小さく作られるため、トランジスタその他の必要とされる他の回路要素の適当な機能を維持するようにするために、修正又は「見積もられ」なければならない製造方法の多くの特徴がある。接合部形成技術に対する効果は、接合部深さを、技術尺度として見積もり、すなわち、接合部は、ゲート長さが短くなればなるほど浅くなる。このようにして、トランジスタ機能が保存される。

10

【0009】

接合部深さを見積もる歴史的な方法を継続するには困難がある。具体的には、このような接合部の通常の形成方法は、ドーパントを半導体基板の中に導入し、次いで、熱処理工程によりドーパント原子を電気作動させるイオン注入を用いるものである。より浅い接合部を達成するためには、イオン注入を、より低いエネルギーで行って、原子がそれ以上半導体基板の中に浸透しないようにしなければならない。一般に、浅い接合部は5 keVより少ないイオン注入エネルギーを必要とするが、超浅接合部は1 keVより少ないイオン注入エネルギーを必要とする（ホウ素注入に対して）。これらの注入は、チャイルドの法則が適用する方式内、すなわち、10 keVより少ないエネルギー、にあるため、通常の注入機においては低い生産性を有する。この方式においては、注入機のビーム電流は、空間電荷効果により、抽出電圧に比例する最大電流が3/2パワーに制限される。この方式において生産性を増加させる通常の手段は、注入機に対する加速/減速構成を実施することであり、すなわち、チャイルズの法則により課された空間電荷制限を避けるようにビームが高エネルギーで抽出され、次いで、ウエハの前に減速されて、適当なエネルギーで注入される。この方法は、生産性を約2倍に増加させることができるが、減速ビームは、エネルギー汚染及び注入結果の不均一性に関する問題を有する。

20

【0010】

注入は、シリコン注入層の中に欠陥構造を生成し、このことは、エネルギーが減少されて、層がより浅くなったときに、さらに問題を呈することになることにより、超浅接合部の形成に対する通常の注入プロセスに関してはさらに別の問題がある。第1に、注入された基板材料の量は、注入が浅く作られるときは減少されるため、生成される欠陥密度は、迅速に増加する。ドーズ量は、同じであるか又は増加されるので、注入深さの減少は、注入ドーパントの密度及び注入欠陥の両方の増加に対応する。欠陥密度が増加すると、欠陥の組み合わせが、より複雑でアニールが非常に困難な欠陥構造を作るという問題をもって、相互作用の可能性は劇的に増加する。高密度の、例えば、ホウ素のような注入ドーパントは、さらに、ドーパント複合体構造を形成するという可能性を増加させる。このことは、超飽和ドーパントは、望ましくない構造体の中に析出される傾向があるため、特に、ドーパント濃度が固溶度を超える場合に問題になる。例えば、超飽和ホウ素は、ホウ素を電気的に不活性な位置にバインドして、ホウ素の注入成分を完全に効果のないものにするシリコンホウ化物（SiB₄）の中に析出する傾向がある。エネルギーが減少されると、より多くの注入ドーズ量が、濃度が溶解度を超える領域にあるようになるため、注入の効果はエネルギーと共に減少する。

30

40

【0011】

通常の方法は、さらに、注入ドーパントを電気作動させるのに用いられる熱処理又はアニールに対して極度の制約を置く。注入ドーパントを効率的に活性化するのに十分に高い温度まで基板を加熱する必要性と、拡散を阻止するためにアニール温度及び時間を制限する必要性との間には、強い対立がある。この対立は、スパイクアニールと呼ばれるプロセスの開発をもたらし、ここでは、温度は、迅速にピーク温度にまで上昇され、次いで、直ちに下げられて、最大温度における滞留時間がゼロになるようにする。このようなアニールは、ホウ素の拡散を最小にする超浅のホウ素接合部の形成に必要である。

50

【0012】

超浅接合部の形成によるこれらの問題に対処するために、例えば、IEEE-IEDM '98、p1009におけるSchmitz他の「Ultra-Shallow Junction Formation by Outdiffusion from Implanted Oxide」、及び1999年、ワシントン州シアトルのElectrochemical Society、Proceedings of Advances in Rapid Thermal Processingのp.187、「Shallow Junction Fabrication by Rapid Thermal Outdiffusion from Implanted Oxides」に述べられるように、表面酸化物層の中に注入し、次いで、この酸化物層を通して基板の中に拡散させて、接合部を形成する。この手法は、注入の損傷のほとんどを酸化物層の中に置くことにより、半導体基板における欠陥形成を減らすか又は排除するという利点を有する。この方法は、さらに、拡散のほとんどは、ここでは、酸化物層に行き渡っているため、アニーリングに対する制約を緩める。しかし、この方法は、例えば、1997年、J. Electrochem. Socのp.708-717のFairによる「Physical Models of Boron Diffusion in Ultrathin Gate Oxides」に述べられるように、酸化物層を通る拡散は、一般的に、シリコンを通るものより遅いという不利点がある。

【0013】

通常の方法におけるさらに別の問題は、例えば、1999年Proc. 12th International Conference on Ion Implant Technology-1998のp1113のKrull他により「The importance of the native oxide for sub-keV ion implants」のような、酸化物の中への注入を避けながら、超浅接合部を形成することを試みることに對する困難である。技術尺度及び注入エネルギーは減少されるため、表面酸化物がイオン注入プロセスと干渉しないのに十分なだけ該表面酸化物を除去することはますます困難になる。Krull他に述べられるように、天然酸化物（室温で空気に露出されるだけシリコンウエハ上に形成される酸化物層）でさえ、250eVのエネルギーをもつホウ素の注入は、ほとんどの原子を、目的通りに、シリコンの中ではなく、酸化物（1.5nm）の中に置くのに十分なだけ厚い。天然酸化物は、室温で空気により形成されるため、イオン注入機の真空システムの内側にある現場設置酸化物ストリップのような真にむき出しの基板の中に注入するには非常手段が必要になる。このような能力をもつ製造注入機はない。真にむき出しの基板の中に注入する能力がない場合、製造の解決法は、存在する酸化物の厚さを制御すること、及びその酸化物の中に注入することを含まなければならない。このようなプロセスは、製造レベルの反復を与えることが必要になる。

【発明の開示】

【0014】

本発明は、通常の技術に観察されるゲートのデプリーション及びドーパントのゲート誘電体に対する浸透の問題に対処する、代替的なプロセス条件を可能にする2つの堆積ゲート形成プロセスを用いる。具体的には、本発明は、2つの堆積及び注入シーケンスの組み合わせにより、ゲート電極を形成することに関する。ゲート電極/ゲート誘電体界面のできるだけ近くに、最大効果のあるドーズ量を直接置くために、第1の堆積は薄く、これに対応する注入は非常に浅いものである。高ドーズ量で非常に低い効率的なエネルギー注入プロセスを可能にするクラスタイオン注入の出現は、非常に薄い層をドーピングする際の以前の制約を排除する。第2の堆積は、ゲート電極を通常の厚さにして、第2の堆積におけるイオン注入及び熱処理に対して独立した選択を可能にする。

【0015】

スパイクアニーリングの到来は、さらに、非常に浅く、高度に活性化されるドーパント層の形成を可能にする。スパイクアニールは、最高温度での時間がゼロになる、すなわち、温度を非常に迅速に上昇させて、できるだけ迅速に下げることができる急速な熱プロセ

ス又は熱処理である。本発明においては、ゲート電極／ゲート誘電体界面における浅いドーピング層の形成は、ゲートのデプリーションを抑制するために、ドーパントをゲート電極層を通してゲート誘電体界面まで拡散させる必要がなくなっているため、スパイクアニールを用いることができ、ドーパントがゲート誘電体に浸透するリスクをさらに減少させるため、単一のゲートプロセスに通常用いられる注入及び熱処理の制約の1つを排除する。

【0016】

この2つの堆積ゲート形成プロセスのさらに別の利点は、2つのゲートパターン形成工程が含まれた場合に実現することができる。具体的には、2つのパターン形成工程を使用する1つの利点は、ドレイン延長部の注入を第1レベルのゲートドーピング工程及びドレイン延長部の注入の両方に用いて、このプロセスから1つの浅い注入を排除できることである。次に、2つのパターン形成工程を用いることにより、第2のパターンをゲートのソース側の方向にずらすことを自由に選択できるようになる。このことは、ドレイン延長部領域がドレイン側よりソース側に多く重なるような非対称的なソース／ドレイントランジスタを生成する。これは、Ghani他により述べられるトランジスタの作動の類を生成するが、他のレイアウト及びプロセスの制約を避ける効果的な手段である。

10

【0017】

本発明の別の態様は、ドーパント種を半導体基板表面上の誘電体層の中にイオン注入して、ドーパントを該誘電体層を通して該半導体基板の中に拡散させ、したがって、浅い半導体接合部を生成することにより、超浅接合部を製造する方法に関する。この方法は、さらに、付加的な種、又は1つ以上の付加的な種を注入することで構成され、ここでは、付加的な種の作用は、誘電体層を通るドーパントの拡散を高め、したがって、このプロセスをより効果的なものにするものである。このようなプロセスの一例は、ホウ素／水素クラスタイオンを、シリコンウエハ上の二酸化ケイ素層の中に注入することである。この場合には、水素は、上でFairの文献で述べられたように、二酸化ケイ素におけるホウ素の拡散を高めて、拡散を可能にするのに用いられるアニーリングプロセスの管理を可能にするものとして知られている。酸化物における拡散率の向上は、特に、アニーリング処理の時間及び温度に対する他のプロセス制約の緩和を可能にする。

20

【発明を実施するための最良の形態】

【0018】

本発明のこれらその他の利点は、以下の明細書及び添付図面を参照することにより、容易に理解されるであろう。

30

【0019】

本発明は、新規な材料を必要とすることなく、ゲートのデプリーション及びゲート誘電体に対するホウ素浸透の問題に対処する手段として、2つの堆積プロセスによりMOSトランジスタのゲート電極を形成する方法に関する。本発明は、さらに、超浅接合部を半導体物質に形成する方法に関する。

【0020】

ゲート電極の形成

上述のように、本発明の一態様は、2工程の堆積プロセスにより、MOSトランジスタのゲート電極を形成することに関する。2つの堆積プロセスにおいては、第1の工程は、電極材料の薄層を堆積し、これに続いて、浅いイオン注入を行って、ゲート電極／ゲート誘電体界面の近くに高濃度のドーパントを与える。第2の工程もまた、ゲート層の堆積をし、これに続いて、イオン注入を行って、2つの層の合計厚さが通常の単層ゲート電極構造に匹敵するようにする。

40

【0021】

本発明の以下の実施形態の説明においては、或る特定の詳細が述べられる。これらの詳細は、例示的なものに過ぎないことを理解されたい。具体的には、これらの例は、0.13 μm 技術ノードのPMOS（P型金属酸化膜半導体）トランジスタを示すことが意図される。しかし、本発明の原理は、NMOSトランジスタに対する用途を含む他の用途にも

50

明らかに適用可能である。

【0022】

ゲート電極の形成に関する本発明の一実施形態は、図1aないし図1dに示される。具体的には、図1aは、ウェル形成工程(11)、トレンチ隔離工程(12)、及びゲート誘電体形成工程(13)による通常のCMOS処理工程により処理された半導体基板(10)を示す。ウェル構造体は、例えば、PMOSトランジスタに対するドーピングされたn型のものである。ゲート誘電体厚さは、0.13技術ノードに対して約2nmである。例えば、15ないし20ナノメートル(nm)の厚さの第1のゲート堆積(14)は、直接、ゲート誘電体層(13)の上部に形成される。典型的には、この堆積(14)は、アモルファスシリコン層であるか又は多結晶シリコン(ポリシリコン)層である。ゲート誘電体とゲート電極の第1の電極層(14)との間の界面(9)は、通常のデバイスにおいてゲートのデプリーションが生じる場所である。

10

【0023】

図1bは、浅いイオン注入をして第1のゲート電極層をドーピングする次のプロセス工程を示す。この注入に対する必要条件は、約500eVのホウ素、約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量である。代替的なプロセスは、5.5keVのホウ素、約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量、その他のプロセス等価注入工程である。注入エネルギーは、ドーパントの浸透が浅いものになるように低くなくてはならず、具体的には、チャネル領域は、しきい値電圧を適切に設定するのに低濃度でドーピングされなければならないため、注入されたドーズ量(<0.1%)のいずれも堆積層及びゲート誘電体を通るべきではない。この制約は、要求される低エネルギーにより生産性が課題になり、イオンビームの減速によりもたらされるエネルギー汚染が、ゲートスタック及びチャネルの中への浸透に対するリスクになるため、通常の注入プロセスには厳しいものである。

20

【0024】

この処理は、図1cに示されるように継続し、ここでは、第2の堆積層(17)が、直接、第1の堆積層(14)の上に堆積される。第1の堆積層14及び第2の堆積層17が互いに合わさると、ゲート電極を形成するため、どのような介入層も必要ではない。第2の堆積層(17)は、アモルファスシリコンであってもよいし、又はポリシリコンであってもよい。アモルファスシリコンの堆積は、層の滑らかさ及びチャネリングを避けることに対しては或る程度の利点を与えるが、該アモルファスシリコンは、後に、熱処理中のプロセスの流れにおいて、ポリシリコンに変換される。第2の堆積層(17)の厚さは、例えば、約130nmとすることができるため、第1及び第2の堆積の合計、すなわち、ゲート電極の全厚さは約150nmになる。

30

【0025】

図1dは、例えば、ホウ素、すなわち約2keVの等価エネルギー及び約 $5 \times 10^{15} \text{ cm}^{-2}$ の高ドーズ量をもつホウ素分子又はホウ素クラスターのイオン注入による第2のイオン注入又はドーピング工程を示す。この点においては、通常のCMOSプロセスは、ゲートのパターン形成、スペーサの形成、ソース及びドレインの形成などにより継続する。

【0026】

本発明の一実施形態は、第2の注入前に、ゲートスタック(18)(ゲート酸化膜/第1電極層/第2電極層)をパターン形成する工程を含む。本実施形態の1つの利点は、ドレイン延長部及びソース/ドレイン領域、及びパターン形成されたゲートスタック(18)の間の自己位置合わせである。このプロセスのシーケンスは、図2aないし図2cに示される。具体的には、図2aは、図1cに示される処理後の、以前のプロセスのシーケンスからの基板、及びゲートスタック18の、例えば、通常のリソグラフィによるパターン形成を示す。0.13 μm 技術ノードにおいては、ゲート長さは、60ないし120nmの範囲にある。図2bは、ドレイン延長部注入の工程により継続するプロセスを示す。第1に、フォトリソグレイ(PR)層(23)が適用されて、PMOS区域が露出されるようにパターン形成される(すなわち、ドレイン延長部領域38及び39)。ドレイン延長部注入においては、イオンビーム(21)は、約500eVのエネルギー、及び約5 \times

40

50

10^{14} cm^{-2} のドーザ量のホウ素注入である。例えば、デカボランのようなホウ素のクラスタ注入又は分子注入は、プロセス等価条件を用いることができる、本出願人が所有する米国特許番号第6,452,338号に開示されている。露出した基板区域の中へのこの注入の浸透は、図2cに示されるようなドレイン延長部領域(22)を形成し、さらに、ゲート電極の表面に注入層を形成する(注入層が望まれない場合には、ゲート電極表面を保護することができる)。図2bに示されるように、ドレイン延長部22の内側縁は、ゲートスタックの縁と位置合わせされ、したがって、自己位置合わせがもたらされる。PR層(23)は、通常の技術により除去されて、絶縁体スペーサ(25)が、別のフォトレジスト層(28)によりゲートスタック(18)の側壁に形成され、これは、PMOSデバイス区域が、ドレイン及びソース領域30及び31のそれぞれを形成するように適用されパターン形成される。ここで、第2のイオン注入工程が行われて、深いソース層(26)及びドレイン層(27)を生成し、同時に、完全なゲート電極(29)に対してドーパントを与える。第2の注入のためのプロセス条件は、約2keVのエネルギー及び約 $5 \times 10^{15} \text{ cm}^{-2}$ のドーザ量のホウ素と、ホウ素クラスタのイオン注入に対するプロセス等価条件である。次いで、第2のフォトレジスト層(28)が除去されて、必要に応じて、中間誘電体の堆積、コンタクトの形成、メタライゼーションなどを含む通常のCMOS処理が継続される。

10

【0027】

本発明の付加的な態様は、第1の組の堆積/注入プロセスの後に、付加的なゲートパターン形成工程を導入することを含む。本発明のこの実施形態においては、第2の電極堆積層もまた、ゲート電極の中にパターン形成されなければならないため、2つのゲートパターン形成工程が必要になる。2つのゲートパターン形成の手法は、2つのゲートパターンを重ねることが困難であるため、非対称的なトランジスタ構造が望まれる場合においてのみ用いられる。2つのゲートパターン形成工程においては、2つのゲートパターンを非対称的に設計することができ、非対称的な特性にわたり制御を与える。非対称重なり構造体及びノッチ形成されたゲート構造体といった2つの非対称構造体が述べられる。

20

【0028】

より具体的には、非対称重なりトランジスタは、2つのゲートパターン形成プロセスのシーケンスにより形成することができる。本発明のこの実施形態の一態様は、注入に対する必要条件が同様であるため、電極注入工程を用いてドレイン延長部層を形成できることである。本実施形態の付加的な態様は、2つのゲートパターンをずらすことにより、非対称重なりトランジスタ構造体を形成する能力である。このプロセスのシーケンスは、図3aないし図3cに示される。図3aにおいては、図1aからの基板がゲートパターン形成工程により処理されている。 $0.13 \mu\text{m}$ 技術ノードにおいては、このパターンに対するゲート長さは、約50ないし80nmである。この時点で、図3bに示されるようにフォトレジスト層(42)が適用されパターン形成されて、誘電体層13のドレイン延長部層38及び39を露出させる。浅いイオン注入工程が与えられて、ドレイン延長部(43)が露出されたソース及びドレイン領域に生成され、第1ゲート電極の露出表面がドーピングされることになる(44)。この注入に対する注入条件は、5.5keVで、約 $5 \times 10^{15} \text{ cm}^{-2}$ のドーザ量のデカボラン注入とすることができ、又はデカボランのようなホウ素又はホウ素クラスタによるプロセス等価の注入とすることができ、この時点で、フォトレジスト層(42)が通常の技術により除去され、第2のゲートの堆積(45)が与えられて、図3cに示される構造体が生成される。次いで、ゲート電極層がパターン形成されて、このパターンは、第1のゲートパターン層より大きく、これに対してずらされている。その結果もたらされるゲート電極スタックは図3dに示される。第1のゲート層を超える第2のゲート層の重なりは、図示されるように(46)トランジスタのソース側に制約することができる。このようにして、上でGhani他により述べられたように、ドレイン飽和電流IDSATを劣化させることなく、非常に小さいトランジスタを形成することができる。このプロセスは、図3eに示されるように、ゲート側壁スペーサ(51)の形成、及びPMOSTランジスタのみを露出するようにするフォトレジスト層(50)の

30

40

50

適用及びパターン形成が続く、このようにして、前述の誘電体層 13 のドレイン領域 38 及びソース領域 39 が形成される。次いで、 2 keV 、約 $5 \times 10^{15} \text{ cm}^{-2}$ のホウ素のイオンビーム (47) 条件であるか、又はプロセス等価クラスタのイオン注入により、第 2 のイオン注入が行われる。図 3 e は、このイオン注入の浸透によるソース及びドレイン領域 (48)、及びゲート電極における第 2 のイオン注入層の形成を示す。この時点で、非対称重なりトランジスタ構造が形成され、基板は、中間誘電体堆積、コンタクト形成、メタライゼーションなどによる通常の CMOS 製造シーケンスで継続する。非対称重なりトランジスタの他の変形を本方法の変形により形成することができる。

【0029】

本発明の別の態様は、図 4 a ないし図 4 e に示されるように本方法を適用することにより、ノッチ形成されたゲートトランジスタ構造体の形成に関する。このプロセスのシーケンスは、図 1 b に示されるように、第 1 ゲートの堆積及び第 1 ゲートの注入による基板の処理で開始する。この時点で、第 1 のゲート電極層がパターン形成される。このプロセスの次の工程は、パターン形成されたゲートスタックの外側の露出された半導体表面に第 2 のゲート誘電体 (52) を与えることである。第 2 のゲート誘電体は、第 1 のゲート誘電体とは異なるものであり、その処理は、窒素のような種を既存のゲート誘電体の中に注入すること、高温でのアンモニアに対する露出のような既存の誘電体の化学的処理、既存の誘電体をなくして、異なる厚さの二酸化ケイ素のような異なるゲート誘電体又は異なる窒素含量をもつオキシナイトライド誘電体の再生、窒化ケイ素又はハフニウム又は酸化ジルコニウム又はケイ酸塩のような付加的なゲート誘電体層の堆積、又は、このような処理の組み合わせを含む様々なゲート誘電体処理工程のいずれかを含むことができる。第 2 のゲート誘電体処理工程は、第 1 のゲート誘電体とは異なるゲート誘電体を与えるため、第 2 のゲート領域のしきい値電圧は、第 1 のものとは異なるものになる。この時点での別の選択肢は、イオンビーム (64) 及びしきい値調整注入層 (65) により示されるような、第 2 のしきい値調整注入の適用である。このイオン注入は、いずれかの伝導性形式の非常に軽い $1 \times 10^{13} \text{ cm}^{-2}$ の範囲のドーズ量とすることができる。第 2 のゲート誘電体と組み合わせて、この注入は、第 2 のゲート領域のしきい値電圧を設定することになる。

【0030】

図 4 b に示されるように、処理は、第 2 のゲート電極堆積工程により継続して、これは、合計厚さが通常のものになるような厚さで堆積される。この堆積は、アモルファスシリコン又はポリシリコンとすることができる。次の工程は、図 4 c に示されるように、第 2 のゲート電極の堆積 (54) のパターン形成である。最終的なトランジスタ構造体は、したがって、異なるゲート誘電体を有する 2 つの領域を含む。

【0031】

次に、フォトレジスト層 (55) は、図 4 d に示されるように、PMOS デバイス (すなわち、ドレイン延長部 64 及び 65) を露出させるように適用されパターン形成される。次いで、ドレイン延長部 (57) が、ホウ素含有イオンビーム (56) の注入により形成される。この注入に対する典型的な条件は、 500 eV のエネルギー及び $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量、又はプロセス等価パラメータをもつホウ素クラスタ注入である。この注入は、さらに、通常の方法により、ゲートスタック縁に対するドレイン延長部の自己位置合わせを達成する。この注入は、被覆範囲が与えられない限りは、浅いドーピング層 (58) をゲート電極の表面上に形成する。この時点で、図 4 e に示されるように、フォトレジスト層 (55) が剥離されて、絶縁側壁スペーサ (59) がゲート電極の側壁に形成される。新しいフォトレジスト層 (62) が適用されパターン形成されて、ここでも、NMOS 領域を保護し、PMOS 領域を露出させる (すなわち、ソース及びドレイン領域 66 及び 67 のそれぞれを露出させる)。次に、イオンビーム (60) が注入されて、ソース及びドレイン領域 (61) が形成される。注入は、さらに、ゲート電極のドーピング (63) を与える。この時点で、ノッチ形成されたゲートトランジスタ構造体が形成されて、この基板は、中間誘電体堆積、コンタクト形成、メタライゼーションなどによる通常の CMOS 製造シーケンスで継続する。本方法の変形により、ノッチ形成されたゲートトランジ

10

20

30

40

50

スタの他の変形も形成することができる。

【0032】

本発明の一態様は、第1の堆積厚さ、第1の注入深さ（注入エネルギー）、及び熱処理の組み合わせが、確実に、ゲート酸化膜に対するどのようなホウ素の浸透も生じないようにすることである。このことは、第1の堆積を非常に薄くすること、及び第1の注入を非常に浅くして、拡散を最小にするように熱処理を選択することを必要とする。本発明の一実施形態においては、クラスティオンの注入を、約20nmの第1の堆積厚さまでの第1の注入工程及び熱処理のためのスパイクアニールに用いることができる。このプロセス工程の組み合わせは、ゲートのデプリーション及びゲート酸化膜に対するホウ素の浸透を最小にするのに必要な構造体を与える。典型的な条件は、20nmの第1の堆積厚さ、およそ5keVで、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量の第1のデカボラン注入、及び100の温度までのスパイクアニールを含む。この条件は、ゲート誘電体に対してどのようなホウ素の浸透も生じないようにすることを確実にするものとなる。

10

【0033】

図5は、適切な注入条件を達成することができることを明示する。このシミュレーションは、例えば、1985年ニューヨークのPergamon PressのJ. Ziegler他による「The Stopping and Range of Ions in Solids」に述べられるような、材料の中に注入されたイオンの深さ及び分散を計算するプログラム、SRIM2000を用いて行われた。この実施例においては、公称注入パラメータは、2つの注入プロセスによりもたらされる深さ特性を定めるようにモデル化される。第1の堆積（71）は、15nm厚さのポリシリコン堆積としてモデル化される。第1の注入条件は、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量の500eVのホウ素注入とすることができ、結果としてもたらされる特性（72）は図6に示されるように、どの注入も（ $< 0.1\%$ ）ゲート酸化膜界面（75）に到達せず、明らかに、ゲート誘電体を通して下にあるシリコンの中に入るものはなかった。第2の堆積（73）は、125nmのポリシリコンの堆積としてモデル化され、この後に、2keVのエネルギー及び $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量のホウ素注入が続き、特性（74）が結果としてもたらされた。第2の注入の特性（74）は、完全にゲート電極層に含まれる。NMOSデバイスにおいては、ヒ素イオン注入を用いることができ、ヒ素はより高質量の原子であるため、その浸透深さは少なく、したがって、ゲート浸透に対するリスクは存在しない。

20

30

【0034】

超浅接合部の形成

本発明の別の態様は、所望のドーパントを半導体基板の表面上の誘電体層の中に注入して、該ドーパントを該誘電体層から外に、該半導体基板の中に拡散して、接合部を形成することにより、該半導体基板に超浅接合部を形成することに関する。第2の種をドーパントと同時にであるか又はこれの後に誘電体層の中に注入して、誘電体/ドーパントシステムの拡散特性を改変することができる。このような方法の例は、シリコンウエハ上の二酸化ケイ素層の中にホウ素水素化クラスタを注入することであり、ここでは、水素が、酸化物層を通るホウ素の拡散を向上させ、したがって、ホウ素による超浅接合部の形成をより効率的なものにする。

40

【0035】

このプロセスは、図6に示されるように、半導体基板1で開始する。典型的には、半導体基板はシリコンウエハであるが、III-V半導体基板であってもよい。さらに、半導体基板は、典型的には、或る程度までドーピングされているが、この半導体基板はドーピングされたn型と仮定される。この半導体基板の表面上には、薄い誘電体層2がある。この誘電体層は、典型的には、二酸化ケイ素であるか又は窒化ケイ素であるが、他の材料も可能である。誘電体層の厚さは最適化されるが、5ないし20nmの範囲の厚さである傾向がある。誘電体層は、2つの材料間の界面（3）において半導体基板（1）と接触する。

【0036】

50

図7に示されるように、イオンビーム(4)は、イオン注入層(5)が完全に誘電体層の中に含まれるように、十分に低いエネルギーで、表面に向けられる。イオンビーム(4)は、ホウ素クラスタイオンのような単一注入であるか、又は、ホウ素注入の後に水素注入が続く一連の注入のいずれかを表すことができる。ドーパント種注入層は、注入層5に示されるように、完全に誘電体層の中に含まれることが望ましい。例えば、誘電体層が二酸化ケイ素であり、厚さが20nmである場合には、500eV又はこれより少ないホウ素の注入は、完全に、該誘電体層の中に含まれることになる。第2の注入種もまた、完全に誘電体層の中に含まれて、その効率性を増加させることが望ましいが、半導体基板に入るわずかな第2の種は、その結果もたらされる接合部に対しては影響がない。次に、熱処理が適用されて、ここでは、温度及び時間が、誘電体層2から外に、界面3を通してドーパント種が拡散するのに十分な拡散を与えるように最適化されて、図8に示されるように、半導体基板(1)に浅い接合部6を形成する。

10

【0037】

この方法は、直接、半導体基板の中に注入することを魅力あるものにする幾つの特徴を有する。第1に、注入プロセスは、必ず、製造される接合部の良好な電気特性を達成するのに好ましくない結晶の欠陥を半導体基板の中に導入する。注入の損傷を誘電体層に含むことは、製造される半導体デバイス及び接合部の形成プロセス自体の両方に有益である。これは、注入の欠陥は、非結晶性であるために誘電体層の劣化をもたらすことがなく、この欠陥は、該誘電体層を通るドーパントの拡散を高めることになるためである。

【0038】

20

上述の方法は、注入ドーパントを電気作動させるのに用いられる熱処理プロセスに対する制約を緩和するものである。熱処理の目的は、ドーパントを半導体格子内の代理位置の中に置いて、該ドーパントを半導体原子と結合させて、したがって、半導体システム内でその電気作動を得るようにすることである。通常のプロセスにおいては、注入ドーパントは、ほとんど格子間の位置を占め、該ドーパントを代理の電気作動位置に置くには高温のアニーリング工程が必要になる。この高温プロセスは、注入ドーパントの実質的な拡散を可能にするが、これは、超浅接合部の形成には不利に作用する。通常のプロセスにおいては、最適化は、スパイクアニールにより得られ、ここでは、アニーリング工程の温度は、最高温度まで上げられ、直ちに下に戻されて、最小の拡散で電気作動を達成する。提案されたプロセスにおいては、拡散によりその位置に到達した半導体内のすべてのドーパントは、拡散プロセスが代理のものであるために、これは代理のものであることを意味する。したがって、ここでは、アニールは、ドーパントが誘電体層を通り、半導体基板の中までにだけ拡散することが選択されるため、異なるアニーリング工程の最適化が要求される。これは、スパイクアニールではなく、有限の時間で低温で、より良好に達成されることが予想される。

30

【0039】

本発明によるプロセスは、上のSchmitzの文献により述べられるものより効率的であり、例えば、水素のような第2の種の導入を含む。ホウ素を二酸化ケイ素に拡散することは、ホウ素をシリコンに拡散させることにより遅く、高濃度接合部の形成の効率に対して制限を呈する。この制限を管理する1つの方法は、水素の導入により誘電体における拡散率を向上させることである。Fairにより、水素の存在は、拡散率を2倍向上させることが示されている。水素の注入は、通常は、拡散中に、雰囲気から水素を導入する代替的手法に対して魅力的なプロセスである。アニーリングプロセスは、高温(>800°C)であり、水素は、空気との接触により可燃性になるため、これをアニーリング用雰囲気として用いることは危険である。半導体技術において水素の拡散を行う通常の手段は、はるかに安全な水素及び窒素の混合物で構成された雰囲気を用いることである。しかし、窒素の効果は、二酸化ケイ素におけるホウ素の拡散を後退させるものであるため、安全な混合物は、あまり利益をもたらさない。水素の注入は、二酸化ケイ素におけるホウ素の拡散を向上させるのに非常に安全で効率的な方法である。

40

【0040】

50

本発明のさらに別の態様は、通常のプロセスにおける注入制約の多くを緩和することである。これらの制約は、注入ドーズ量及び注入エネルギーを含む。この方法の一態様は、より高いドーズ量の注入の有用性が高められることである。注入が半導体基板の中に直接行われる通常のプロセスにおいては、ドーパントを無効なものにする種々の材料の代替的な位相の形成のために、効率的に注入することができるドーパント量には制限がある。例えば、シリコンの中にホウ素を注入する場合には、アニーリング温度で、注入濃度がホウ素の固溶度を超える場合には、過剰なホウ素がシリコンホウ化物として析出し、ホウ素を電気的に不動作なものにして回復を非常に困難にする。この機構は、通常プロセスにより達成することができる電気作動ホウ素の量に上限を設ける。提案された方法においては、注入ドーパントは、どのような代替的な位相材料も観察されていないアモルファス誘電体層の中に進む。したがって、すべての注入ホウ素は、誘電体層を通る拡散特性の確立により、超浅接合部の形成プロセスに貢献する。拡散特性が、半導体におけるホウ素の固溶度を超える濃度を含有することは、例えば、半導体表面に拡散するドーパントの流れを増加させることができるため、このプロセスに非常に有益である。提案された方法の別の態様は、表面誘電体層の中への注入は、注入エネルギーを増加できることである。通常の方法は、注入深さは、超浅接合部を確立する際の重要な要因であるため、極めて低い注入エネルギーの必要条件がある。提案されたプロセスにおいては、注入エネルギーは、プロセスを最適化するように選択することができる誘電体層の厚さに関連する。酸化物層を薄く維持し、低エネルギーの注入を利用するのは望ましいことであるが、この選択は、直接、接合部の深さに影響を与えるのではなく、拡散をより有効にするものである。注入の生産性は、直接、注入エネルギーに関連するため、提案された方法が好ましい。

【0041】

提案された方法の別の態様は、第2の種の注入を、この種の幾つかの有害な影響を避ける手段として用いることである。具体的には、水素によるホウ素拡散の向上を例に用いると、アニールが水素雰囲気で行われる場合に生じる、ゲート酸化物層を通るホウ素の拡散を向上させることは有害であり、すなわち任意の高温処理中に過剰な水素が得られることになる。提案された方法においては、水素の注入は、ホウ素の拡散が望まれる正確な領域にこれを置き、これは、回路の他の領域からマスクされる。本方法のさらに別の態様は、あらゆる過剰な水素は、他に領域に拡散することが可能であり、望ましくない場所での拡散を有害に向上させるため、十分に足る水素だけが導入されることである。向上された影響は、水素が拡散ホウ素に堆積し、クラスタとして拡散するものと信じられているため、1/1の比率が、プロセスの中に導入される水素の理想的な量である。注入により、この水素は、ホウ素が存在し拡散する正確な量で置かれる。水素雰囲気におけるアニーリングのような通常の方法は、大量の水素を半導体基板のすべての領域の中に導入して、望ましくない領域での拡散を高めるようになる。提案された方法のさらに別の実施形態は、2つの種を別々に注入して、第2の種を第1の種とは異なるようにマスクして、該第1の種が注入された或る領域だけが向上された拡散を受けるようにする選択を可能にすることである。このようにして、ソース/ドレイン延長部の2つの異なる最適化は、第2の注入をマスクするだけで得ることができる。このことは、今日の半導体製造プロセスに典型的な異なる特性をもつ種々のトランジスタが、単一のプロセスの流れで製造されるプロセスに有益になる。

【0042】

本発明のこの態様においては、ドーパント注入をディセル式注入機で行うことは極めて望ましくない。このことは、すべてのディセル注入機のビームには、ある程度のエネルギー汚染が存在するためである。市販のシステムにおいては、このエネルギー汚染は、生産可能プロセスに対して0.1ないし1.0%の範囲である。通常の浅い接合部プロセスにおいては、より高いエネルギーにおけるビーム部分であるこの汚染は、半導体基板の中により深く浸透して、注入形状にテールを形成し、このことは、一般に、プロセスの最適化において管理することができる。提案されたプロセスにおいては、より高いエネルギーのビームは、表面誘電体層を通り、半導体基板の中に浸透して、望ましくない注入領域を形成するた

め、この汚染はより有害なものである。提案されたプロセスは、通常の方法より高いドーズ量を使用する傾向があるため、半導体における汚染濃度は、通常の場合に比例して高くなり、問題を悪化させる。したがって、本方法の好ましい実施形態は、関心のある両方の種が、より高いエネルギー汚染の存在なしで、同時に注入されるドリフトモードにおけるクラスタ注入である。

【0043】

本発明が、幾つかの実施形態と併せて述べられた。本発明は、これに限定されるものではない。例えば、当業者には、種々の修正、改変、改良、及びこれらの組み合わせが可能であることが明らかであろう。

【0044】

明らかに、本発明の多数の修正及び変形が、上述の教示の観点から可能である。したがって、本発明は、別の方法により特に上述されたものではなく、特許請求の範囲内で実施することができることが理解されるであろう。

【0045】

特許請求され、特許状によりカバーされることが望まれるものが上述される。

【図面の簡単な説明】

【0046】

【図1a】本発明による2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図1b】本発明による2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図1c】本発明による2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図1d】本発明による2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図2a】本発明による、自己位置合わせドレイン延長部及びソース及びドレイン領域を達成する2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図2b】本発明による、自己位置合わせドレイン延長部及びソース及びドレイン領域を達成する2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図2c】本発明による、自己位置合わせドレイン延長部及びソース及びドレイン領域を達成する2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図3a】本発明による、非対称重なりトランジスタ構造体を形成する2つのゲートパターン形成工程をもつ2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図3b】本発明による、非対称重なりトランジスタ構造体を形成する2つのゲートパターン形成工程をもつ2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図3c】本発明による、非対称重なりトランジスタ構造体を形成する2つのゲートパターン形成工程をもつ2つの堆積によるゲート形成プロセスを示すプロセスのフロー図である。

【図4a】本発明によるノッチ形成されたトランジスタ構造体を形成するプロセスシーケンスを示すプロセスのフロー図である。

【図4b】本発明によるノッチ形成されたトランジスタ構造体を形成するプロセスシーケンスを示すプロセスのフロー図である。

【図4c】本発明によるノッチ形成されたトランジスタ構造体を形成するプロセスシーケンスを示すプロセスのフロー図である。

【図4d】本発明によるノッチ形成されたトランジスタ構造体を形成するプロセスシーケンスを示すプロセスのフロー図である。

【図4e】本発明によるノッチ形成されたトランジスタ構造体を形成するプロセスシーケンスを示すプロセスのフロー図である。

10

20

30

40

50

【図5】本発明による2工程のゲート形成プロセスのホウ素濃度をゲート電極深さの関数として示すグラフ図である。

【図6】表面誘電体層をもつ半導体基板の図である。

【図7】本発明の別の態様によるイオン注入層を誘電体層の中に形成するイオンビームを示す図である。

【図8】図7に示される本発明の実施形態による、ドーパントが誘電体層から外に拡散して浅い接合部が形成された熱処理後の基板を示す図である。

Fig. 1a

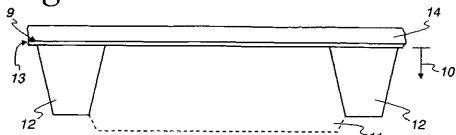


Fig. 1b

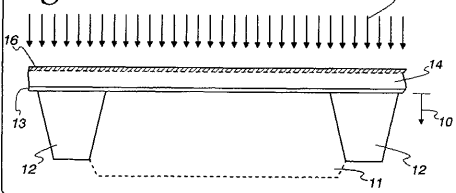


Fig. 1c

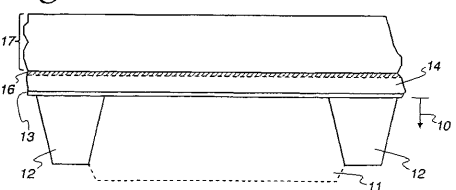


Fig. 1d

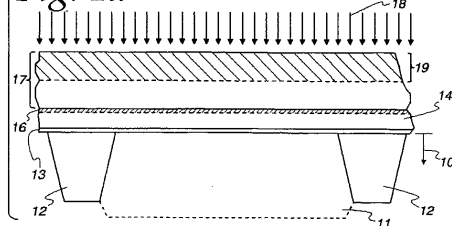


Fig. 2a

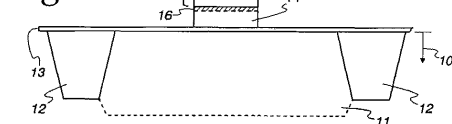


Fig. 2b

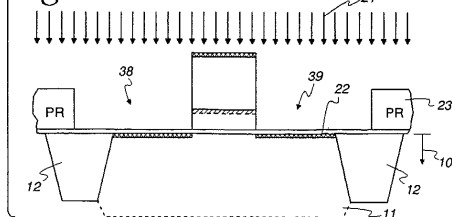


Fig. 2c

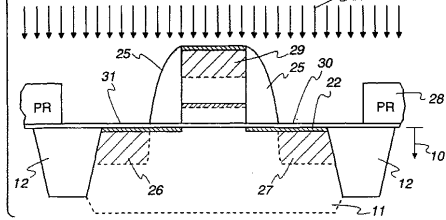


Fig. 3a

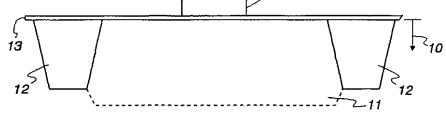


Fig. 3b

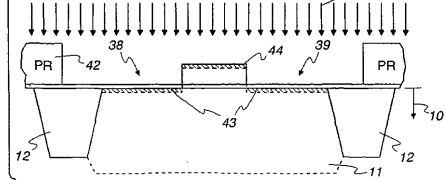


Fig. 3c

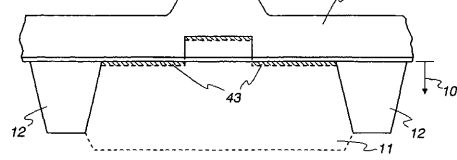


Fig. 3d

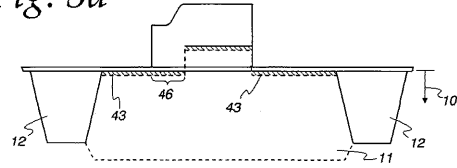


Fig. 3e

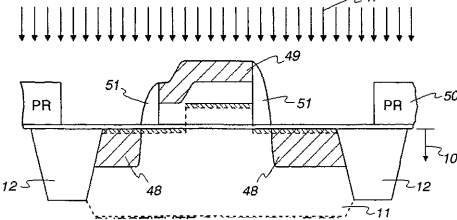


Fig. 4a

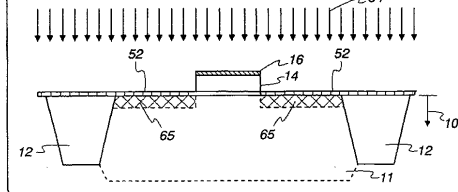


Fig. 4b

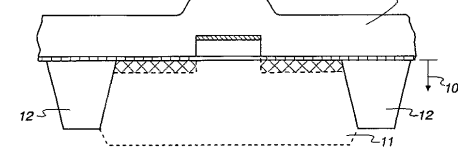


Fig. 4c

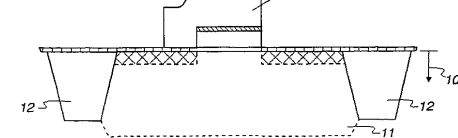


Fig. 4d

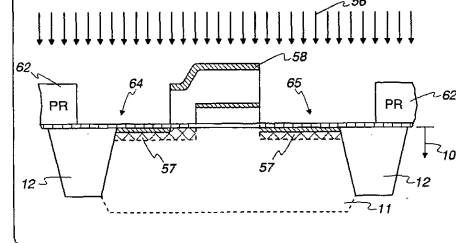
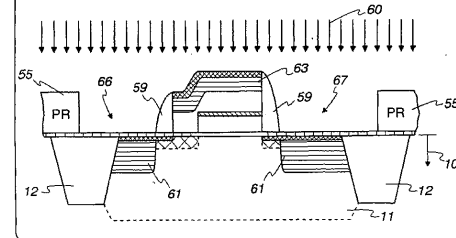


Fig. 4e



【 図 5 】

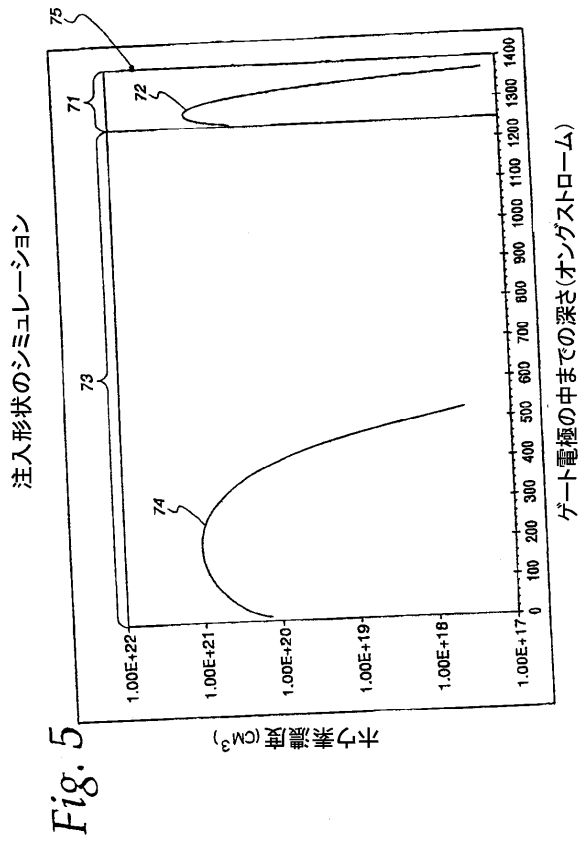


Fig. 6

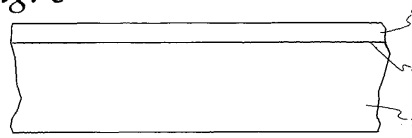


Fig. 7

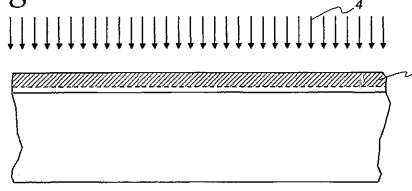
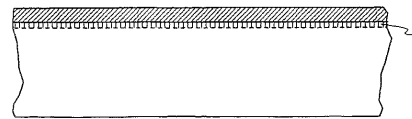


Fig. 8



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US03/19085

A. CLASSIFICATION OF SUBJECT MATTER

IPC(7) : H01L 21/425

US CL : 438/532, 563, 659

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 438/532, 558, 563, 592, 657, 659, 660

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
NONE

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

NONE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X -- Y	US 6,069,061 A (LIN et al.) 30 May 2000, Figs. 2, 4A-4E, text in col. 4, lines 28 to col. 5, line 42.	1-2, 4, 6-7, 9 ----- 3, 5, 8, 10
Y	US 5,837,598 A (ARONOWITZ et al.) 17 November 1998, col. 4, lines 1-24.	3, 5
Y	US 6,288,403 B1 (HORSKY et al.) 11 September 2001, col. 2, lines 9-43.	8, 10, 26-27
X -- Y	US 3,607,449 (TOKUYAMA et al.) 21 September 1971, Figs. 11-13, col. 3, lines 42-66.	24-25, 29-30 ----- 26-28

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

• Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Z" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

20 JANUARY 2004

Date of mailing of the international search report

19 APR 2004

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

CHANDRA CHAUDHARI

Telephone No. (703) 308-0956

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US03/19085

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5,801,086 A (LEE et al.) 1 September 1998, col. 3, lines 8-57.	28

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM ,ZW

(72)発明者 クラル ウェイド エイ

アメリカ合衆国 マサチューセッツ州 01945 マーブルヘッド スミス ストリート 8

(72)発明者 ジャコブソン デイル シー

アメリカ合衆国 ニューハンプシャー州 03079 セイラム フリントロック ロード 16

Fターム(参考) 5F048 AC01 BA01 BB01 BB02 BB03 BB05 BB07 BB12 BB16 BC03

BC06 BG13 DA23

5F140 AA13 AA28 AB03 AC01 BA01 BA06 BD05 BD07 BF01 BF04

BF33 BF37 BF42 BG08 BG32 BG43 BG44 BH15 BH30 BH47

BK02 BK13 BK21 CB04 CB08 CF07