(19) Deutsches Patent- und Markenamt

(10) **DE 10 2018 211 354 A1** 2019.03.14

(12) # Offenlegungsschrift

(21) Aktenzeichen: **10 2018 211 354.8**
(22) Anmeldetag: **10.07.2018**
(43) Offenlegungstag: **14.03.2019**

(51) Int Cl.: ***H01L 29/739*** (2006.01)
H01L 21/331 (2006.01)

(30) Unionspriorität:
2017-176838 14.09.2017 JP

(71) Anmelder:
Mitsubishi Electric Corporation, Tokyo, JP

(74) Vertreter:
Hoefer & Partner Patentanwälte mbB, 81543 München, DE

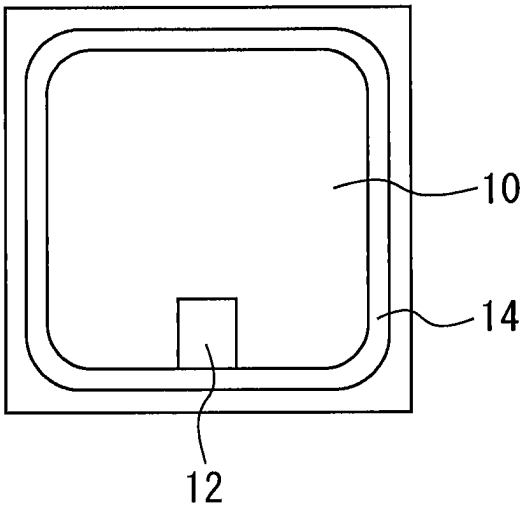
(72) Erfinder:
Takahashi, Tetsuo, Tokyo, JP

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleitervorrichtung, Verfahren zum Herstellen einer Halbleitervorrichtung und Leistungsumwandlungsvorrichtung**

(57) Zusammenfassung: Eine Halbleitervorrichtung umfasst ein Substrat eines ersten Leitfähigkeitstyps, eine Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, eine Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, eine Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, eine Gateelektrode über einen Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht und eine Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist, wobei der Gateisolierfilm einen ersten Teil in Kontakt mit der Emitterschicht und der Kanaldotierungsschicht, einen zweiten Teil in Kontakt mit der Trägerspeicherschicht und einen dritten Teil in Kontakt mit dem Substrat aufweist und zumindest ein Teil des zweiten Teils dicker ist als der erste Teil und der dritte Teil.



Beschreibung

Hintergrund

Gebiet

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung, ein Verfahren zum Herstellen einer Halbleitervorrichtung und eine Leistungsumwandlungsvorrichtung.

Stand der Technik

[0002] Im Allgemeinen wird gefordert, dass Leistungsvorrichtungen einen geringen Verlust, ein Stehspannungs-Haltevermögen, eine Gewährleistung eines sicheren Arbeitsbereichs, was verhindert, dass die Vorrichtungen während eines Betriebs ihrer Zerstörung entgegengehen, und dergleichen aufweisen. Daher sind Miniaturisierung und Gewichtseinsparung der Vorrichtungen fortgeschritten, was in einem umfassenden Sinne dazu geführt hat, der globalen Umwelt durch Reduzierung des Energieverbrauchs Sorge zu tragen. Ferner wurde gefordert, diese Eigenschaften zu den niedrigstmöglichen Kosten zu realisieren. Als eine Konfiguration zum Lösen des obigen Problems wurde häufig ein IGBT (Bipolartransistor mit isoliertem Gate) verwendet.

[0003] Die ungeprüfte japanische Patentanmeldung Veröffentlichungs-Nr. 2016-157934 A offenbart ein Halbleitersubstrat vom n^--Typ, das als eine Driftschicht dient, eine Basisschicht vom p-Typ, die auf der Driftschicht ausgebildet ist, und eine Trägerspeicherschicht, die so konfiguriert ist, dass sie eine höhere Verunreinigungskonzentration als die Driftschicht aufweist. Die Trägerspeicherschicht ist zwischen der Driftschicht und der Basisschicht vorgesehen.

[0004] Eine Periode, während der eine Halbleitervorrichtung wie etwa ein IGBT von einem AUS-Zustand zu einem EIN-Zustand schaltet, ist als eine Einschaltperiode definiert, und eine Periode, während der die Halbleitervorrichtung von einem EIN-Zustand zu einem AUS-Zustand schaltet, ist als eine Abschaltperiode definiert. In der Einschaltperiode und der Abschaltperiode kann die Halbleitervorrichtung Rauschen erzeugen, was eine Fehlfunktion anderer Vorrichtungen hervorrufen kann, oder die Halbleitervorrichtung selbst kann versagen. Wenn beispielsweise das Potential der Driftschicht oder der Trägerspeicherschicht variiert, fließt ein Verschiebungsstrom in einer Gateelektrode, um das Gatepotential zu ändern, was ein Risiko, dass eine Fehlfunktion auftritt, zur Folge hat. Wenn das Potential um die Gateelektrode herum unter einem Kurzschluss der Vorrichtung variiert, fließt überdies ein Verschiebungsstrom in der Gateelektrode, um das Gatepotential zu erhöhen, was ein Risiko zur Folge hat, dass der Kurzschlussstrom ansteigt und die Vorrichtung beschädigt.

[0005] Ein Verfahren zum Reduzieren der Tiefe einer Gateelektrode vom Grabentyp von der Oberfläche eines Substrats kann in Betracht gezogen werden, um einen nachteiligen Effekt zu verhindern, der durch den in der Gateelektrode fließenden Verschiebungsstrom hervorgerufen wird. Dieses Verfahren senkt jedoch die Haupt-Stehspannung zwischen einem Emitter und einem Kollektor.

Zusammenfassung

[0006] Die vorliegende Erfindung wurde verwirklicht, um die vorhergehenden Probleme zu lösen, und hat eine Aufgabe, eine Halbleitervorrichtung, ein Verfahren zum Herstellen einer Halbleitervorrichtung und eine Leistungsumwandlungsvorrichtung vorzusehen, die einen in einer Gateelektrode fließenden Verschiebungsstrom unterdrücken kann.

[0007] In einigen Beispielen umfasst eine Halbleitervorrichtung ein Substrat eines ersten Leitfähigkeitstyps, eine Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, eine Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, eine Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, eine Gateelektrode über einen Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht und eine Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist, wobei der Gateisolierfilm einen ersten Teil in Kontakt mit der Emitterschicht und der Kanaldotierungsschicht, einen zweiten Teil in Kontakt mit der Trägerspeicherschicht und einen dritten Teil in Kontakt mit dem Substrat aufweist und zumindest ein Teil des zweiten Teils dicker als der erste Teil und der dritte Teil ist.

[0008] In einigen Beispielen umfasst eine Halbleitervorrichtung ein Substrat eines ersten Leitfähigkeitstyps, eine Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, eine Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, eine Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, eine Gateelektrode über einen Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht, eine Leiterschicht in Kontakt mit der Trägerspeicherschicht und dem Substrat über einen Isolierungs-Isolierfilm, einen Trennungs-Isolierfilm, der eine untere Oberfläche der Gateelektrode bedeckt und eine obere Oberfläche der Leiter-

schicht bedeckt, um dadurch die Leiterschicht und die Gateelektrode voneinander elektrisch zu trennen, und eine Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist.

[0009] In einigen Beispielen umfasst eine Halbleitervorrichtung ein Substrat eines ersten Leitfähigkeitstyps, eine Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, eine Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, eine Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, eine Diffusionsschicht eines zweiten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht und der Emitterschicht benachbart ausgebildet ist, einen ersten Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht unter der Emitterschicht und der Trägerspeicherschicht unter der Emitterschicht, einen zweiten Gateisolierfilm, der mit der Diffusionsschicht, der Kanaldotierungsschicht unter der Diffusionsschicht und der Trägerspeicherschicht unter der Diffusionsschicht in Kontakt ist und dicker als der erste Gateisolierfilm ist, eine Gateelektrode in Kontakt mit dem ersten Gateisolierfilm und eine Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist.

[0010] In einigen Beispielen umfasst eine Halbleitervorrichtung ein Substrat eines ersten Leitfähigkeitstyps, eine Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, eine Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, eine Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, eine Gateelektrode über einen Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht und eine Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist, wobei die Gateelektrode eine erste Gateelektrode auf einer oberen Oberflächenseite des Substrats und eine zweite Gateelektrode aufweist, die mit einer unteren Oberfläche der ersten Gateelektrode in Kontakt ist und eine geringere Verunreinigungskonzentration als die erste Gateelektrode aufweist, und eine Begrenzung zwischen der ersten Gateelektrode und der zweiten Gateelektrode ist neben der Trägerspeicherschicht gelegen.

[0011] In einigen Beispielen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Trägerspeicherschicht eines ersten Leitfähigkeitstyps auf einem Substrat eines ersten Leitfähigkeitstyps, ein Ausbilden einer Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht und ein Ausbilden einer Emitterschicht eines ersten Leitfähigkeitstyps auf der Kanaldotierungsschicht, ein Implantieren von Ionen in einen Seitenwandabschnitt der Trägerspeicherschicht, ein Ausbilden eines Gateisolierfilms auf einem Seitenwandabschnitt der Trägerspeicherschicht, einem Seitenwandabschnitt der Kanaldotierungsschicht, einem Seitenwandabschnitt der Emitterschicht und dem Substrat und ein Ausbilden einer Gateelektrode in Kontakt mit dem Gateisolierfilm.

[0012] In einigen Beispielen umfasst ein Verfahren zum Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Trägerspeicherschicht eines ersten Leitfähigkeitstyps auf einem Substrat eines ersten Leitfähigkeitstyps, ein Ausbilden einer Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht und ein Ausbilden einer Emitterschicht eines ersten Leitfähigkeitstyps auf der Kanaldotierungsschicht, ein Ausbilden eines Grabens in der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht, so dass das Substrat zum Graben freigelegt ist, ein Ausbilden eines Isolierungs-Isolierfilms an einem Abschnitt, der zum Graben freigelegt ist und ein Einbetten bzw. Füllen (engl. embedding) des Grabens mit einer Leiterschicht, ein teilweises Entfernen der Leiterschicht und des Isolierungs-Isolierfilms, um eine Seitenoberfläche der Emitterschicht, eine Seitenoberfläche der Kanaldotierungsschicht und eine Seitenoberfläche der Trägerspeicherschicht teilweise freizulegen, und ein Ausbilden eines Trennungs-Isolierfilms auf einer oberen Oberfläche der Leiterschicht, ein partielles Entfernen des Gateisolierfilms auf der Seitenoberfläche der Emitterschicht, der Seitenoberfläche der Kanaldotierungsschicht und der Seitenoberfläche der Trägerspeicherschicht und ein Füllen des Grabens mit einer Gateelektrode.

[0013] In einigen Beispielen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Trägerspeicherschicht eines ersten Leitfähigkeitstyps auf einem Substrat eines ersten Leitfähigkeitstyps, ein Ausbilden einer Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht und ein Ausbilden einer Emitterschicht eines ersten Leitfähigkeitstyps teilweise auf der Kanaldotierungsschicht, ein Ausbilden eines Grabens bei einem Abschnitt, wo die Emitterschicht in Draufsicht ausgebildet ist, so dass der Graben in Draufsicht eine lineare Seitenoberfläche aufweist und das Substrat zum Graben freigelegt ist, und ein Ausbilden eines Grabens bei einem Abschnitt, wo die Emitterschicht in Draufsicht nicht ausgebildet ist, so dass der Graben eine faltenbalgförmige Seitenoberfläche in Draufsicht aufweist und das Substrat zum Graben freigelegt ist, ein Durchführen einer thermischen Oxidation auf den Seitenoberflächen der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht und dem Substrat, das zum Gra-

ben freigelegt ist, um einen Gateisolierfilm auszubilden, und ein Ausbilden einer Gateelektrode in Kontakt mit dem Gateisolierfilm.

[0014] In einigen Beispielen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Ausbilden einer Trägerspeicherschicht eines ersten Leitfähigkeitstyps auf einem Substrat eines ersten Leitfähigkeitstyps, ein Ausbilden einer Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht und ein Ausbilden einer Emitterschicht eines ersten Leitfähigkeitstyps teilweise auf der Kanaldotierungsschicht, ein teilweises Ätzen eines Abschnitts, wo die Emitterschicht in Draufsicht ausgebildet ist, und eines Abschnitts, wo die Emitterschicht in Draufsicht nicht ausgebildet ist, wodurch ein erster Graben gebildet wird, zu dem das Substrat freigelegt ist, ein Füllen des ersten Grabens mit einem Gateisolierfilm, ein Ätzen eines Teils des Gateisolierfilms bei dem Abschnitt, wo die Emitterschicht in Draufsicht ausgebildet ist, so dass die Emitterschicht, die Kanaldotierungsschicht, die Trägerspeicherschicht und das Substrat nicht freigelegt werden, wodurch ein zweiter Graben in dem Gateisolierfilm gebildet wird, ein Füllen des zweiten Grabens mit einer Gateelektrode, und ein Ausbilden einer Gateleitung auf dem Gateisolierfilm bei dem Abschnitt, wo die Emitterschicht in Draufsicht nicht ausgebildet ist, und der Gateelektrode.

[0015] In einigen Beispielen umfasst eine Leistungsumwandlungsvorrichtung eine Halbleitervorrichtung mit einem Substrat eines ersten Leitfähigkeitstyps, einer Trägerspeicherschicht eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats ausgebildet ist, einer Kanaldotierungsschicht eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht ausgebildet ist, einer Emitterschicht eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht ausgebildet ist, einer Gateelektrode über einen Gateisolierfilm in Kontakt mit der Emitterschicht, der Kanaldotierungsschicht und der Trägerspeicherschicht und einer Kollektorschicht eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats ausgebildet ist, wobei der Gateisolierfilm einen ersten Teil in Kontakt mit der Emitterschicht und der Kanaldotierungsschicht, einen zweiten Teil in Kontakt mit der Trägerspeicherschicht und einen dritten Teil in Kontakt mit dem Substrat aufweist und zumindest ein Teil des zweiten Teils dicker ist als der erste Teil und der dritte Teil, eine Hauptumwandlungsschaltung, um eine eingespeiste Leistung umzuwandeln und die umgewandelte Leistung abzugeben, eine Ansteuerschaltung, um an die Halbleitervorrichtung ein Ansteuersignal zum Ansteuern der Halbleitervorrichtung abzugeben, und eine Steuerschaltung, um an die Ansteuerschaltung ein Steuersignal zum Steuern der Ansteuerschaltung abzugeben.

[0016] Andere und weitere Aufgaben, Merkmale und Vorteile der Erfindung werden aus der folgenden Beschreibung vollständiger verstanden werden.

Figurenliste

Fig. 1 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform zeigt;

Fig. 2 ist eine teilweise vergrößerte Draufsicht des Vorrichtungsbereichs von **Fig. 1**;

Fig. 3 ist eine Querschnittsansicht, genommen entlang einer Linie **A**-**A'** von **Fig. 2**;

FIG: 4 ist eine Querschnittsansicht, genommen entlang einer Linie **B**-**B'** von **Fig. 2**;

Fig. 5 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 6 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 7 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 8 ist eine Querschnittsansicht der Halbleitervorrichtung gemäß der zweiten Ausführungsform;

Fig. 9 ist eine Querschnittsansicht der Halbleitervorrichtung gemäß der zweiten Ausführungsform;

Fig. 10 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 11 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 12 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 13 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 14 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 15 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer dritten Ausführungsform;

Fig. 16 ist eine Querschnittsansicht der Halbleitervorrichtung, genommen entlang einer Linie **C**-**C'** von **Fig. 16**;

Fig. 17 ist eine Querschnittsansicht der Halbleitervorrichtung, genommen entlang einer Linie **D**-**D'** von **Fig. 15**;

Fig. 18 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 19 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 20 ist eine Draufsicht einer Lichtdruck- bzw. Lithographiemaske;

Fig. 21 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 22 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 23 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 24 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 25 ist eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer vierten Ausführungsform;

Fig. 26 ist eine Querschnittsansicht einer Halbleitervorrichtung gemäß einer vierten Ausführungsform;

Fig. 27 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer fünften Ausführungsform;

Fig. 28 ist eine Querschnittsansicht der Halbleitervorrichtung, genommen entlang einer Linie **G-G'** von **Fig. 27**;

Fig. 29 ist eine Querschnittsansicht der Halbleitervorrichtung, genommen einer Linie **H-H'** von **Fig. 27**;

Fig. 30 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 31 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 32 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 33 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 34 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 35 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 36 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 37 ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung;

Fig. 38 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer sechsten Ausführungsform;

Fig. 39 ist eine Querschnittsansicht, genommen entlang einer Linie **I-I'** von **Fig. 38**; und

Fig. 40 ist ein Blockdiagramm, das die Konfiguration eines Leistungsumwandlungssystems gemäß einer siebten Ausführungsform zeigt.

Detaillierte Beschreibung

[0017] Unter Bezugnahme auf die Zeichnungen werden eine Halbleitervorrichtung, ein Verfahren zum Herstellen einer Halbleitervorrichtung und eine Leistungsumwandlungsvorrichtung gemäß Ausführungsformen der vorliegenden Erfindung beschrieben. Die gleichen oder entsprechenden einzelnen Vorrichtungen werden durch die gleichen Bezugszeichen repräsentiert, und deren doppelte Beschreibungen können weggelassen werden.

Erste Ausführungsform

[0018] Fig. 1 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform zeigt. Auf einem Wafer sind mehrere Halbleitervorrichtungen ausgebildet, und eine dieser Halbleitervorrichtungen ist in **Fig. 1** dargestellt. Diese Halbleitervorrichtung bildet einen IGBT-Chip. Die Halbleitervorrichtung umfasst einen Vorrichtungsbereich **10**, einen Gatepad-Bereich **12** und einen Stehspannungs-Haltebereich **14**, der den Vorrichtungsbereich **10** und den Gatepad-Bereich **12** umgibt. Ob ein Strom im Vorrichtungsbereich **10** fließt oder nicht, ist gemäß einer an den Gatepad-Bereich **12** angelegten Spannung bestimmt. Der Stehspannungs-Haltebereich **14** ist so ausgebildet, dass er eine Verarmungsschicht zur Außenseite des Vorrichtungsbereichs **10** erweitert.

[0019] Fig. 2 ist eine teilweise vergrößerte Draufsicht des Vorrichtungsbereichs **10** von **Fig. 1**. Mehrere lineare Gateelektroden **20** sind im Vorrichtungsbereich **10** vorgesehen. Die Gateelektroden **20** sind zum Beispiel aus Polysilizium geschaffen. Ein Gateisolierfilm **22** ist mit der Gateelektrode **20** in Kontakt. Eine Diffusionsschicht **24** und eine Emitterschicht **26** sind mit dem Gateisolierfilm **22** in Kontakt. In **Fig. 2** ist ein schraffierter Abschnitt auch ein Teil der Diffusionsschicht **24**. Der schraffierte Abschnitt hat eine Verunreinigungskonzentration eines zweiten Leitfähigkeitstyps, welche niedriger als diejenige bei dem Mittelabschnitt der Diffusionsschicht **24** ist. Die Diffusionsschicht **24** ist ein Leitfähigkeitstyp vom p-Typ, und die Emitterschicht ist ein Leitfähigkeitstyp vom n-Typ. Im Folgenden wird auf n-Typ als „erster Leitfähigkeitstyp“ verwiesen, und auf p-Typ wird als „zweiter Leitfähigkeitstyp“ verwiesen. Die Leitfähigkeitstypen der jeweiligen Abschnitte können umgekehrt sein. Durch gestrichelte Linien umgebene Bereiche in **Fig. 2** sind Emitterkontaktbereiche **28**.

[0020] Fig. 3 ist eine Querschnittsansicht, genommen entlang einer Linie **A-A'** von **Fig. 2**. Ein Substrat **30** ist ein als eine Driftschicht fungierender Abschnitt. Das Substrat **30** besteht aus beispielsweise Si eines ersten Leitfähigkeitstyps. Das Substrat hat einen Leitfähigkeitstyp vom n^--Typ. Trägerspeicherschichten **32** eines ersten Leitfähigkeitstyps sind auf der oberen Oberflächenseite des Substrats **30** vorgesehen. Kanaldotierungsschichten **34** eines zweiten Leitfähigkeitstyps sind auf den Trägerspeicherschichten **32** vorgesehen. Emitterschichten **26** eines ers-

ten Leitfähigkeitstyps sind auf den Kanaldotierungsschichten **34** vorgesehen. Die Trägerspeicherschicht **32**, die Kanaldotierungsschicht **34** und die Emitterschicht **26** sind Schichten vom n-Typ, p-Typ bzw. n^+-Typ.

[0021] Die Gateelektrode **20** ist über einen Gateisolierfilm **22** mit der Emitterschicht **26**, der Kanaldotierungsschicht **34**, der Trägerspeicherschicht **32** und dem Substrat **30** in Kontakt. Der Gateisolierfilm **22** hat einen ersten Teil **22a** in Kontakt mit der Emitterschicht **26** und der Kanaldotierungsschicht **34**, einen zweiten Teil **22b** in Kontakt mit der Trägerspeicherschicht **32** und einen dritten Teil **22c** in Kontakt mit dem Substrat **30**. Zumindest ein Teil des zweiten Teils **22b** ist dicker als der erste Teil **22a** und der dritte Teil **22c**. Mit anderen Worten ist ein Teil mit der größten Dicke im Gateisolierfilm **22** bei einem Abschnitt vorhanden, der sandwichartig zwischen der Gateelektrode **20** und der Trägerspeicherschicht **32** liegt.

[0022] Eine Emitterelektrode **38** in Kontakt mit den Emitterschichten **26** ist auf den Emitterschichten **26** vorgesehen. Ein Zwischenschicht-Isolierfilm **36** ist zwischen der Emitterelektrode **38** und der Gateelektrode **20** vorgesehen, so dass die Emitterelektrode **38** und die Gateelektrode **20** voneinander elektrisch isoliert sind.

[0023] Eine Pufferschicht **40** eines ersten Leitfähigkeitstyps ist auf der unteren Oberflächenseite des Substrats **30** ausgebildet. Die Pufferschicht **40** kann als eine Schicht vom n-Typ konfiguriert sein. Eine Kollektorschicht **42** eines zweiten Leitfähigkeitstyps ist auf der unteren Oberflächenseite der Pufferschicht **40** ausgebildet. Die Kollektorschicht **42** kann als eine Schicht vom p^+-Typ konfiguriert sein. Auf der unteren Oberflächenseite der Kollektorschicht **42** ist eine Kollektorelektrode **44** ausgebildet. Eine andere Struktur mit der Kollektorschicht **42** kann als die Struktur auf der unteren Oberflächenseite des Substrats **30** übernommen werden.

[0024] **Fig. 4** ist eine Querschnittsansicht, die entlang einer Linie **B**-**B'** von **Fig. 2** genommen ist. Die Diffusionsschicht **24** ist auf der Kanaldotierungsschicht **34** vorgesehen. Die Diffusionsschicht **24** ist eine der Emitterschicht **26** benachbarte Schicht eines zweiten Leitfähigkeitstyps. Die Diffusionsschicht **24** kann als eine Schicht vom p^+-Typ konfiguriert sein. Der Gateisolierfilm **22** weist einen vierten Teil **22d** in Kontakt mit der Diffusionsschicht **24** und der Kanaldotierungsschicht **34** unter der Diffusionsschicht **24**, einen fünften Teil **22e** in Kontakt mit der Trägerspeicherschicht **32** unter der Diffusionsschicht **24** und einen sechsten Teil **22f** in Kontakt mit dem Substrat **30** unter der Diffusionsschicht **24** auf. Zumindest ein Teil des fünften Teils **22e** ist dicker als der vierte Teil **22d** und der sechste Teil **22f**. Mit anderen Worten ist ein Teil mit der größten Dicke im Gateisolierfilm **22** bei einem Abschnitt vorhanden, der sandwichartig zwischen der Gateelektrode **20** und der Trägerspeicherschicht **32** liegt. Der fünfte Teil **22e** von **Fig. 4** hat die gleiche Form wie der zweite Teil **22b** von **Fig. 3**.

[0025] Ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform wird beschrieben. Zuerst wird die Trägerspeicherschicht **32** auf dem Substrat **30** ausgebildet, wird die Kanaldotierungsschicht **34** auf der Trägerspeicherschicht **32** ausgebildet und wird die Emitterschicht **26** auf der Kanaldotierungsschicht **34** ausgebildet. Danach werden die Emitterschicht **26**, die Kanaldotierungsschicht **34** und die Trägerspeicherschicht **32** teilweise geätzt, um Gräben auszubilden, wodurch das Substrat **30** freigelegt wird. **Fig. 5** ist eine Querschnittsansicht einer Halbleitervorrichtung, in der Gräben zum Freilegen des Substrats **30** ausgebildet sind.

[0026] Als Nächstes werden Ionen in Seitenwandabschnitte der Trägerspeicherschichten **32** implementiert. Ionen werden in die Seitenwandabschnitte der Trägerspeicherschichten **32** zum Beispiel durch Verwenden einer allgemeinen Lichtdruck- bzw. Lithographietechnik und einer Ionenimplantationstechnik implantiert. **Fig. 6** ist eine Querschnittsansicht der Halbleitervorrichtung und zeigt, dass ionenimplantierte Abschnitte **50** an den Seitenwandabschnitten der Trägerspeicherschichten **32** ausgebildet sind. Der Zweck einer lokalen Implantation von Ionen, um die ionenimplantierten Abschnitte **50** auszubilden, besteht darin, eine Oxidationsrate zu erhöhen.

[0027] Als Nächstes wird der Gateisolierfilm auf den Seitenwandabschnitten der Trägerspeicherschichten **32**, den Seitenwandabschnitten der Kanaldotierungsschichten **34**, den Seitenwandabschnitten der Emitterschicht **26** und dem Substrat **30** ausgebildet. **Fig. 7** ist eine Querschnittsansicht der Halbleitervorrichtung, in der der Gateisolierfilm **22** ausgebildet ist. Der Gateisolierfilm **22** wird zum Beispiel durch thermische Oxidation geschaffen, welche ein Verfahren zum Durchführen einer Oxidation bei einer hohen Temperatur ist. Da die ionenimplantierten Abschnitte **50** in den Trägerspeicherschichten **32** ausgebildet sind, schreitet die Oxidation insbesondere bei diesen Abschnitten voran. Als Folge wird der zweite Teil **22b** aus dem Gateisolierfilm **22** so ausgebildet, dass er die größte Dicke aufweist. Als Nächstes werden die Gateelektroden **20** in Kontakt mit dem Gateisolierfilm **22** ausgebildet. Anschließend wird eine gut bekannte Prozessierung durchgeführt, und danach ist die in **Fig. 1** bis **Fig. 4** dargestellte Halbleitervorrichtung fertiggestellt.

[0028] Als Nächstes wird der Betrieb der Halbleitervorrichtung gemäß der ersten Ausführungsform beschrieben. Wenn die Halbleitervorrichtung eingeschaltet wird, um auf einen leitfähigen Zustand ein-

gestellt zu werden, wird an die Gateelektrode **20** eine positive Spannung angelegt. Zu dieser Zeit wird ein MOSFET, der die Emitterschicht **26**, die Kanaldotierungsschicht **34**, die Trägerspeicherschicht **32**, den Gateisolierfilm **22** und die Gateelektrode **20** umfasst, eingeschaltet, so dass Elektronen von der Emitterelektrode **38** und Löcher von der Kollektorelektrode **44** in das Substrat **30** fließen und die Träger im Substrat **30** akkumuliert werden, wodurch eine Leitfähigkeitsmodulation stattfindet. Als Folge nimmt die Spannung zwischen dem Kollektor und dem Emitter ab, und die Halbleitervorrichtung wird auf den leitfähigen Zustand eingestellt.

[0029] Auf der anderen Seite wird, wenn die Halbleitervorrichtung auf einen AUS-Zustand eingestellt wird, die Spannung der Gateelektrode **20** auf eine Schwellenspannung oder weniger des MOSFET eingestellt, der die Emitterschicht **26**, die Kanaldotierungsschicht **34**, die Trägerspeicherschicht **32**, den Gateisolierfilm **22** und die Gateelektrode **20** umfasst. Als Folge werden die Träger, um von der Emitterelektrode **38** und der Kollektorelektrode **44** in das Substrat **30** zu fließen, blockiert, und im Substrat **30** akkumulierte überschüssige Träger werden abgeleitet, und das Substrat **30** wird verarmt, wodurch die Halbleitervorrichtung auf den AUS-Zustand eingestellt wird. Wenn die Halbleitervorrichtung gemäß der ersten Ausführungsform als ein Teil einer Inverterschaltung vorgesehen ist, werden der EIN-Zustand und der AUS-Zustand der Halbleitervorrichtung wiederholt.

[0030] Wenn die Halbleitervorrichtung eingeschaltet wird, fließt ein Verschiebungsstrom von dem Gateisolierfilm **22**, der als eine kapazitive Komponente wirkt, infolge einer Spannungsvariation des Substrats **30**, einer Variation eines Stroms, der in dem Kanal des oben beschriebenen MOSFET fließt, oder dergleichen. Da sich Strom eher insbesondere an der Grenzfläche zwischen der Trägerspeicherschicht **32** mit einer hohen Verunreinigungskonzentration und dem Gateisolierfilm **22** konzentriert, kann die Trägerspeicherschicht **32** durch die Stromvariation beeinflusst werden, so dass ein unerwünschter Betrieb wie etwa eine Oszillation hervorgerufen wird. Ein Lift-up des Gates unter Kurzschluss, eine Erhöhung des Wertes von dV/dt beim Einschalten usw. werden als Beispiele des unerwünschten Betriebs betrachtet. Auf der anderen Seite kann in der ersten Ausführungsform der Verschiebungsstrom selbst reduziert werden, indem die Dicke des zweiten Teils **22b** in Kontakt mit der Trägerspeicherschicht **32** erhöht wird. Daher kann das Hervorrufen des unerwünschten Betriebs wie etwa eine Fehlfunktion erschwert werden.

[0031] Da ein Vorsehen der Trägerspeicherschicht **32** den Trägerakkumulierungseffekt des Substrats **30** steigert, wenn die Halbleitervorrichtung eingeschaltet wird, wird überdies eine EIN-Spannung gesenkt. Daher kann ein stationärer Verlust reduziert werden, wenn eine Inverterschaltung durch die Halbleitervorrichtung konfiguriert wird. Diese Effekte können erhalten werden, wenn ein dick ausgebildeter Abschnitt des zweiten Teils **22b** nur mit einem Teil der Trägerspeicherschicht **32** in Kontakt ist. Der dick ausgebildete Abschnitt aus dem Gateisolierfilm **22** kann sich bis zu einem Abschnitt erstrecken, wo der Gateisolierfilm **22** mit dem Substrat **30** in Kontakt ist.

[0032] Die Dicke des ersten Teils **22a** des Gateisolierfilms **22** bestimmt den Kanalstrom des MOSFET der Halbleitervorrichtung. Dementsprechend muss die Dicke des ersten Teils **22a** auf eine vorbestimmte Dicke eingestellt werden. Wird jedoch der dicke Abschnitt des zweiten Teils **22b** an den ersten Teil **22a** angenähert, besteht eine Gefahr, dass der erste Teil **22a** aufgrund von Prozessschwankungen ebenfalls dick ausgebildet wird. Daher ist es vorzuziehen, dass der Abschnitt des zweiten Teils **22b**, welcher dicker als der erste Teil **22a** und der dritte Teil **22c** ist, abseits vom ersten Teils **22a** positioniert wird. In der ersten Ausführungsform ist nur der Mittelabschnitt des zweiten Teils **22b** dicker als der erste Teil **22a** und der dritte Teil **22c**. Als Folge kann eine Zunahme der Dicke des ersten Teils **22a** selbst unter Berücksichtigung der Prozessschwankungen vermieden werden.

[0033] Verschiedene Modifikationen können an der Halbleitervorrichtung und dem Verfahren zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform in dem Maße vorgenommen werden, in dem deren Merkmale nicht verlorengehen. Bezüglich der Halbleitervorrichtung und des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß den folgenden Ausführungsformen werden hauptsächlich die Unterschiede zu der ersten Ausführungsform beschrieben, da sie viele gemeinsame Punkte mit der ersten Ausführungsform aufweisen.

Zweite Ausführungsform

[0034] Die Draufsicht der Halbleitervorrichtung gemäß einer zweiten Ausführungsform ist die gleiche wie in **Fig. 1** und **Fig. 2** und wird somit weggelassen. **Fig. 8** ist eine Querschnittsansicht der Halbleitervorrichtung gemäß der zweiten Ausführungsform. Diese Querschnittsansicht ist eine Querschnittsansicht, die einen Abschnitt zeigt, wo die Emitterschicht **26** der Halbleitervorrichtung vorhanden ist, und folglich kann man sagen, dass **Fig. 8** der Querschnittsansicht, genommen entlang einer Linie **A**-**A'** von **Fig. 2**, entspricht. Die Gateelektrode **20** ist über einen Gateisolierfilm **22A** mit der Emitterschicht **26**, der Kanaldotierungsschicht **34** und der Trägerspeicherschicht **32** in Kontakt. Die obere Oberfläche der Gateelektrode **20** ist mit Ausnahme eines mit einer Gateleitung verbundenen Abschnitts durch den Zwischenschicht-Isolierfilm **35** bedeckt. Die Seitenoberfläche der Gateelektrode **20** ist durch den Gateisolierfilm **22A** bedeckt.

Die untere Oberfläche der Gateelektrode **20** ist durch einen Trennungs-Isolierfilm **22B** bedeckt.

[0035] Unter dem Trennungs-Isolierfilm **22B** ist eine Leiterschicht **60** ausgebildet. Die Leiterschicht **60** ist mit der gleichen Breite wie die Gateelektrode **20** genau unter der Gateelektrode **20** ausgebildet. Die Leiterschicht **60** ist über einen Isolierungs-Isolierfilm **22C** mit der Trägerspeicherschicht **32** und dem Substrat **30** in Kontakt. Die obere Oberfläche der Leiterschicht **60** ist durch den Trennungs-Isolierfilm **22B** bedeckt, und die Seitenoberfläche und die untere Oberfläche davon sind durch den Isolierungs-Isolierfilm **22C** bedeckt. Die Leiterschicht **60** ist von dem Trennungs-Isolierfilm **22B** und dem Isolierungs-Isolierfilm **22C** umgeben, so dass sie von den anderen Leitern elektrisch isoliert ist. Das heißt, das Potential der Leiterschicht **60** ist frei schwebend bzw. potentialfrei. Es ist vorzuziehen, dass die Leiterschicht **60** durch den Isolierungs-Isolierfilm **22C** und den Trennungs-Isolierfilm **22B** ganz bedeckt ist.

[0036] **Fig. 9** ist eine Querschnittsansicht, die einen Abschnitt zeigt, wo die Diffusionsschichten **24** der Halbleiterschicht gemäß der zweiten Ausführungsform vorhanden sind. Man kann sagen, dass **Fig. 9** der entlang einer Linie **B**-**B'** von **Fig. 2** genommenen Querschnittsansicht entspricht. Der Gateisolierfilm **22A**, der Trennungs-Isolierfilm **22B**, der Isolierungs-Isolierfilm **22C**, die Gateelektrode **20** und die Leiterschicht **60** sind ebenfalls bei dem Abschnitt vorgesehen, wo die Diffusionsschicht **24** vorhanden ist. Diese Vorrichtungen sind mit dem Gateisolierfilm **22A**, dem Trennungs-Isolierfilm **22B**, dem Isolierungs-Isolierfilm **22C**, der Gateelektrode **20** und der Leiterschicht **60** von **Fig. 8** verbunden.

[0037] Wie oben beschrieben wurde, ist die Halbleitervorrichtung gemäß der zweiten Ausführungsform mit dem Trennungs-Isolierfilm **22B** versehen, der die untere Oberfläche der Gateelektrode **20** bedeckt und auch die obere Oberfläche der Leiterschicht **60** bedeckt, um die Leiterschicht **60** und die Gateelektrode **20** elektrisch voneinander zu trennen. Es ist vorzuziehen, dass die Höhe des Trennungs-Isolierfilms **22B** und die dazwischenliegende Höhe der Trägerspeicherschicht **32** einander gleich sind. Das heißt, es ist vorzuziehen, den Trennungs-Isolierfilm **22B** neben der Zwischenposition zwischen den oberen und unteren Oberflächen der Trägerspeicherschicht **32** vorzusehen. Da die Kapazität der Gateelektrode **20**, die von der Trägerspeicherschicht **32** oder dem Substrat **30**, das unter dem Trennungs-Isolierfilm **22B** gelegen ist, betrachtet wird, gleich der Reihen-Summe der Kapazität des Isolierungs-Isolierfilms **22C** und der Kapazität des Trennungs-Isolierfilms **22B** ist, kann die effektive Kapazität reduziert werden. Daher wird der Verschiebungsstrom, der aufgrund der Potentialvariation der Trägerspeicherschicht **32** oder des Substrats **30** auftritt, reduziert, so dass die Variation des Gatepotentials unterdrückt werden kann. Dieser Effekt kann erhalten werden, indem der Trennungs-Isolierfilm **22B** neben der Trägerspeicherschicht **32** vorgesehen wird.

[0038] Ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der zweiten Ausführungsform wird unter Bezugnahme auf **Fig. 10** bis **Fig. 14** beschrieben, welche Querschnittsansichten sind. Zuerst wird eine in **Fig. 10** dargestellte Struktur durch ein wohlbekanntes Verfahren hergestellt. **Fig. 10** ist eine Querschnittsansicht einer Halbleitervorrichtung in der Fertigung. Wie in **Fig. 10** dargestellt ist, ist die Trägerspeicherschicht **32** auf dem Substrat **30** ausgebildet, ist die Kanaldotierungsschicht **34** auf der Trägerspeicherschicht **32** ausgebildet, und die Emitterschicht **26** ist auf der Kanaldotierungsschicht **34** ausgebildet. Anschließend werden Gräben, zu denen das Substrat **30** freigelegt wird, in der Emitterschicht **26**, der Kanaldotierungsschicht **34** und der Trägerspeicherschicht **32** ausgebildet, wird der Isolierungs-Isolierfilm **22C** auf zu den Gräben freigelegten Abschnitten ausgebildet, und die Gräben werden mit den Leiterschichten **60** gefüllt. Die Isolierungs-Isolierfilm **22C** ist zum Beispiel ein Siliziumoxidfilm. Die Leiterschichten **60** bestehen vorzugsweise aus Polysilizium.

[0039] Anschließend wird eine in **Fig. 11** dargestellte Struktur hergestellt. **Fig. 11** zeigt, dass Teile der Leiterschichten **60** entfernt werden. In diesem Schritt werden Teile der Leiterschichten **60** selektiv zurückgeätzt. Die obere Oberfläche der Leiterschicht **60** liegt neben der Trägerspeicherschicht **32**. Danach ist eine in **Fig. 12** dargestellte Struktur hergestellt. **Fig. 12** zeigt, dass Teile der Isolierungs-Isolierfilme **22C** selektiv entfernt sind. Zuerst werden wie unter Bezugnahme auf **Fig. 11** beschrieben Teile der Leiterschichten **60** entfernt, und danach werden die Teile der Isolierungs-Isolierfilme **22C** entfernt, wodurch die Seitenoberflächen der Emitterschichten **26**, die Seitenoberflächen der Kanaldotierungsschichten **34** und die Seitenoberflächen der Trägerspeicherschichten **32** teilweise freigelegt werden.

[0040] Danach wird eine in **Fig. 13** dargestellte Struktur hergestellt, indem eine Gateoxidation durchgeführt wird. **Fig. 13** zeigt, dass der Trennungs-Isolierfilm **22B** auf der oberen Oberfläche der Leiterschicht **60** ausgebildet wird und der Gateisolierfilm **22A** auf Teilen der Seitenoberfläche der Emitterschicht **26**, der Seitenoberfläche der Kanaldotierungsschicht **34** und der Seitenoberfläche der Trägerspeicherschicht **32** ausgebildet wird. Der Trennungs-Isolierfilm **22B** und der Gateisolierfilm **22A** können durch eine Oxidationsbearbeitung gebildet werden.

[0041] Anschließend werden, wie in **Fig. 14** dargestellt ist, die Gräben über den Trennungs-Isolierfilmen **22B** mit den Gateelektroden **20** gefüllt. Die Gate-

elektroden **20** können beispielsweise durch Abscheidung von Polysilizium und selektives Rückätzen von Polysilizium gebildet werden. Danach wird der Prozess mittels eines wohlbekannten Verfahrens fortgeführt, um die in **Fig. 8** und **Fig. 9** dargestellte Halbleitervorrichtung fertigzustellen.

Dritte Ausführungsform

[0042] **Fig. 15** ist eine Draufsicht einer Halbleitervorrichtung gemäß einer dritten Ausführungsform. Der Gateisolierfilm **22** umfasst einen ersten Gateisolierfilm **22D** und einen zweiten Gateisolierfilm **22E**, der mit dem ersten Gateisolierfilm **22D** verbunden ist. Der erste Gateisolierfilm **22D** ist in Kontakt mit der Emitterschicht **26**, und der zweite Gateisolierfilm **22E** ist in Kontakt mit der Diffusionsschicht **24**. Die Längen der ersten und zweiten Gateisolierfilme **22D** und **22E** entlang einer x-Achse entsprechen den Dicken der ersten und zweiten Gateisolierfilme **22D** und **22E**. Der zweite Gateisolierfilm **22E** ist dicker als der erste Gateisolierfilm **22D**. Das heißt, wenn die Halbleitervorrichtung auf den EIN-Zustand eingestellt wird, ist der Gateisolierfilm in Kontakt mit einem Abschnitt, wo kein Kanal ausgebildet wird, dicker als der Gateisolierfilm in Kontakt mit einem Abschnitt, wo ein Kanal ausgebildet wird. Die Diffusionsschicht **24** weist eine um einen Betrag, um den der zweite Gateisolierfilm **22E** dicker als der erste Gateisolierfilm **22D** ist, geringere Länge entlang der x-Achse als die Emitterschicht **26** auf. Dementsprechend weist die Diffusionsschicht **24** in Draufsicht eine geringere Breite als die Emitterschicht **26** auf.

[0043] **Fig. 16** ist eine Querschnittsansicht der Halbleitervorrichtung, genommen entlang einer Linie C-C' von **Fig. 15**. Der erste Gateisolierfilm **22D** ist in Kontakt mit der Emitterschicht **26**, der Kanaldotierungsschicht **34** unter der Emitterschicht **26**, der Trägerspeicherschicht **32** unter der Emitterschicht **26** und dem Substrat **30**. Die Breite des ersten Gateisolierfilms **22D** wird durch **x1** repräsentiert. **Fig. 17** ist eine Querschnittsansicht der Halbleitervorrichtung, genommen entlang einer Linie **D**-**D'** von **Fig. 15**. Der zweite Gateisolierfilm **22E** ist in Kontakt mit der Diffusionsschicht **24**, der Kanaldotierungsschicht **34** unter der Diffusionsschicht **24**, der Trägerspeicherschicht **32** unter der Diffusionsschicht **24** und dem Substrat **30**. Die Breite **x2** des zweiten Gateisolierfilms **22E** ist größer als die Breite **x1** des ersten Gateisolierfilms **22D**. Die Gateelektrode **20** ist in Kontakt mit sowohl dem ersten Gateisolierfilm **22D** als auch dem zweiten Gateisolierfilm **22E**.

[0044] Wie oben beschrieben wurde, ist der zweite Gateisolierfilm **22E** so konfiguriert, dass er dicker als der erste Gateisolierfilm **22D** ist, wodurch der Wert der Kapazität Cge zwischen dem Gate und dem Emitter und der Wert der Kapazität Cgc zwischen dem Gate und dem Kollektor reduziert werden können. Als Folge kann der Verschiebungsstrom, der in der Gateelektrode aufgrund einer Variation des Potentials um den Gateisolierfilm **22** fließt, reduziert werden, so dass eine Zunahme des Kurzschlussstroms usw., die durch einen Lift-up des Gates verursacht wird, verhindert werden kann. Außerdem kann der erste Gateisolierfilm **22D**, der zur Ausbildung des Kanals beiträgt, so konfiguriert sein, dass er eine vorbestimmte Dicke hat.

[0045] Ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der dritten Ausführungsform wird beschrieben. Zuerst werden in **Fig. 18** und **Fig. 19** dargestellte Strukturen hergestellt. **Fig. 18** ist eine Querschnittsansicht eines die Emitterschicht **26** enthaltenden Abschnitts. **Fig. 18** zeigt eine Halbleitervorrichtung in der Fertigung in einem Querschnitt entlang einer Linie **C**-**C'** von **Fig. 15**. **Fig. 19** ist eine Querschnittsansicht eines Abschnitts, wo die Diffusionsschicht **24** ausgebildet ist. **Fig. 19** zeigt eine Halbleitervorrichtung in der Fertigung an einem Querschnitt entlang einer Linie **D**-**D'** von **Fig. 15**. Die Trägerspeicherschicht **32** ist auf dem Substrat **30** ausgebildet, die Kanaldotierungsschicht **34** ist auf der Trägerspeicherschicht **32** ausgebildet und die Emitterschicht **26** ist teilweise auf der Kanaldotierungsschicht **34** ausgebildet. Die in **Fig. 18** und **Fig. 19** dargestellten Strukturen können wie oben beschrieben erhalten werden.

[0046] Anschließend werden in den in **Fig. 18** und **Fig. 19** dargestellten Strukturen Gräben zum Ausbilden des Gateisolierfilms und der Gateelektroden geschaffen. **Fig. 20** ist eine Draufsicht einer Lithographiemaske **70**, die genutzt wird, um die Gräben zu bilden. Die Maske **70** umfasst einen ersten Teil **70A** und einen zweiten Teil **70B**. Die Maske **70** weist beim ersten Teil **70A** ein lineares Maskenmuster und beim zweiten Teil **70B** ein faltenbalgförmiges Maskenmuster auf. Ein Lichtexpositionsverfahren wird unter Verwendung der Maske **70** auf einem auf der Halbleitervorrichtung in der Fertigung geschichteten Resist durchgeführt, und das belichtete Resist wird entwickelt, um den belichteten Abschnitt von dem Resistmuster zu ätzen, bis das Substrat **30** freigelegt ist, wodurch in **Fig. 21** und **Fig. 22** dargestellte Strukturen erhalten werden.

[0047] **Fig. 21** ist eine Querschnittsansicht der Halbleitervorrichtung bei einem Abschnitt, wo die Emitterschichten **26** vorhanden sind. **Fig. 21** ist eine Querschnittsansicht an der gleichen Position wie **Fig. 18**. **Fig. 22** ist eine Querschnittsansicht der Halbleitervorrichtung bei einem Abschnitt, wo die Emitterschicht **26** nicht vorhanden ist. **Fig. 22** ist eine Querschnittsansicht an der gleichen Position wie **Fig. 19**. Ein Graben, dessen Seitenoberfläche in Draufsicht linear ist und durch den das Substrat **30** freigelegt ist, wird unter Verwendung der Maske **70** durch Ätzen bei einem Abschnitt gebildet, wo die Emitterschicht **26** in Drauf-

sicht ausgebildet ist. Dementsprechend ist die Breite der Gräben von **Fig. 21** einheitlich. Ein Graben, dessen Seitenoberfläche in Draufsicht faltenbalgförmig ist und durch den das Substrat **30** freigelegt wird, wird bei einem Abschnitt, wo die Emitterschicht **26** in Draufsicht nicht ausgebildet ist, ebenfalls gebildet. Dementsprechend spiegeln die Gräben von **Fig. 22** die Faltenbalgform beim zweiten Teil **70B** der Maske **70** wieder, und deren Breite unterscheidet sich gemäß der Position.

[0048] Anschließend wird eine thermische Oxidation an den in **Fig. 21** und **Fig. 22** dargestellten Strukturen durchgeführt. Konkret werden die Seitenoberflächen der Emitterschicht **26**, der Kanaldotierungsschicht **34** und der Trägerspeicherschicht **32** und das Substrat **30**, das zum Graben freigelegt ist, einer thermischen Oxidation unterzogen, um den Gateisolierfilm auszubilden. **Fig. 23** und **Fig. 24** sind Querschnittsansichten von Strukturen, die erhalten werden, indem eine thermische Oxidation an den in **Fig. 21** und **Fig. 22** dargestellten Strukturen durchgeführt wird. In der thermischen Oxidation schreitet die Oxidation aus drei Richtungen bei den Abschnitten voran, welche in Draufsicht in der Faltenbalgform ausgebildet sind. Das heißt, beschreibt man dies basierend auf dem Koordinatensystem von **Fig. 15**, schreitet eine Oxidation in einer positiven x-Richtung oder einer negativen x-Richtung und einer positiven y-Richtung und einer negativen y-Richtung voran. In der thermischen Oxidation wird eine Oxidation gefördert, bis Oxidfilme, die sich aus den drei Richtungen entwickeln, miteinander verbunden sind und Silizium der faltenbalgförmigen Abschnitte verschwunden ist. Wie oben beschrieben wurde, kann, wie in **Fig. 23** und **Fig. 24** gezeigt, der zweite Gateisolierfilm **22E** in Kontakt mit der Diffusionsschicht **24** dicker gemacht werden als der erste Gateisolierfilm **22D** in Kontakt mit der Emitterschicht **26**. Danach wird die Gateelektrode **20** in Kontakt mit dem Gateisolierfilm **22** ausgebildet, und der wohlbekannte Prozess wird ausgeführt, wodurch die Halbleitervorrichtung mit dem Gateabschnitt vom Grabentyp hergestellt werden kann.

Vierte Ausführungsform

[0049] Die Draufsicht der Halbleitervorrichtung gemäß einer vierten Ausführungsform ist die gleiche wie **Fig. 1** und **Fig. 2** und wird somit weggelassen. **Fig. 25** und **Fig. 26** sind Querschnittsansichten einer Halbleitervorrichtung gemäß einer vierten Ausführungsform. Da **Fig. 25** eine Querschnittsansicht eines Abschnitts ist, wo die Emitterschichten **26** der Halbleitervorrichtung vorhanden sind, kann man sagen, dass **Fig. 25** der entlang einer Linie **A**-**A'** von **Fig. 2** genommenen Querschnittsansicht entspricht. Da **Fig. 26** eine Querschnittsansicht eines Abschnitts ist, wo die Diffusionsschichten **24** der Halbleitervorrichtung vorhanden sind, kann man sagen, dass **Fig. 26** der entlang einer Linie **B**-**B'** von **Fig. 2** genommenen Querschnittsansicht entspricht.

[0050] **Fig. 25** zeigt die Gateelektrode **20** über den Gateisolierfilm **22** in Kontakt mit der Emitterschicht **26**, der Kanaldotierungsschicht **34**, der Trägerspeicherschicht **32** und dem Substrat **30**. Die Gateelektrode **20** umfasst eine erste Gateelektrode **20A** auf der oberen Oberflächenseite des Substrats **30** und eine zweite Gateelektrode **20B**, die mit der unteren Oberfläche der ersten Gateelektrode **20A** in Kontakt ist und eine geringere Verunreinigungskonzentration als diejenige der ersten Gateelektrode **20A** aufweist. Die erste Gateelektrode **20A** und die zweite Gateelektrode **20B** sind beispielsweise aus dotiertem Polysilizium gebildet. Die Begrenzung zwischen der ersten Gateelektrode **20A** und der zweiten Gateelektrode **20B** ist neben der Trägerspeicherschicht **32** gelegen. Wie in **Fig. 26** dargestellt ist, ist wie in dem Fall von **Fig. 25** die Gateelektrode **20** mit der ersten Gateelektrode **20A** und der zweiten Gateelektrode **20B** ebenfalls bei einem Abschnitt vorgesehen, wo die Diffusionsschicht **24** vorhanden ist.

[0051] Die in **Fig. 25** und **Fig. 26** dargestellte Halbleitervorrichtung kann gebildet werden, indem zuerst das Material der zweiten Gateelektrode **20B** abgeschieden wird, ein Teil des abgeschiedenen Materials selektiv zurückgeätzt wird und dann das Material der ersten Gateelektrode **20A** abgeschieden wird. Die zweite Gateelektrode **20B**, welche ein auf der Kollektorseite der Gateelektrode **20** gebildeter Abschnitt ist, ist so konfiguriert, dass sie eine geringere Verunreinigungskonzentration als die erste Gateelektrode **20A** aufweist. Dies kann so anders ausgedrückt werden, dass die Verunreinigungskonzentration der Gateelektrode **20** in Kontakt mit der Trägerspeicherschicht **32** und dem Substrat **30** über den Gateisolierfilm **22** auf eine niedrige Konzentration eingestellt ist. Als Folge tritt eine Potentialverteilung in der zweiten Gateelektrode **20D** auf, und der Verschiebungsstrom wird reduziert. Daher wird die Potentialvariation der Gateelektrode **20** neben einem Abschnitt, wo der Kanal ausgebildet wird, reduziert, was eine Unterdrückung einer Zunahme des Kurzschlussstroms, eines Erholungsstroms bei Einschalten unter Schwachstrom etc. ermöglicht, welche durch einen Lift-up des Gatepotentials hervorgerufen werden.

Fünfte Ausführungsform

[0052] **Fig. 27** ist eine Draufsicht einer Halbleitervorrichtung gemäß einer fünften Ausführungsform. Die Gateelektrode **20** ist in Draufsicht nur neben der Emitterschicht **26** ausgebildet. Die Gateelektrode **20** ist nicht neben der Diffusionsschicht **24** ausgebildet. In Draufsicht ist eine Vielzahl inselförmiger Gateelektroden **20** ausgebildet. Der zweite Gateisolierfilm **22h** neben der Diffusionsschicht **24** ist so ausgebildet, dass er dicker als der erste Gateisolierfilm **22g** ne-

ben der Emitterschicht **26** ist. Als Folge ist die Gateelektrode **20** nur neben der Emitterschicht **26** vorgesehen, die ein Abschnitt ist, wo ein Kanal ausgebildet wird.

[0053] **Fig. 28** ist eine Querschnittsansicht der Halbleitervorrichtung, die entlang einer Linie **G**-**G'** von **Fig. 27** genommen ist. Eine Gateleitung **80** ist auf der Gateelektrode **20** ausgebildet. **Fig. 29** ist eine Querschnittsansicht der Halbleitervorrichtung, die entlang einer Linie **H**-**H'** von **Fig. 27** genommen ist. Eine Gateleitung **80** ist auf dem zweiten Gateisolierfilm **22h** ausgebildet. Die Gateleitung **80** von **Fig. 28** und die Gateleitung **80** von **Fig. 29** sind miteinander verbunden. Die Gateelektrode **20** und die Gateleitungen **80** sind zum Beispiel aus Polysilizium gebildet.

[0054] Wie oben beschrieben wurde, können die Werte von Cge und Cgc reduziert werden, indem der Gateisolierfilm in Kontakt mit der Diffusionsschicht **24** dicker ausgebildet wird, was der Abschnitt ist, wo kein Kanal ausgebildet wird. Als Folge kann der Verschiebungsstrom, der in der Gateelektrode **20** auftritt, wenn eine Potentialvariation um den Gateisolierfilm herum auftritt, reduziert werden, so dass eine Zunahme eines Kurzschlussstroms usw., die durch den Liftup des Gates hervorgerufen wird, verhindert werden kann.

[0055] Ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der fünften Ausführungsform wird beschrieben. Zunächst werden in **Fig. 30** und **Fig. 31** dargestellte Strukturen hergestellt. **Fig. 30** ist eine Querschnittsansicht einer Halbleitervorrichtung bei einem die Emitterschicht **26** enthaltenden Abschnitt. **Fig. 30** zeigt eine Halbleitervorrichtung in der Fertigung in einem Querschnitt entlang einer Linie **G**-**G'** von **Fig. 27**. **Fig. 31** ist eine Querschnittsansicht eines Abschnitts, wo die Diffusionsschicht **24** ausgebildet ist. **Fig. 31** zeigt eine Halbleitervorrichtung in der Fertigung in dem Querschnitt entlang einer Linie **H**-**H'** von **Fig. 27**. Die Trägerspeicherschicht **32** ist auf dem Substrat **30** ausgebildet, die Kanaldotierungsschicht **34** ist auf der Trägerspeicherschicht **32** ausgebildet, und die Emitterschicht **26** ist teilweise auf der Kanaldotierungsschicht **34** ausgebildet. Die in **Fig. 30** und **Fig. 31** dargestellten Strukturen können wie oben beschrieben erhalten werden.

[0056] Anschließend werden Gräben, um einen Gateisolierfilm und Gateelektroden auszubilden, in den in **Fig. 30** und **Fig. 31** dargestellten Strukturen gebildet. Konkret werden Abschnitte, wo die Emitterschichten **26** in Draufsicht ausgebildet sind, und Abschnitte, wo die Emitterschicht **26** in Draufsicht nicht ausgebildet ist, teilweise geätzt, um erste Gräben auszubilden, durch die das Substrat **30** freigelegt wird. Die ersten Gräben **82** sind in **Fig. 32** und **Fig. 33** dargestellt. **Fig. 32** ist eine Querschnittsansicht, die zeigt, dass die ersten Gräben **82** in der Struktur von **Fig. 30** ausgebildet werden. **Fig. 33** ist eine Querschnittsansicht, die zeigt, dass die ersten Gräben **82** in der Struktur von **Fig. 31** ausgebildet werden. Die ersten Gräben **82** können gebildet werden, indem eine allgemeine Lithographietechnik und die Ätztechnik genutzt werden.

[0057] Anschließend werden die ersten Gräben **82** mit einem Gateisolierfilm gefüllt. Beispielsweise wird, nachdem ein Oxidfilm abgeschieden ist, durch Ätzen ein überschüssiger Oxidfilm entfernt, um den Gateisolierfilm in den ersten Gräben **82** auszubilden. **Fig. 34** ist eine Querschnittsansicht, die zeigt, dass erste Gateisolierfilme **22g** in den ersten Gräben **82** der Struktur von **Fig. 32** ausgebildet werden. **Fig. 35** ist eine Querschnittsansicht, die zeigt, dass zweite Gateisolierfilme **22h** in den ersten Gräben **82** der Struktur von **Fig. 33** ausgebildet werden.

[0058] Anschließend werden zweite Gräben in den in **Fig. 34** dargestellten ersten Gateisolierfilmen **22g** ausgebildet. Die zweiten Gräben werden mit Gateelektroden gefüllt. **Fig. 36** zeigt, dass die zweiten Gräben **84** in der Struktur von **Fig. 34** ausgebildet werden und die zweiten Gräben **84** mit den Gateelektroden **20** gefüllt werden. Der zweite Graben **84** wird gebildet, indem ein Teil des ersten Gateisolierfilms **22g** neben der Emitterschicht **26** in Draufsicht so geätzt wird, dass die Emitterschicht **26**, die Kanaldotierungsschicht **34**, die Trägerspeicherschicht **32** und das Substrat **30** nicht freigelegt werden. Dieser Prozess kann durchgeführt werden, indem die allgemeine Lithographietechnik und die Ätztechnik genutzt werden. Als Folge wird der erste Gateisolierfilm **22g** gebildet, der im Querschnitt U-förmig ist. Der zweite Graben **84** wird durch den ersten Gateisolierfilm **22g** vorgesehen, welcher so ausgebildet ist, dass er im Querschnitt U-förmig ist. Die Gateelektrode **20** wird zum Beispiel von einem Polysilizium in dem zweiten Graben **84** gebildet.

[0059] Die Gateleitung **80** wird auf der Gateelektrode **20** gleichzeitig mit oder mit einer Verzögerung zur Ausbildung der Gateelektrode **20** gebildet. Wie in **Fig. 37** gezeigt ist, ist die Gateleitung **80** auch auf dem zweiten Gateisolierfilm **22h** ausgebildet. Die Gateleitung **80** wird neben der Emitterschicht **26** und neben einem Abschnitt gebildet, wo die Emitterschicht **26** in Draufsicht nicht ausgebildet ist, wodurch die Gateelektroden **20**, die den beiden Emitterschichten **26** benachbart sind, die mit der dazwischen angeordneten Diffusionsschicht **24** vorgesehen sind, miteinander elektrisch verbunden werden können. Durch Verwenden der Abscheidungstechnik, der Lithographietechnik und der Ätztechnik können die zweiten Gräben **84**, die Gateelektroden **20** und die Gateleitungen **80** gebildet werden. Danach kann durch Ausführen eines wohlbekannten Prozesses die in **Fig. 27** bis **Fig. 29** dargestellte Halbleitervorrichtung hergestellt werden.

Sechste Ausführungsform

[0060] Fig. 38 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer sechsten Ausführungsform. Mehrere Emitterschichten **26** sind in Draufsicht in einer gestaffelten Anordnung vorgesehen, und in Draufsicht sind mehrere Diffusionsschichten **24** in einer gestaffelten Anordnung vorgesehen. Die Emitterschichten **26** und die Diffusionsschichten **24** sind in einer gestaffelten Form bezüglich der parallel verlaufenden Gateelektroden **20** angeordnet. Der Gateisolierfilm **22** weist einen ersten Gateisolierfilm **22F** in Kontakt mit der Emitterschicht **26** und einen zweiten Gateisolierfilm **26G** in Kontakt mit der Diffusionsschicht **24** auf. Zumindest ein Teil des zweiten Gateisolierfilms **22G** ist so ausgebildet, dass er dicker als der erste Gateisolierfilm **22F** ist.

[0061] Fig. 39 ist eine entlang einer Linie **I-I'** von **Fig. 38** genommene Querschnittsansicht. Die Dicke **x2** des zweiten Gateisolierfilms **22G** ist größer als die Dicke **x1** des ersten Gateisolierfilms **22F**. Das heißt, der Gateisolierfilm in Kontakt mit der Diffusionsschicht **24**, wo kein Kanal ausgebildet wird, ist so konfiguriert, dass er dicker als der Gateisolierfilm in Kontakt mit der Emitterschicht **26** ist, wo ein Kanal ausgebildet wird, so dass die Werte von Cge und Cgc reduziert werden können. Daher wird der Verschiebungsstrom der Gateelektrode, wenn eine Potentialvariation um den Gateisolierfilm herum auftritt, reduziert, so dass eine Zunahme des Kurzschlussstroms etc., die durch ein Lift-up des Gates hervorgerufen wird, verhindert werden kann.

[0062] Die Halbleitervorrichtung gemäß der sechsten Ausführungsform kann hergestellt werden, indem das Verfahren zum Ausbilden eines faltenbalgförmigen Musters genutzt wird, um wie in dem Fall des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der dritten Ausführungsform eine Differenz in der Dicke des Oxidfilms vorzusehen.

[0063] Die Halbleitervorrichtungen gemäß den dritten, fünften und sechsten Ausführungsformen sind insofern einander gemein, als zumindest ein Teil des Gateisolierfilms in Kontakt mit der Diffusionsschicht **24** dicker als der Gateisolierfilm in Kontakt mit der Emitterschicht **26** ausgebildet ist. Dieses Merkmal kann in andere Ausführungsformen integriert werden.

[0064] Der Effekt der vorliegenden Erfindung kann gesteigert werden, indem die Merkmale der in den ersten bis sechsten Ausführungsformen beschriebenen Halbleitervorrichtungen kombiniert werden. Die Struktur irgendeiner Ausführungsform kann in einem gewissen Bereich einer Halbleitervorrichtung übernommen werden, während die Struktur einer anderen Ausführungsform in einem anderen Bereich der Halbleitervorrichtung übernommen werden kann. Die vorhergehenden Strukturen können teilweise übernommen werden. Überdies ist die Struktur der Halbleitervorrichtung nicht auf einen IGBT beschränkt, sondern kann auf eine Leistungsvorrichtung wie etwa einen MOSFET oder eine Diode angewendet werden. Die Stehspannungsklasse der Halbleitervorrichtung ist nicht auf eine spezifische beschränkt. Ein FZ-Substrat, ein epitaktisches Substrat oder ein wohlbekanntes Substrat kann als das Substrat verwendet werden.

Siebte Ausführungsform

[0065] In dieser Ausführungsform werden die Halbleitervorrichtungen gemäß den vorhergehenden ersten bis sechsten Ausführungsformen für eine Leistungsumwandlungsvorrichtung verwendet. Die vorliegende Erfindung ist nicht auf eine spezifische Leistungsumwandlungsvorrichtung beschränkt, und ein Fall, in dem die vorliegende Erfindung auf einen Dreiphasen-Inverter angewendet wird, wird als eine siebte Ausführungsform beschrieben.

[0066] Fig. 40 ist ein Blockdiagramm, das die Konfiguration eines Leistungsumwandlungssystems zeigt, für das eine Leistungsumwandlungsvorrichtung gemäß dieser Ausführungsform verwendet wird.

[0067] Das in **Fig. 40** dargestellte Leistungsumwandlungssystem umfasst eine Stromversorgung **100**, eine Leistungsumwandlungsvorrichtung **200** und eine Last **300**. Die Stromversorgung **100** ist eine DC-Stromversorgung und stellt der Leistungsumwandlungsvorrichtung **200** DC-Leistung bereit. Die Stromversorgung **100** kann mittels verschiedener Arten von Vorrichtungen konfiguriert sein, und sie kann zum Beispiel durch ein DC-System, eine Solarbatterie oder eine Speicherbatterie konfiguriert sein oder durch eine Gleichrichterschaltung oder einen AC/DC-Wandler konfiguriert sein, der mit einem AC-System verbunden ist. Überdies kann die Stromversorgung **100** durch einen DC/DC-Wandler zum Umwandeln einer von einem DC-System abgegebenen DC-Leistung in eine vorbestimmte Leistung konfiguriert sein.

[0068] Die Leistungsumwandlungsvorrichtung **200** ist ein Dreiphasen-Inverter, der zwischen die Stromversorgung **100** und die Last **300** geschaltet ist, wandelt von der Stromversorgung **100** bereitgestellte DC-Leistung in AC-Leistung um und stellt die AC-Leistung der Last **300** bereit. Wie in **Fig. 40** dargestellt ist, enthält die Leistungsumwandlungsvorrichtung **200** eine Hauptumwandlungsschaltung **201** zum Umwandeln einer DC-Leistung in AC-Leistung und Abgeben der AC-Leistung, eine Ansteuerschaltung **202** zum Abgeben eines Ansteuersignals, um jede Schaltvorrichtung der Hauptumwandlungsschaltung **201** anzusteuern, und eine Steuerschaltung **203**, um an die Ansteuerschaltung **202** ein Steuersignal zum Steuern der Ansteuerschaltung **202** abzugeben.

[0069] Die Last **300** ist ein dreiphasiger Elektromotor, der mit von der Leistungsumwandlungsvorrichtung **200** bereitgestellter AC-Leistung angetrieben wird. Die Last **300** ist nicht auf einen spezifischen Zweck beschränkt, und sie kann ein Elektromotor sein, der in verschiedenen Arten einer elektrischen Einrichtung montiert werden soll. Beispielsweise wird sie als ein Elektromotor genutzt, der für ein Hybridfahrzeug, ein Elektrofahrzeug, ein Schienenfahrzeug, einen Lift oder eine Klimaanlage geeignet ist.

[0070] Im Folgenden wird die Leistungsumwandlungsvorrichtung **200** im Detail beschrieben. Die Hauptumwandlungsschaltung **201** weist eine Schaltvorrichtung und eine (nicht dargestellte) Rückflussdiode auf. Auf ein Schalten der Schaltvorrichtung hin wandelt die Leistungsumwandlungsvorrichtung **200** von der Stromversorgung **100** bereitgestellte DC-Leistung in AC-Leistung um und stellt die AC-Leistung der Last **300** bereit. Es gibt verschiedene spezifische Schaltungskonfigurationen für die Hauptumwandlungsschaltung **201**. Die Hauptumwandlungsschaltung **201** gemäß dieser Ausführungsform ist eine Dreiphasen-Vollbrückenschaltung mit zwei Niveaus und kann durch sechs Schaltvorrichtungen und sechs Rückflussdioden konfiguriert sein, welche mit den jeweiligen Schaltvorrichtungen antiparallel verbunden sind. Die Halbleitervorrichtung gemäß irgendeiner der ersten bis sechsten Ausführungsformen, die oben beschrieben wurden, wird für jede Schaltvorrichtung der Hauptumwandlungsschaltung **201** verwendet. Je zwei Schaltvorrichtungen der sechs Schaltvorrichtungen bilden ein Paar obere und untere Arme, welche in Reihe geschaltet sind, und jedes Paar der oberen und unteren Arme bildet je eine Phase (U-Phase, V-Phase, W-Phase) der Vollbrückenschaltung. Die Ausgangsanschlüsse der jeweiligen Paare oberer und unterer Arme, das heißt drei Ausgangsanschlüsse der Hauptumwandlungsschaltung **201**, sind mit der Last **300** verbunden.

[0071] Die Ansteuerschaltung **202** erzeugt ein Ansteuersignal zum Ansteuern der Schaltvorrichtungen der Hauptumwandlungsschaltung **201** und stellt das Ansteuersignal Steuerelektroden der Schaltvorrichtungen der Hauptumwandlungsschaltung **201** bereit. Konkret werden ein Ansteuersignal zum Einstellen der Schaltvorrichtung auf einen EIN-Zustand und ein Ansteuersignal zum Einstellen der Schaltvorrichtung auf einen AUS-Zustand an die Steuerelektroden der jeweiligen Schaltvorrichtungen gemäß dem Steuersignal von der Steuerschaltung **203**, die später beschrieben wird, abgegeben. Wenn die Schaltvorrichtung auf dem EIN-Zustand gehalten wird, ist das Ansteuersignal ein Spannungssignal (EIN-Signal), das nicht niedriger als eine Schwellenspannung der Schaltvorrichtung ist, und, wenn die Schaltvorrichtung auf dem AUS-Zustand gehalten wird, ist das Ansteuersignal ein Spannungssignal (AUS-Signal), das nicht höher als die Schwellenspannung der Schaltvorrichtung ist.

[0072] Die Steuerschaltung **203** steuert die Schaltvorrichtungen der Hauptumwandlungsschaltung **201**, so dass der Last **300** eine gewünschte Leistung bereitgestellt wird. Konkret wird eine Zeit (EIN-Zeit), während der jede Schaltvorrichtung der Hauptumwandlungsschaltung **201** auf den EIN-Zustand eingestellt werden soll, basierend auf einer der Last **300** bereitzustellenden Leistung berechnet. Beispielsweise kann die Hauptumwandlungsschaltung **201** durch eine PWM-Steuerung zum Modulieren der EIN-Zeit der Schaltvorrichtungen gemäß einer abzugebenden Spannung gesteuert werden. Ein Steuerbefehl (Steuersignal) wird an die Ansteuerschaltung **202** abgegeben, so dass zu jedem Zeitpunkt das EIN-Signal an Schaltvorrichtungen abgegeben wird, um die Schaltvorrichtungen auf den EIN-Zustand einzustellen, während das AUS-Signal an Schaltvorrichtungen abgegeben wird, um die Schaltvorrichtungen auf den AUS-Zustand einzustellen. Die Ansteuerschaltung **202** gibt das EIN-Signal oder AUS-Signal als ein Ansteuersignal an die Steuerelektrode jeder Schaltvorrichtung gemäß dem Steuersignal ab.

[0073] In der Leistungsumwandlungsvorrichtung gemäß dieser Ausführungsform kann, da die Halbleitervorrichtung gemäß irgendeiner der ersten bis sechsten Ausführungsformen als die Schaltvorrichtungen der Hauptumwandlungsschaltung **201** verwendet wird, eine Fehlfunktion vermieden werden, die durch einen in der Gateelektrode fließenden Verschiebungsstrom hervorgerufen wird. Das heißt, eine Betriebssicherheit bzw. Zuverlässigkeit der Leistungsumwandlungsvorrichtung kann erhöht werden.

[0074] Diese Ausführungsform wird beschrieben, indem ein Beispiel genutzt wird, in welchem die vorliegende Erfindung auf den Dreiphasen-Inverter mit 2 Niveaus angewendet wird. Die vorliegende Erfindung ist jedoch nicht auf dieses Beispiel beschränkt, und die vorliegende Erfindung ist auf verschiedene Leistungsumwandlungsvorrichtungen anwendbar. In dieser Ausführungsform wird eine Leistungsumwandlungsvorrichtung mit 2 Niveaus genutzt, aber es kann eine Leistungsumwandlungsvorrichtung mit 3 Niveaus oder mehr Niveaus verwendet werden, und die vorliegende Erfindung kann auf einen einphasigen Inverter angewendet werden, wenn einer einphasigen Last Leistung bereitgestellt wird. Wenn einer DC-Last oder dergleichen Leistung bereitgestellt wird, kann die vorliegende Erfindung auf einen DC/DC-Wandler oder einen AC/DC-Wandler angewendet werden.

[0075] Die Leistungsumwandlungsvorrichtung, auf die die vorliegende Erfindung angewendet wird, ist nicht auf einen Fall beschränkt, in dem die oben beschriebene Last ein Elektromotor ist, und sie kann

zum Beispiel als eine Stromversorgungsvorrichtung für eine Elektroerodiermaschine, eine Laserstrahlmaschine, einen Induktionsherd oder ein System zur kontaktlosen Vorrichtungsleistungseinspeisung genutzt werden und kann ferner als ein Leistungskonditionierer für ein System zur Erzeugung photovoltaischer Leistung, ein Leistungsspeichersystem oder dergleichen genutzt werden.

[0076] Gemäß der vorliegenden Erfindung kann der in der Gateelektrode fließende Verschiebungsstrom unterdrückt werden, zum Beispiel indem die Dicke des Gateisolierfilms in Kontakt mit der Trägerspeicherschicht vergrößert wird.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2016157934 A [0003]

Patentansprüche

1. Halbleitervorrichtung, umfassend:
ein Substrat (30) eines ersten Leitfähigkeitstyps;
eine Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats (30) ausgebildet ist;
eine Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht (32) ausgebildet ist;
eine Emitterschicht (26) eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) ausgebildet ist;
eine Gateelektrode (20) über einen Gateisolierfilm (22) in Kontakt mit der Emitterschicht (26), der Kanaldotierungsschicht (34) und der Trägerspeicherschicht (32); und
eine Kollektorschicht (42) eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats (30) ausgebildet ist, wobei der Gateisolierfilm (22) einen ersten Teil (22a) in Kontakt mit der Emitterschicht (26) und der Kanaldotierungsschicht (34), einen zweiten Teil (22b) in Kontakt mit der Trägerspeicherschicht (32) und einen dritten Teil (22c) in Kontakt mit dem Substrat (30) aufweist und zumindest ein Teil des zweiten Teils (22b) dicker als der erste Teil (22a) und der dritte Teil (22c) ist.

2. Halbleitervorrichtung nach Anspruch 1, wobei ein dickerer Abschnitt des zweiten Teils (22b) als der erste Teil (22a) und der dritte Teil (22c) von dem ersten Teil (22a) entfernt ist.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei nur ein Mittelabschnitt des zweiten Teils (22b) dicker als der erste Teil (22a) und der dritte Teil (22c) ist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, umfassend eine Diffusionsschicht (24) eines zweiten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) und der Emitterschicht (26) benachbart ausgebildet ist, wobei der Gateisolierfilm (22) einen vierten Teil (22d) in Kontakt mit der Diffusionsschicht (24) und der Kanaldotierungsschicht (34) unter der Diffusionsschicht (24), einen fünften Teil (22e) in Kontakt mit der Trägerspeicherschicht (32) unter der Diffusionsschicht (24) und einen sechsten Teil (22f) in Kontakt mit dem Substrat (30) unter der Diffusionsschicht (24) aufweist und zumindest ein Teil des fünften Teils (22e) dicker als der vierte Teil (22d) und der sechste Teil (22f) ist.

5. Halbleitervorrichtung, umfassend:
ein Substrat (30) eines ersten Leitfähigkeitstyps;
eine Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats (30) ausgebildet ist;
eine Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht (32) ausgebildet ist;
eine Emitterschicht (26) eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) ausgebildet ist;
eine Gateelektrode (20) über einen Gateisolierfilm (22A) in Kontakt mit der Emitterschicht (26), der Kanaldotierungsschicht (34) und der Trägerspeicherschicht (32);
eine Leiterschicht (60) über einen Isolierungs-Isolierfilm (22C) in Kontakt mit der Trägerspeicherschicht (32) und dem Substrat (30);
einen Trennungs-Isolierfilm (22B), der eine untere Oberfläche der Gateelektrode (20) bedeckt und eine obere Oberfläche der Leiterschicht (60) bedeckt, um dadurch die Leiterschicht (60) und die Gateelektrode (20) voneinander elektrisch zu trennen; und
eine Kollektorschicht (42) eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats (30) ausgebildet ist.

6. Halbleitervorrichtung nach Anspruch 5, wobei eine Höhe des Trennungs-Isolierfilms (22B) und eine dazwischenliegende Höhe der Trägerspeicherschicht (32) einander gleich sind.

7. Halbleitervorrichtung nach Anspruch 5 oder 6, wobei die Leiterschicht (60) durch den Isolierungs-Isolierfilm (22C) und den Trennungs-Isolierfilm (22B) ganz bedeckt ist.

8. Halbleitervorrichtung, umfassend:
ein Substrat (30) eines ersten Leitfähigkeitstyps;
eine Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats (30) ausgebildet ist;
eine Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht (32) ausgebildet ist;
eine Emitterschicht (26) eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) ausgebildet ist;
eine Diffusionsschicht (24) eines zweiten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) und der Emitterschicht (26) benachbart ausgebildet ist;
einen ersten Gateisolierfilm (22D) in Kontakt mit der Emitterschicht (26), der Kanaldotierungsschicht (34) unter der Emitterschicht (26) und der Trägerspeicherschicht (32) unter der Emitterschicht (26);
einen zweiten Gateisolierfilm (22E), der mit der Diffusionsschicht (24), der Kanaldotierungsschicht (34) unter der Diffusionsschicht (24) und der Trägerspeicherschicht (32) unter der Diffusionsschicht (24) in Kontakt ist und dicker als der erste Gateisolierfilm (22D) ist;
eine Gateelektrode (20) in Kontakt mit dem ersten Gateisolierfilm (22D); und

eine Kollektorschicht (42) eines zweiten Leitfähigkeitstyps, die mit einer unteren Oberflächenseite des Substrats (30) in Kontakt ist.

9. Halbleitervorrichtung nach Anspruch 8, wobei die Diffusionsschicht (24) in Draufsicht eine geringere Breite als die Emitterschicht (26) aufweist.

10. Halbleitervorrichtung nach Anspruch 8, wobei die Gateelektrode (20) in Draufsicht nur neben der Emitterschicht (26) ausgebildet ist.

11. Halbleitervorrichtung nach Anspruch 10, umfassend eine Gateleitung (80), die auf der Gateelektrode (20) und dem zweiten Gateisolierfilm (22E) ausgebildet ist.

12. Halbleitervorrichtung nach Anspruch 8, wobei die Emitterschicht (26) eine Vielzahl von Emitterschichten enthält, die in Draufsicht in einer gestaffelten Anordnung vorgesehen sind, und die Diffusionsschicht (24) eine Vielzahl von Diffusionsschichten enthält, die in Draufsicht in einer gestaffelten Anordnung vorgesehen sind.

13. Halbleitervorrichtung, umfassend:
ein Substrat (30) eines ersten Leitfähigkeitstyps;
eine Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps, die auf einer oberen Oberflächenseite des Substrats (30) ausgebildet ist;
eine Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps, die auf der Trägerspeicherschicht (32) ausgebildet ist;
eine Emitterschicht (26) eines ersten Leitfähigkeitstyps, die auf der Kanaldotierungsschicht (34) ausgebildet ist;
eine Gateelektrode (20) über einen Gateisolierfilm (22) in Kontakt mit der Emitterschicht (26), der Kanaldotierungsschicht (34) und der Trägerspeicherschicht (32); und
eine Kollektorschicht (42) eines zweiten Leitfähigkeitstyps, die auf einer unteren Oberflächenseite des Substrats (30) ausgebildet ist, wobei die Gateelektrode (20) eine erste Gateelektrode (20A) auf einer oberen Oberflächenseite des Substrats (30) und eine zweite Gateelektrode (20B) aufweist, die mit einer unteren Oberfläche der ersten Gateelektrode (20A) in Kontakt ist und eine geringere Verunreinigungskonzentration als die erste Gateelektrode (20A) hat, und eine Begrenzung zwischen der ersten Gateelektrode (20A) und der zweiten Gateelektrode (20B) neben der Trägerspeicherschicht (32) gelegen ist.

14. Halbleitervorrichtung nach Anspruch 13, wobei die erste Gateelektrode (20A) und die zweite Gateelektrode (20B) aus dotiertem Polysilizium gebildet sind.

15. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:
Ausbilden einer Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps auf einem Substrat (30) eines ersten Leitfähigkeitstyps, Ausbilden einer Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht (32) und Ausbilden einer Emitterschicht (26) eines ersten Leitfähigkeitstyps auf der Kanaldotierungsschicht (34);
Implantieren von Ionen in einen Seitenwandabschnitt der Trägerspeicherschicht (32);
Ausbilden eines Gateisolierfilms (22) auf einem Seitenwandabschnitt der Trägerspeicherschicht (32), einem Seitenwandabschnitt der Kanaldotierungsschicht (34), einem Seitenwandabschnitt der Emitterschicht (26) und dem Substrat (30); und
Ausbilden einer Gateelektrode (20) in Kontakt mit dem Gateisolierfilm (22).

16. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:
Ausbilden einer Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps auf einem Substrat (30) eines ersten Leitfähigkeitstyps, Ausbilden einer Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht (32) und Ausbilden einer Emitterschicht (26) eines ersten Leitfähigkeitstyps auf der Kanaldotierungsschicht (34);
Ausbilden eines Grabens in der Emitterschicht (26), der Kanaldotierungsschicht (34) und der Trägerspeicherschicht (32), so dass das Substrat (30) zum Graben freigelegt ist, Ausbilden eines Isolierungs-Isolierfilms (22C) bei einem zum Graben freigelegten Abschnitt und Füllen des Grabens mit einer Leiterschicht (60);
teilweises Entfernen der Leiterschicht (60) und des Isolierungs-Isolierfilms (22C), um eine Seitenoberfläche der Emitterschicht (26), eine Seitenoberfläche der Kanaldotierungsschicht (34) und eine Seitenoberfläche der Trägerspeicherschicht (32) teilweise freizulegen; und
Ausbilden eines Trennungs-Isolierfilms (22B) auf einer oberen Oberfläche der Leiterschicht (60), teilweises Entfernen eines Gateisolierfilms (22A) auf der Seitenoberfläche der Emitterschicht (26), der Seitenoberfläche der Kanaldotierungsschicht (34) und der Seitenoberfläche der Trägerspeicherschicht (32) und Füllen des Grabens mit einer Gateelektrode (20).

17. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:
Ausbilden einer Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps auf einem Substrat (30) eines ersten Leitfähigkeitstyps, Ausbilden einer Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht (32) und Ausbilden einer Emitterschicht (26) eines ersten Leitfähigkeitstyps teilweise auf der Kanaldotierungsschicht (34);
Ausbilden eines Grabens bei einem Abschnitt, wo die Emitterschicht (26) in Draufsicht ausgebildet ist, so dass der Graben in Draufsicht eine lineare Sei-

tenoberfläche aufweist und das Substrat (30) zum Graben freigelegt ist, und Ausbilden eines Grabens bei einem Abschnitt, wo die Emitterschicht (26) in Draufsicht nicht ausgebildet ist, so dass der Graben in Draufsicht eine faltenbalgförmige Seitenoberfläche aufweist und das Substrat (30) zum Graben freigelegt ist:
Durchführen einer thermischen Oxidation auf den Seitenoberflächen der Emitterschicht (26), der Kanaldotierungsschicht (34) und der Trägerspeicherschicht (32) und dem Substrat (30), das zum Graben freigelegt ist, um einen Gateisolierfilm (22) auszubilden; und
Ausbilden einer Gateelektrode (20) in Kontakt mit dem Gateisolierfilm (22).

18. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:
Ausbilden einer Trägerspeicherschicht (32) eines ersten Leitfähigkeitstyps auf einem Substrat (30) eines ersten Leitfähigkeitstyps, Ausbilden einer Kanaldotierungsschicht (34) eines zweiten Leitfähigkeitstyps auf der Trägerspeicherschicht (32) und Ausbilden einer Emitterschicht (26) eines ersten Leitfähigkeitstyps teilweise auf der Kanaldotierungsschicht (34);
teilweises Ätzen eines Abschnitts, wo die Emitterschicht (26) in Draufsicht ausgebildet ist, und eines Abschnitts, wo die Emitterschicht (26) in Draufsicht nicht ausgebildet ist, wodurch ein erster Graben (82) gebildet wird, zu dem das Substrat (30) freigelegt ist;
Füllen des ersten Grabens (82) mit einem Gateisolierfilm;
Ätzen eines Teils des Gateisolierfilms bei dem Abschnitt, wo die Emitterschicht (26) in Draufsicht ausgebildet ist, so dass die Emitterschicht (26), die Kanaldotierungsschicht (34), die Trägerspeicherschicht (32) und das Substrat (30) nicht freigelegt werden, wodurch ein zweiter Graben (84) in dem Gateisolierfilm gebildet wird;
Füllen des zweiten Grabens mit einer Gateelektrode (20); und
Ausbilden einer Gateleitung (80) auf dem Gateisolierfilm bei dem Abschnitt, wo die Emitterschicht (26) in Draufsicht nicht ausgebildet ist, und der Gateelektrode (20).

19. Leistungsumwandlungsvorrichtung, umfassend:
eine Halbleitervorrichtung nach einem der Ansprüche 1 bis 14;
eine Hauptumwandlungsschaltung (201) mit der Halbleitervorrichtung zum Umwandeln eingespeister Leistung und Abgeben der umgewandelten Leistung;
eine Ansteuerschaltung (202), um an die Halbleitervorrichtung ein Ansteuersignal zum Ansteuern der Halbleitervorrichtung abzugeben; und
eine Steuerschaltung (203), um an die Ansteuerschaltung (202) ein Steuersignal zum Steuern der Ansteuerschaltung (202) abzugeben.

Es folgen 20 Seiten Zeichnungen

Anhängende Zeichnungen

FIG.1

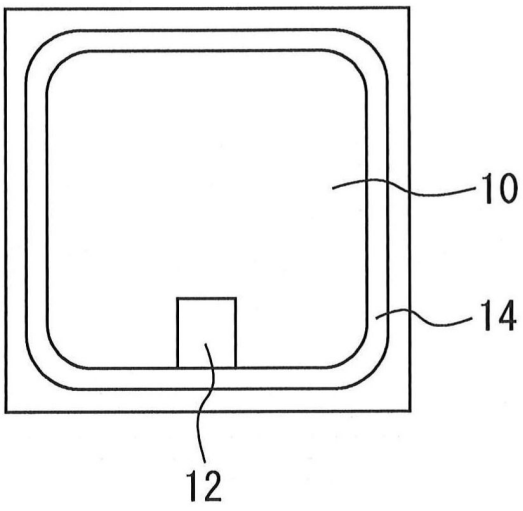


FIG.2

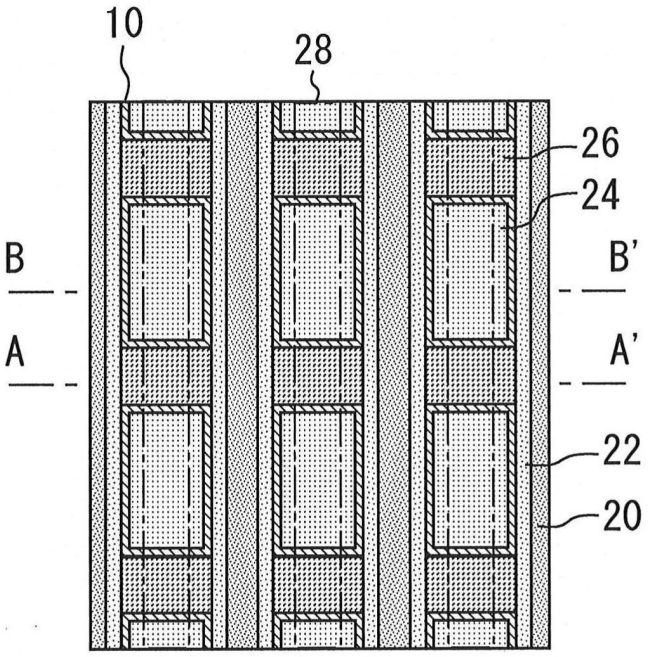


FIG.3

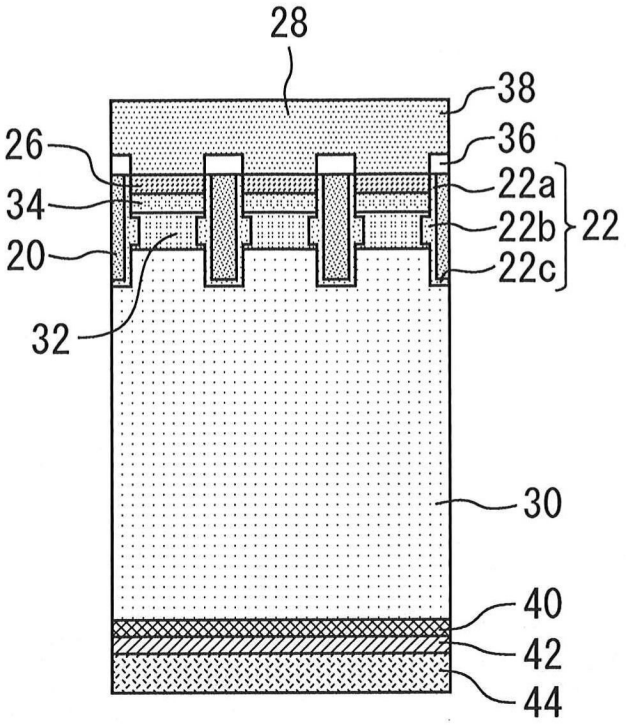

28
38
36
26
22a
34
22b
22
20
22c
32
30
40
42
44

FIG.4

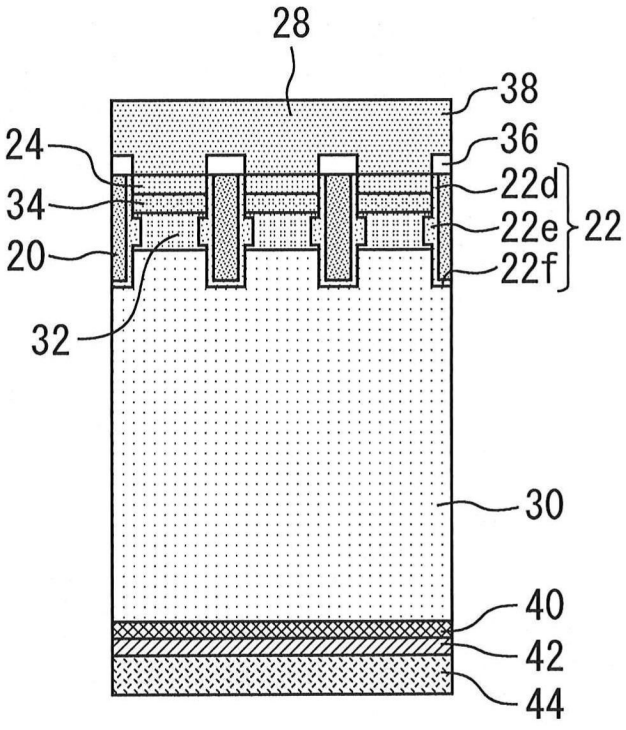

28
38
24
36
22d
34
22e
22
20
22f
32
30
40
42
44

FIG.5

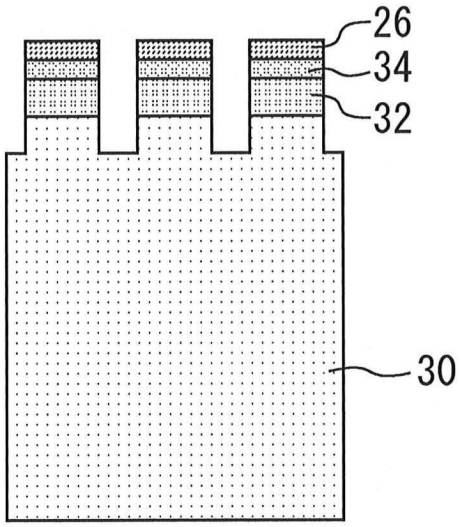


FIG.6

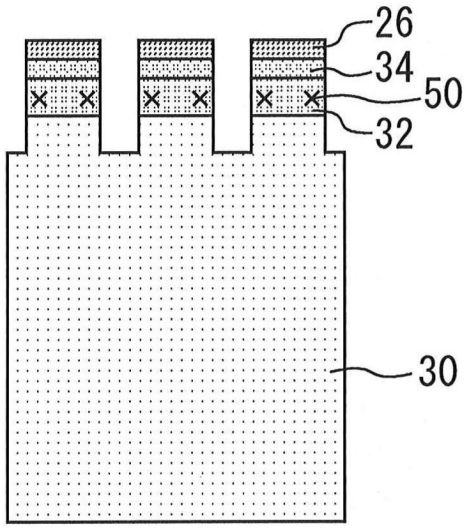


FIG.7

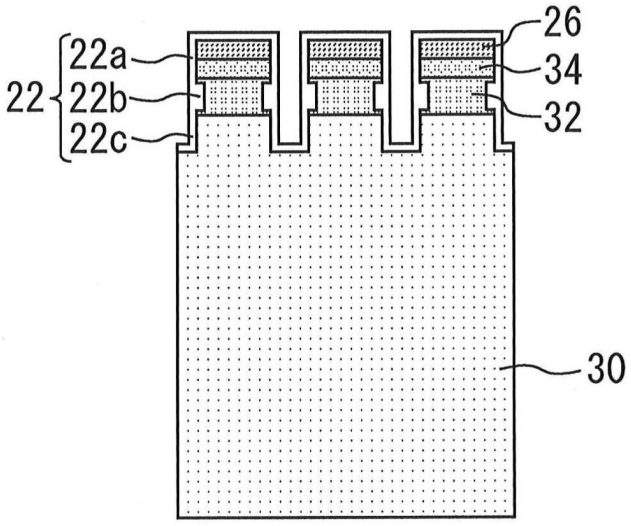

22a
22
22b
22c
26
34
32
30

FIG.8

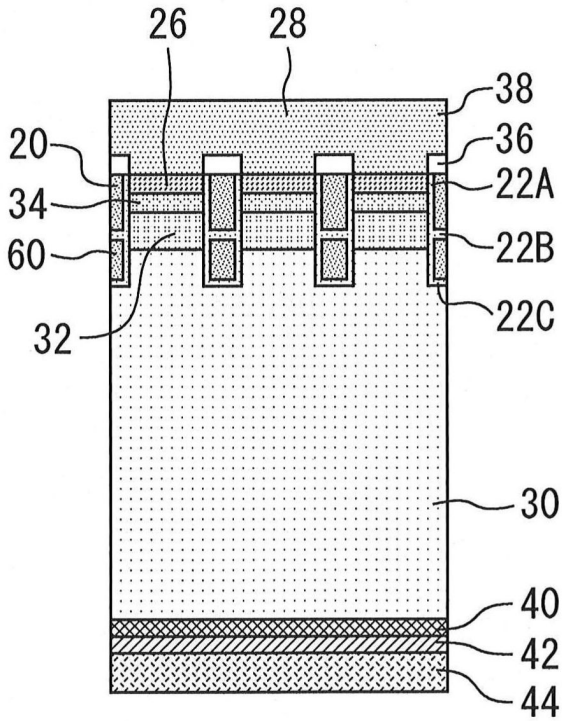

26
28
38
20
36
22A
34
60
22B
22C
32
30
40
42
44

FIG.9

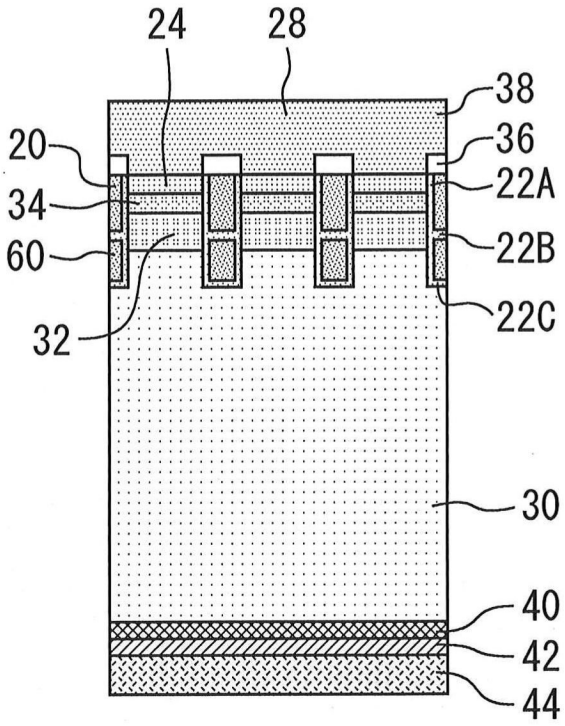


FIG.10

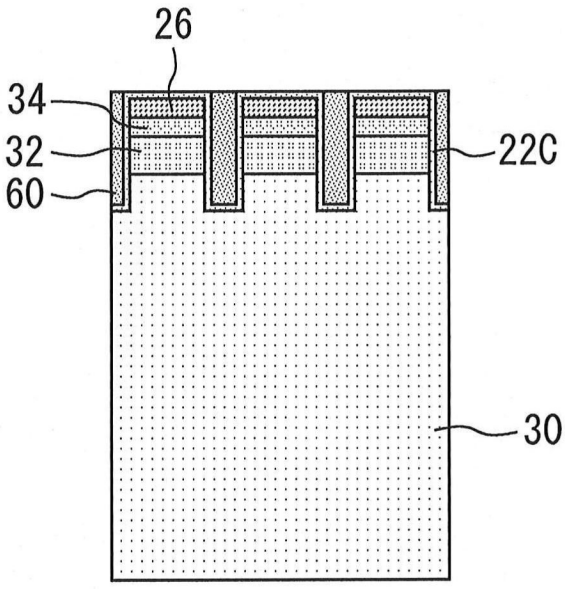


FIG.11

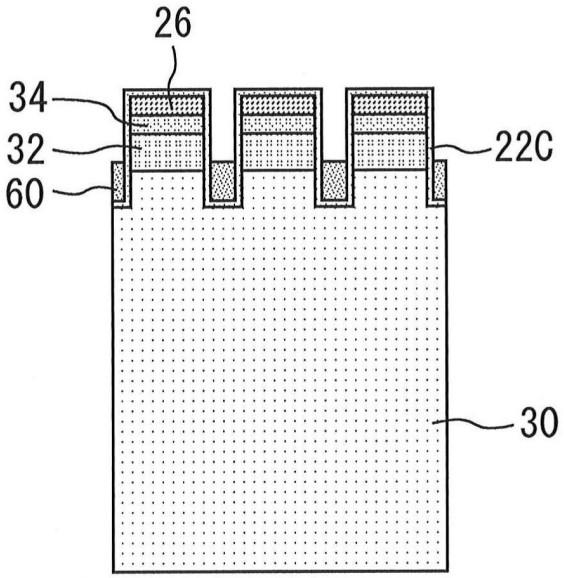


FIG.12

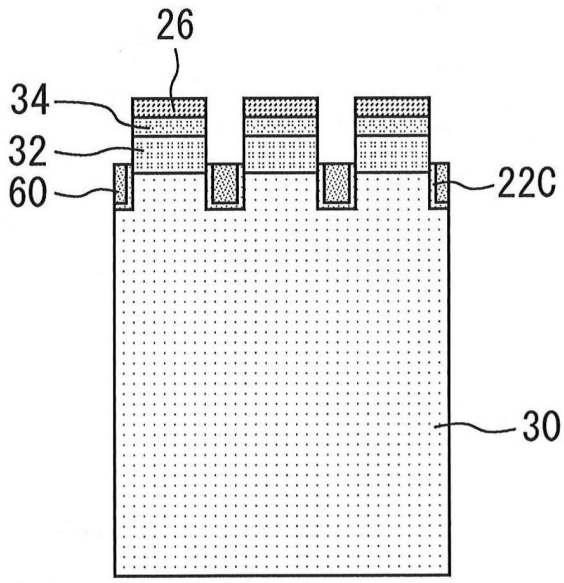


FIG.13

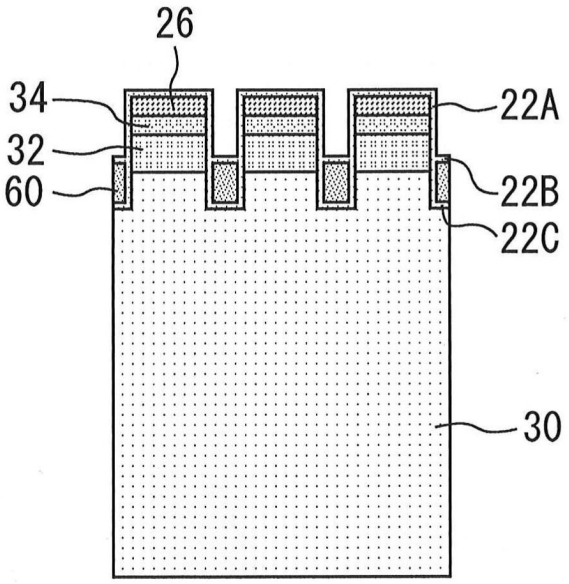


FIG.14

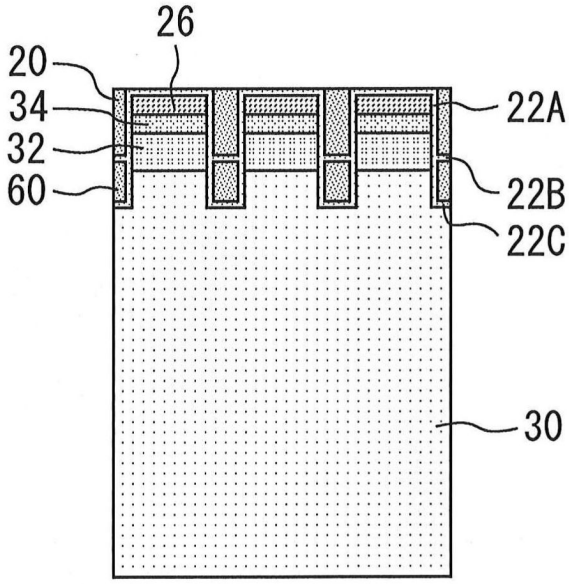


FIG.15

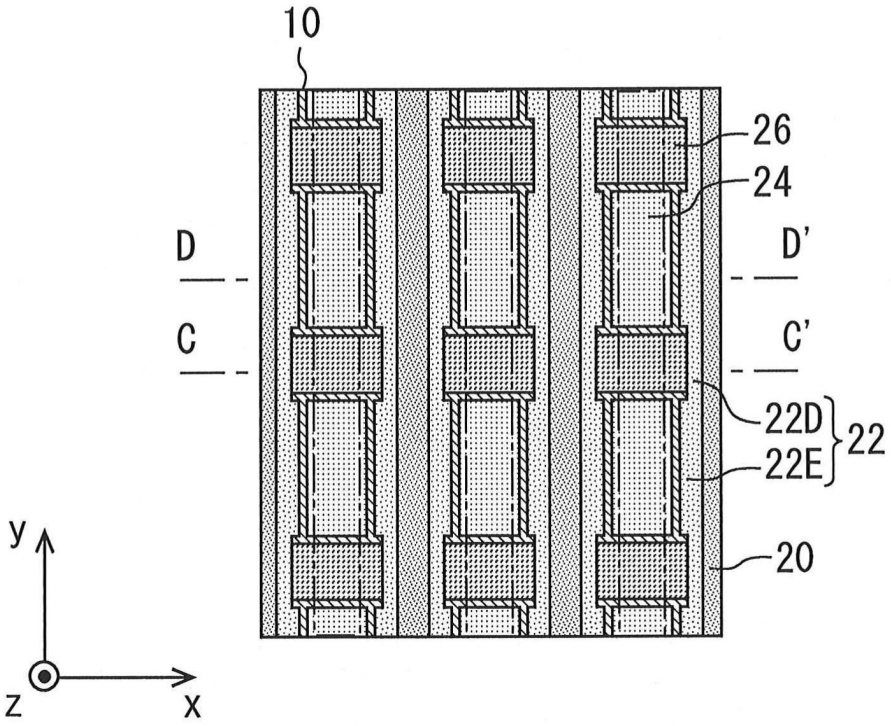

10
26
24
D
D'
C
C'
22D
22E
22
20
y
z
x

FIG.16

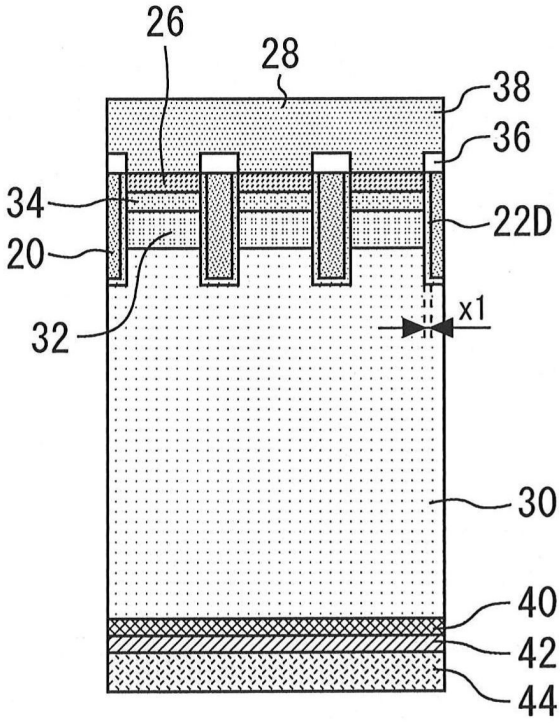

26
28
38
36
34
22D
20
x1
32
30
40
42
44

FIG.17

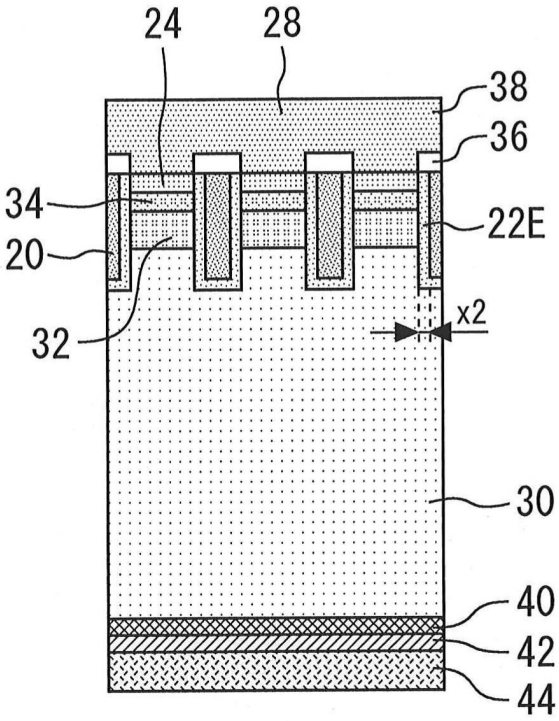


FIG.18

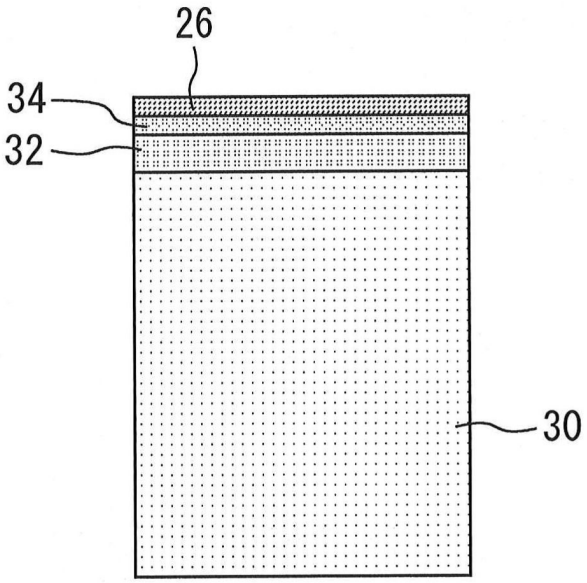


FIG.19

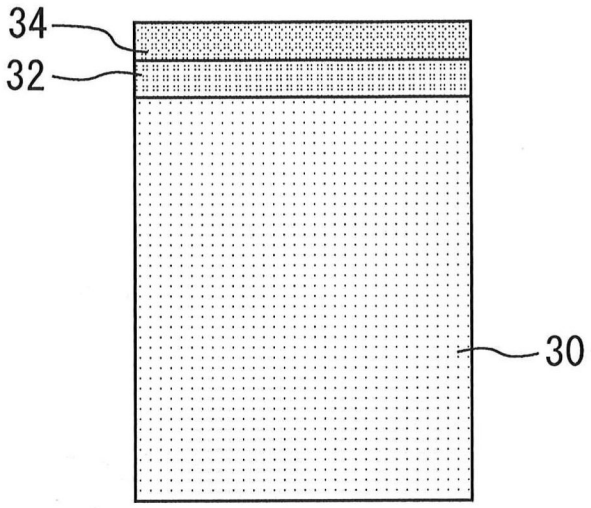


FIG.20

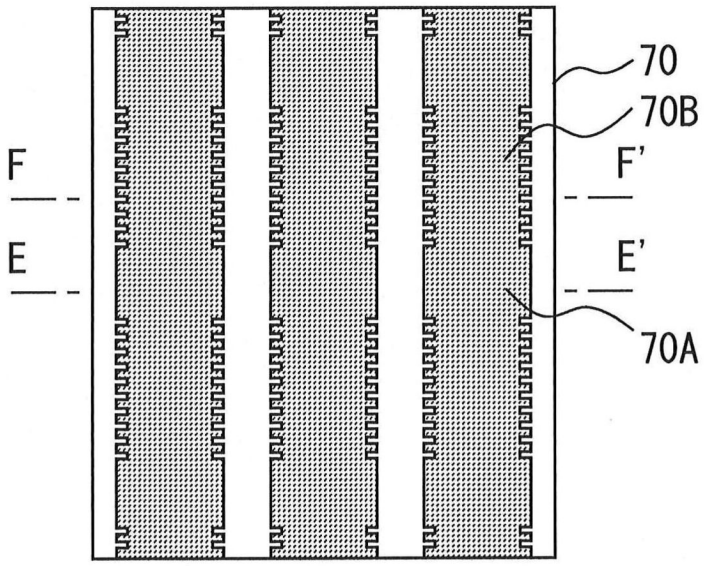


FIG.21

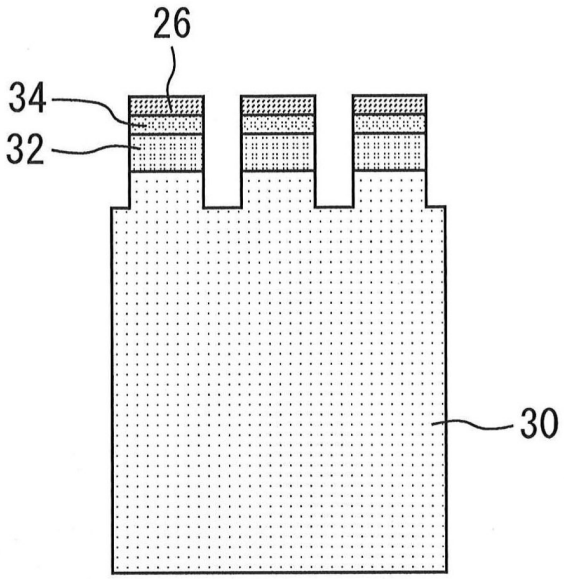


FIG.22

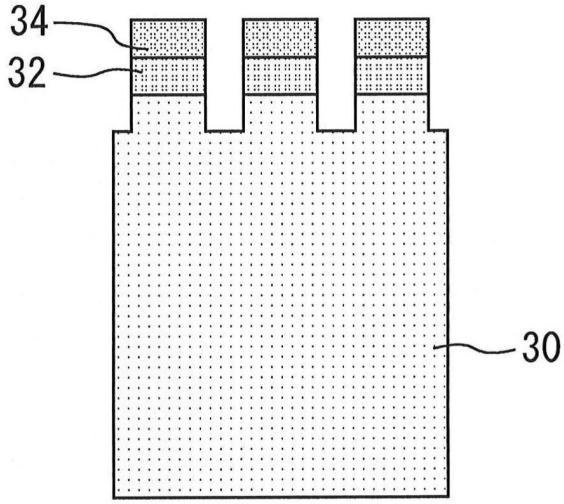


FIG.23

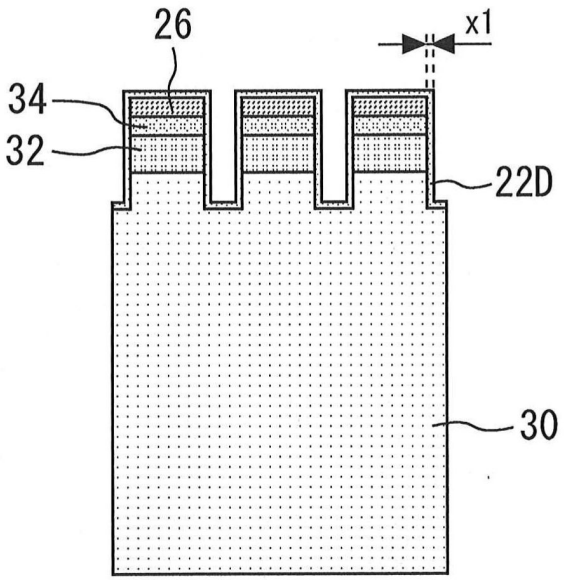


FIG.24

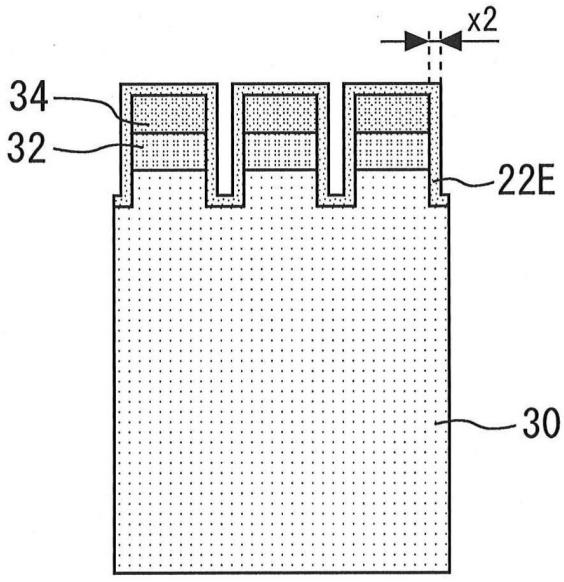


FIG.25

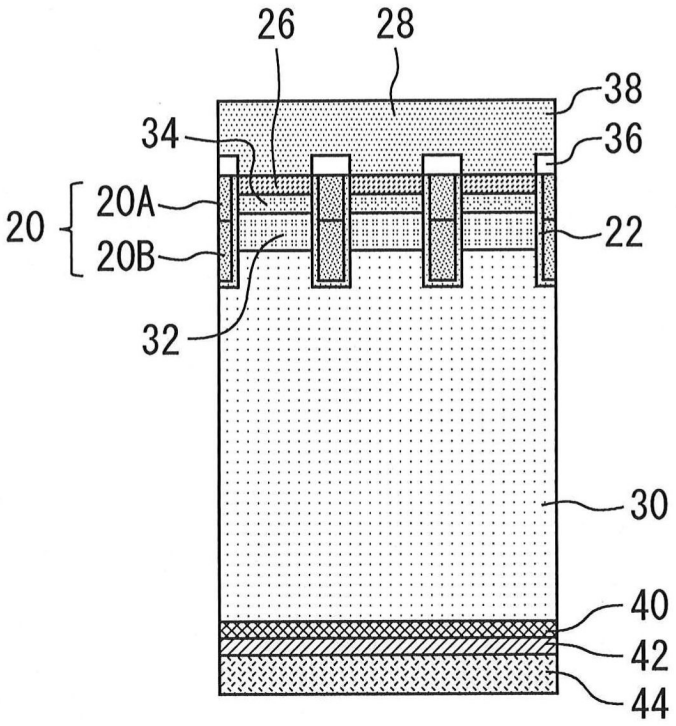

26
28
38
34
36
20
20A
20B
22
32
30
40
42
44

FIG.26

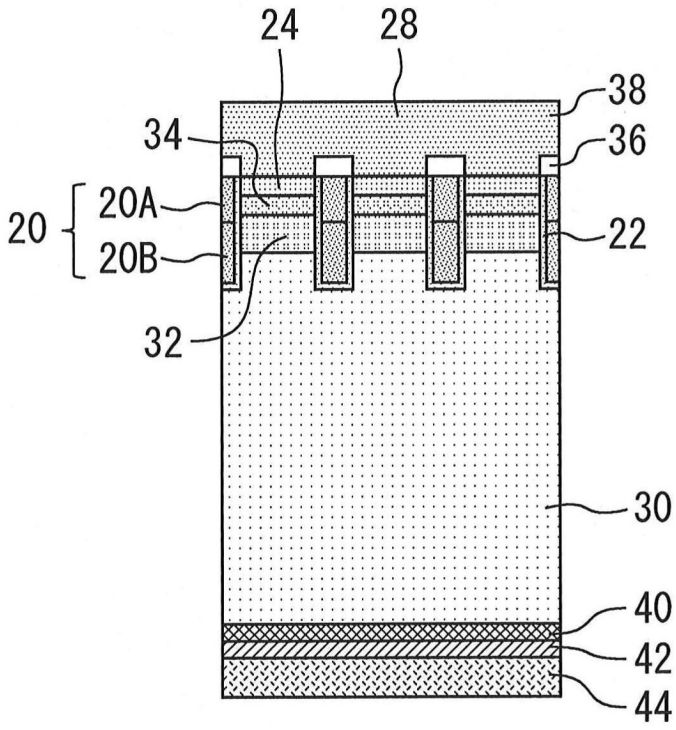

24
28
38
34
36
20
20A
20B
22
32
30
40
42
44

FIG.27

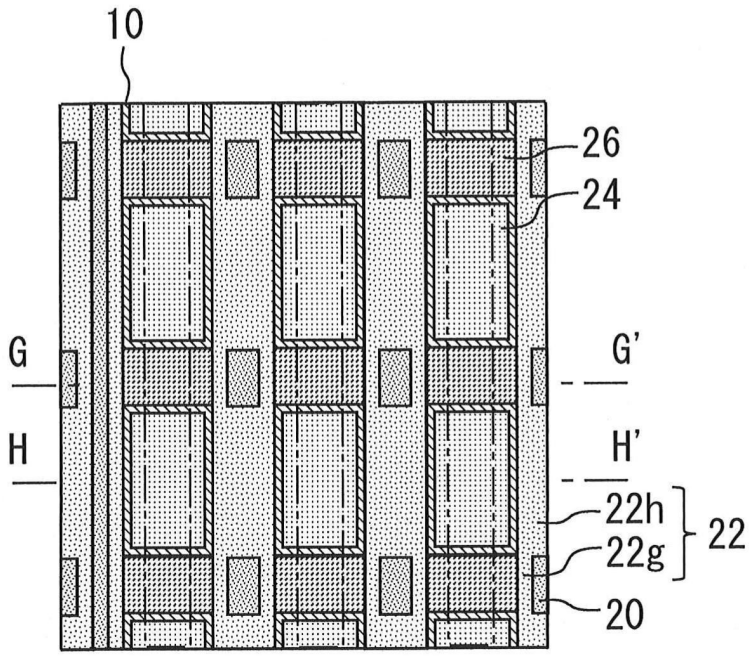


FIG.28

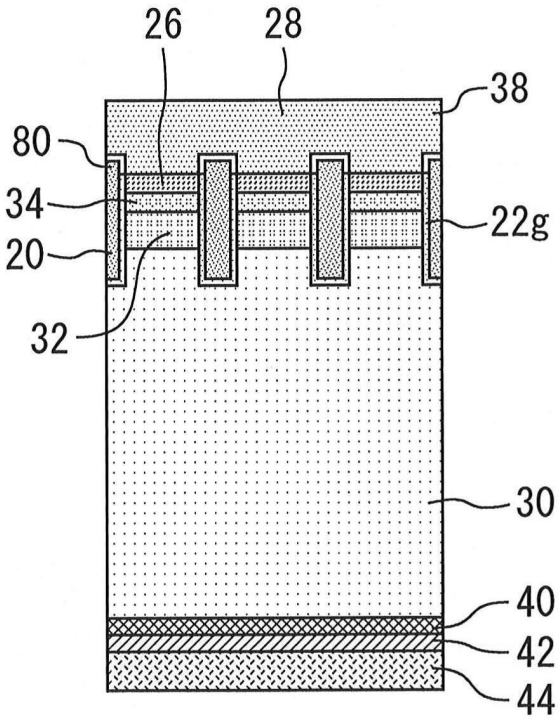


FIG.29

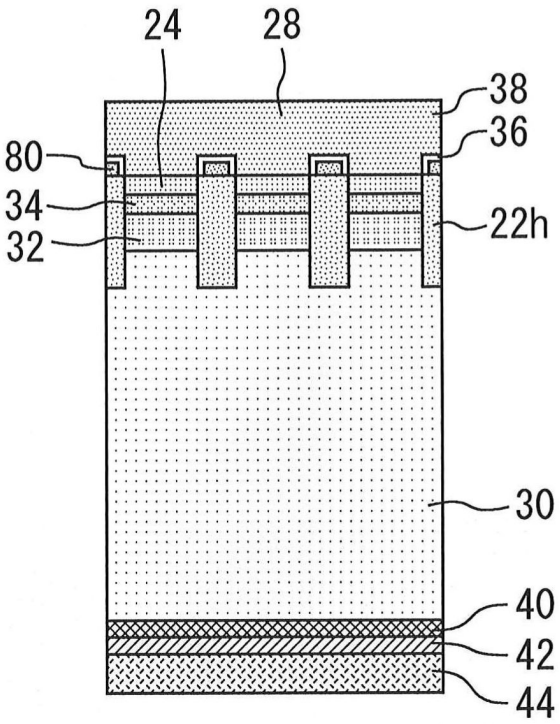


FIG.30

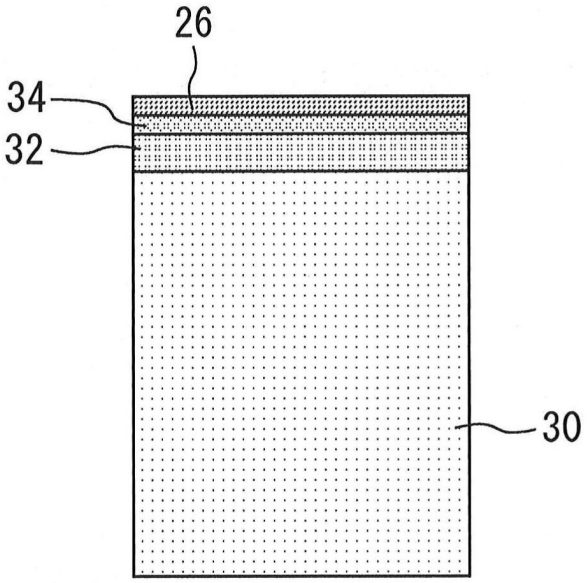


FIG.31

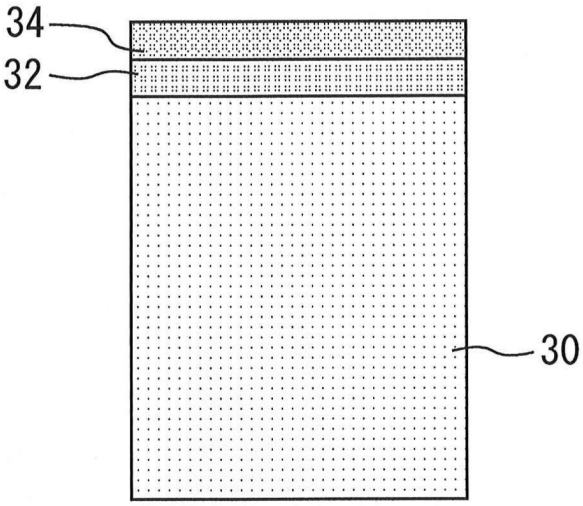


FIG.32

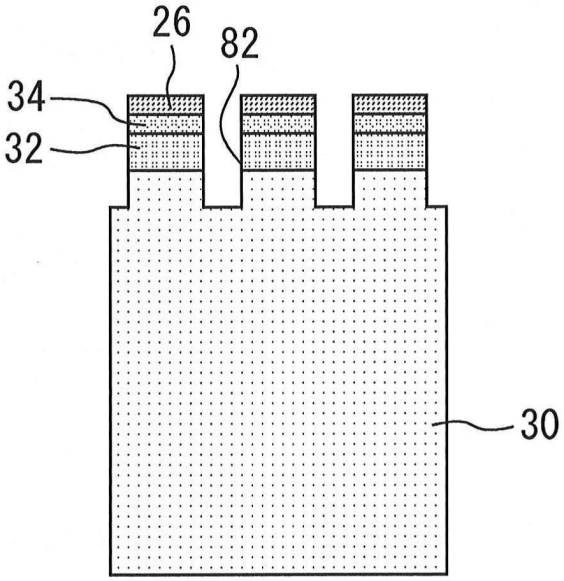


FIG.33

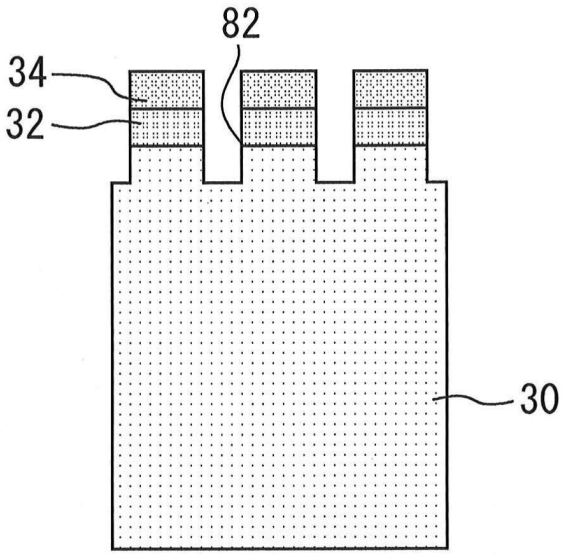


FIG.34

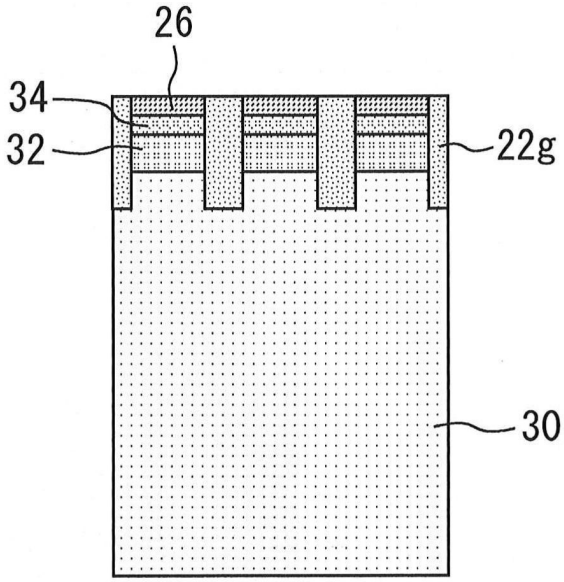


FIG.35

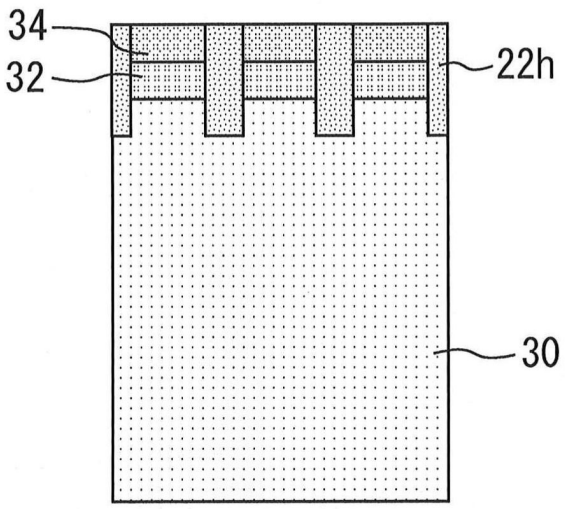


FIG.36

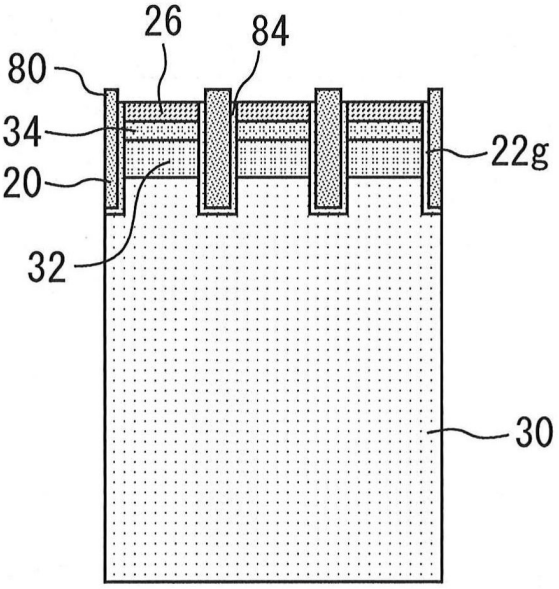


FIG.37

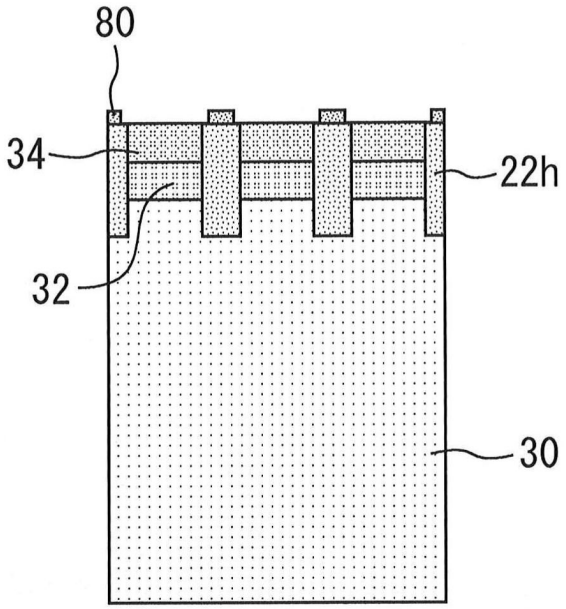


FIG.38

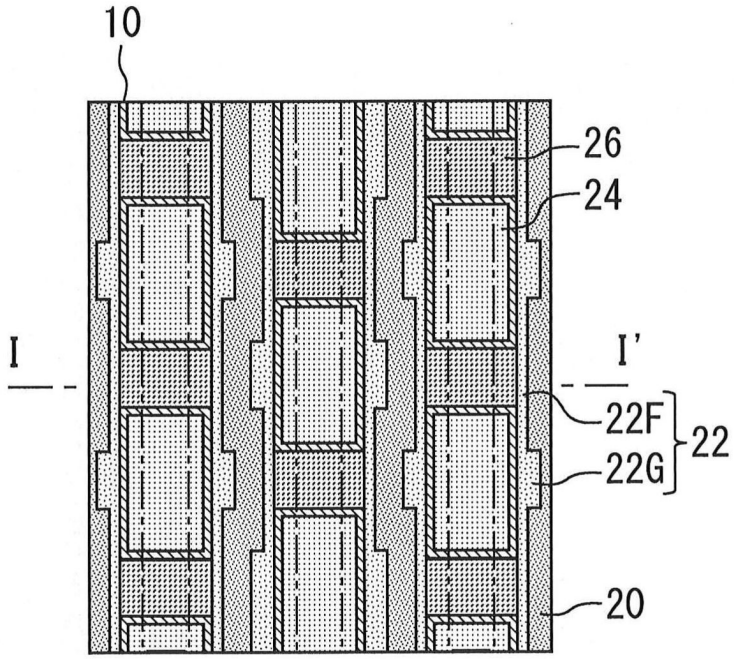


FIG.39

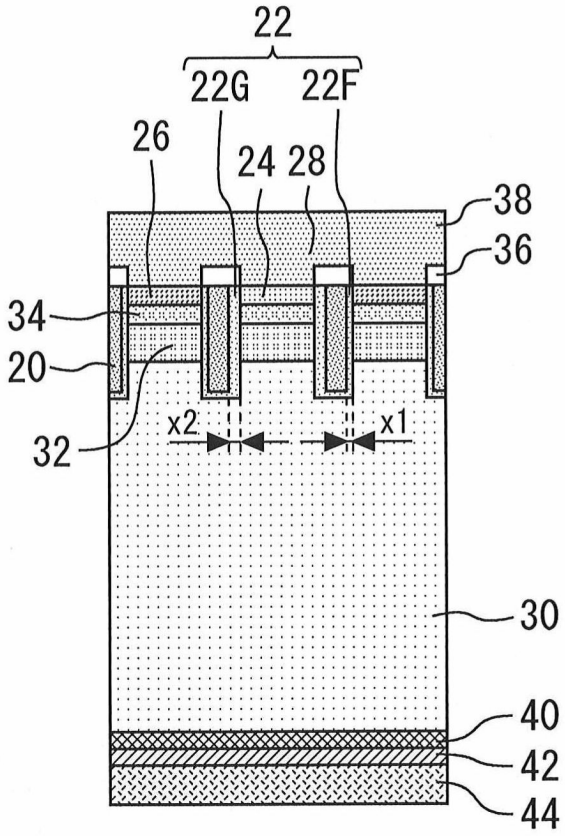
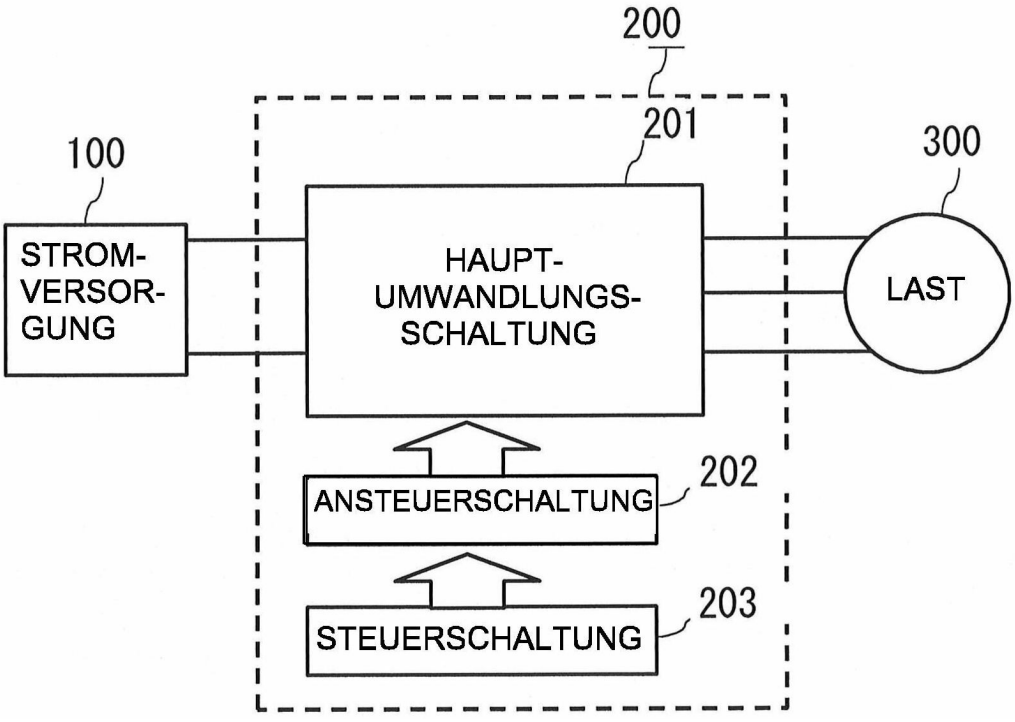

22
22G
22F
26
24
28
38
36
34
20
32
x2
x1
30
40
42
44

FIG.40


200
201
100
300
STROM-
VERSOR-
GUNG
HAUPT-
UMWANDLUNGS-
SCHALTUNG
LAST
ANSTEUERSCHALTUNG
202
STEUERSCHALTUNG
203