

公告本

381224

申請日期	86. 6. 16.
案 號	8711>838 (由 86108>17分割)
類 別	G06F ¹⁵ / ₀₆

A4
C4

381224

以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	非揮發性半導體記憶裝置
	英 文	"不揮發性半導體記憶裝置"
二、發明人	姓 名	1. 吉田 敬一 2. 久保埜 昌次
	國 籍	均日本
	住、居所	1. 日本國東京都青梅市野上657-5日立若草寮206 2. 日本國東京都昭島市美堀町5-5-7日立超愛爾拜島寮
三、申請人	姓 名 (名稱)	1. 日商日立製作所股份有限公司 2. 日商日立超愛爾愛斯·愛工程股份有限公司
	國 籍	均日本
	住、居所 (事務所)	1. 日本國東京都千代田區神田駿河台四丁目6番地 2. 日本國東京都小平市上水本町5丁目20番1號
	代 表 人 名 姓	1. 金井務 2. 鈴木 仁一郎

煩請委員明示本案分割後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1996.7.10 特平 8-180859 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係關於一種適用於半導體記憶裝置，甚至於非揮發性半導體記憶裝置之多值資訊記憶方式特別有效的技術，例如係關於一種利用於可用電整批消除多數記憶資訊之非揮發性記憶裝置(以下只稱為快閃式記憶體)有效的技術。

快閃式記憶體係將具有控制閘及浮置閘的非揮發性記憶元件用於記憶胞，可用1個電晶體構成記憶胞。這種快閃式記憶體在寫入動作方面，如圖10所示，藉由以非揮發性記憶元件之汲極區域例如為5V(伏特)程度，以連接控制閘CG的字元線為-11V程度，利用隧道電流從浮置閘FG抽出電荷，使臨界電壓成為低狀態(邏輯"0")。在消除動作方面，如圖11所示，以井區域、汲極區域、源極區域為-4V程度，以控制閘CG為12V之類的高電壓，使隧道電流發生，將負電荷注入浮置閘FG，使臨界值成為高狀態("邏輯"1")。藉此，使1個記憶胞記憶1位元的資料。

且說為了使記憶容量增大，提出了使2位元以上的資料記憶於1記憶胞內的所謂「多值」記憶體的概念。作為關於此多值記憶體之發明，有PCT/JP95/02260等。

發明之概述

在上述先前申請案之多值記憶體方面，將3階段的寫入如圖12所示，以消除電平(臨界值約5V)為起點，從對接近消除電平的臨界值之記憶胞的寫入開始依次進行對臨界值遠的記憶胞的寫入。這是為了縮短多值資料的寫入時間。然而，快閃式記憶體在寫入動作方面，對連接於和所選擇記憶胞共同字元線的非選擇記憶胞之控制閘也施加高的

五、發明說明(2)

電壓。因此，得知會使非選擇記憶胞成為弱的寫入(干擾)狀態，臨界電壓變動而有記憶資料變化之虞。將此稱為字元線干擾。

而且，本發明者們發現了上述字元線干擾造成的臨界值變動具有以下特徵：臨界值近的記憶胞要比離消除電平遠的臨界值之記憶胞較易受影響。認為這是因為製造記憶體晶片時的起始臨界值比消除電平低得多，記憶胞具有以下性質：一施加干擾就回到上述起始臨界值。

然而，在上述先前申請案之寫入方式方面，係從接近消除電平的臨界值之記憶胞到臨界值遠的記憶胞依次進行寫入，所以明顯有以下問題點：字元線干擾造成的臨界值變動大。即，在習知寫入方式方面，如圖12所示，具有以下不妥當：若著眼於離消除電平最遠的臨界值(比1.5V低的臨界值)之記憶胞(資料"01")，則字元線干擾一次也不施加於此記憶胞，但對最易受干擾影響的離消除電平最近的臨界值(約3.2V)之記憶胞(資料"10")，則平均施加二次字元線干擾。

此外，在上述先前申請案之寫入方式方面，由於第一階段寫入之際，對於想要錯開臨界值的全部記憶胞施加寫入脈衝，所以明顯有以下不妥當：寫入時的峰值電流增大，同時平均消耗電力也變多。

本發明之目的在於提供一種可將字元線干擾造成的記憶胞之臨界值變動抑制在最小之多值記憶型非揮發性半導體記憶裝置。

本發明之其他目的在於提供一種可減低寫入時的峰值電流和平均消耗電力之非揮發性半導體記憶裝置。

五、發明說明(3)

本發明之前述、其他目的及新特徵，由本說明書之記述及附圖當可明白。

茲概要、簡單說明在本案所揭示的發明之中具代表性者如下。

即，一種設定多數臨界值而使多值資訊記憶於1個記憶胞內之非揮發性半導體記憶裝置，從對遠離消除電平的臨界值之記憶胞的寫入開始依次進行對臨界值近的記憶胞的寫入，換言之，從消除電平起作為寫入狀態，由最低臨界值電壓的記憶胞開始寫入，依次進行對增高臨界電壓的記憶胞的寫入。

藉此，可減少對於最易受字元線干擾影響的接近消除電平的臨界值之記憶胞施加的字元線干擾的次數，可將字元線干擾造成的臨界值變動抑制在最小。

此外，利用上述機構，可比習知方式減少在一次寫入必須預先充電的資料線數和從寫入開始到結束之前必須預先充電的資料線總數，減低寫入時的峰值電流和平均消耗電力。

附圖之簡單說明

圖1為顯示關於本發明之多值快閃式記憶體之資料寫入方法概略的說明圖。

圖2為顯示關於本發明之多值快閃式記憶體之記憶體陣列結構例的電路圖。

圖3為顯示感測鎖定電路SLT及資料鎖定電路DLT之具體例的電路圖。

圖4為顯示將關於本發明之多值快閃式記憶體之2位元寫入資料變換成4值之資料之資料變換電路一實施例的邏輯

五、發明說明(4)

電路圖。

圖5為顯示實施例之多值快閃式記憶體寫入時之資料輸入定時的定時圖。

圖6為顯示實施例之多值快閃式記憶體寫入程序的流程圖。

圖7為顯示從資料鎖定電路DLT到感測鎖定電路SLT之資料轉移時之信號定時的定時圖。

圖8為顯示檢出反常位元之具體程序之定時的定時圖。

圖9為顯示關於本發明之多值快閃式記憶體一實施例概略的全體方塊圖。

圖10為顯示用於實施例之快閃式記憶體之記憶胞構造及資料寫入時之電壓狀態的模式圖。

圖11為顯示用於實施例之快閃式記憶體之記憶胞消除時之電壓狀態的模式圖。

圖12為顯示關於先前申請案發明之多值快閃式記憶體之資料寫入方法概略的說明圖。

符號之簡單說明

- 10 記憶體陣列
- 11 感測鎖定列
- 12a, 12b 資料鎖定列
- 13a, 13b 位址解碼器
- 14a, 14b 字元驅動電路
- 20 資料變換電路
- 21 輸入緩衝部
- 22 資料變換部

五、發明說明 (5)

- 31 命令解碼器
- 32 控制電路
- 33 寫入·消除判斷電路
- 34 時鐘產生電路
- 35 狀態&測試系電路
- 36 主放大電路
- 37 內部電壓產生電路
- 38 控制信號輸入緩衝器及輸出入控制電路
- 39 輸出入緩衝電路
- 40 位址控制學電路

較佳具體實例說明

以下，就將本發明適用於可在1個記憶胞內記憶4值之快閃式記憶體的情況，使用圖面說明其實施例。

圖1顯示本實例之快閃式記憶體之資料寫入順序。在此實施例方面，在寫入之前，使全部的記憶胞成爲消除電平的臨界值區域(臨界值4V以上、記憶資料"11")。其次，如圖1示，進行對離消除電平最遠(低)的臨界值區域(比0V高，1.4V以下)之記憶胞(記憶資料"01")的寫入。其後，進行對離消除電平第二遠(低)的臨界值區域(1.6V以上，2.4V以下)之記憶胞(記憶資料"00")的寫入，最後進行對離消除電平最近，作爲寫入狀態最高的臨界值區域(2.6V以上，3.2V以下)之記憶胞(記憶資料"10")的寫入。

藉此，對於最難受字元線干擾影響的離消除電平遠的臨界值區域之記憶胞(記憶資料"01")施加的字元線干擾的次數成爲2次，但對於最易受字元線干擾影響的離消除電平

五、發明說明(6)

最近的臨界值區域之記憶胞(記憶資料"10")施加的字元線干擾的次數可減為0次，與圖12所示的從接近消除電平側進行寫入的方法相比，可小地抑制字元線干擾造成的臨界值變動。

圖2顯示後述圖9所示的記憶體陣列10之具體例。此實施例之記憶體陣列10以2個底板構成，圖2顯示其中一方(上側)的記憶體底板具體例。如同圖所示，各記憶體底板在行方向(字元線WL方向)及列方向(資料線DL方向)分別配設多數個記憶體列MCC，該記憶體列MCC係由排列於列方向，各自共同連接源極及汲極的並排形態的n個記憶胞(具有浮置閘的金屬氧化物半導體場效電晶體(MOSFET)MC1~MCn構成。各記憶體列MCC，係n個記憶胞MC1~MCn之汲極及源極分別連接於為共同擴散層所形成的局部汲極線LDL及為共同擴散層所形成的局部源極線LSL。局部汲極線LDL形成以下結構：透過開關MOSFET Qs1將接地電位或負電壓供應例如由鋁之類的金屬配線構成的資料線DL；而局部源極線LSL形成以下結構：透過開關MOSFET Qs2仍然將接地電位或負電壓供應由鋁之類的金屬配線構成的共源極線CSL。

上述多數記憶體列MCC之中配設於字元線方向者，形成於半導體基板上的同一井區域WELL內，資料消除時，藉由將-4V之類的負電壓給與該井區域WELL，將12V之類的電壓施加於共井區域的字元線，可整批消除。又，構成如下：資料消除時，使共井區域的全部開關MOSFET Qs1、Qs2成為接通狀態，將-4V的負電壓施加於各記憶胞之源極及汲極。

五、發明說明(7)

另一方面，資料寫入時，將-11V之類的負電壓施加於連接所選擇記憶胞的字元線，同時使與所選擇記憶胞對應的資料線DL成爲5V之類的電位且使連接選擇記憶胞的局部汲極線LDL上的開關MOSFET Qs1成爲接通狀態，將5V施加於汲極。但是，此時使局部源極線LSL上的開關MOSFET Qs2成爲斷開狀態。此外，資料讀出時，將1.5V、2.5V、3.3V之類的電壓施加於連接所選擇記憶胞的字元線，同時將與所選擇記憶胞對應的資料線DL預先充電到1V之類的電位且使連接選擇記憶胞的局部汲極線LDL上的開關MOSFET Qs1成爲接通狀態。而且，此時使局部源極線LSL上的開關MOSFET Qs2成爲接通狀態，施加接地電位0V。

在上述資料線DL一端(記憶體陣列中央側)分別連接感測鎖定電路SLT，該感測鎖定電路SLT係讀出時檢出資料線的電平，同時寫入時給與與寫入資料相應的電位，在資料線DL他端分別連接資料鎖定電路DLT，該資料鎖定電路DLT係保持寫入資料及讀取資料。此實施例之記憶體陣列以2個底板構成，所以在感測鎖定電路SLT相反側，即圖下側也配置著和上述同樣的記憶體底板，該記憶體陣列內的各資料線DL連接於對應的感測鎖定電路SLT之他方輸出入端子。

圖3顯示上述感測鎖定電路SLT及資料鎖定電路DLT之具體電路例。電路隔著感測鎖定電路對稱，所以只關於一方記憶底板內的1條資料線圖示，同時爲了方便起見，連接於資料線的記憶體列之中，只顯示1個記憶體列MCC，但實際上是連接多數記憶體列MCC。如圖示，感測鎖定

五、發明說明 (8)

電路SLT具備正反電路FF1，該正反電路FF1係交叉連接由P通道MOSFET及N通道MOSFET構成的2個CMOS反相器之輸出入端子。而且，一方記憶體底板內的資料線DL_a透過資料轉移MOSFET Q_{t1}連接於上述感測鎖定電路SLT之一方輸出入節點Na。此外，他方記憶體底板內的資料線DL_b透過資料轉移MOSFET Q_{t1'}連接於感測鎖定電路SLT之他方輸出入節點Nb。

再者，放電用MOSFET Q_{d1}、Q_{d1'}分別連接於上述感測鎖定電路SLT之輸出入節點Na、Nb，在資料線DL_a他端也連接放電用MOSFET Q_{d2}。此外，預先充電用MOSFET Q_{p1}、Q_{p2}連接於各資料線DL，其中Q_{p1}透過MOSFET Q_{c1}連接於供應電源電壓V_{cc}或接地電位V_{ss}的端子。又，透過未圖示的共輸出入線從後述資料變換電路，可將寫入資料輸入此感測鎖定電路SLT之輸出入節點Na、Nb。

另一方面，上述資料鎖定電路DLT和感測鎖定電路同樣，具備正反電路FF2，該正反電路FF2係交叉連接由P通道MOSFET及N通道MOSFET構成的2個CMOS反相器之輸出入端子。而且，記憶體底板內的資料線DL_a透過資料轉移MOSFET Q_{t2}連接於上述資料鎖定電路DLT之一方輸出入節點Nc。此外，放電用MOSFET Q_{d3}連接於資料鎖定電路DLT之輸出入節點Nc，在資料線DL_a和電源電壓V_{cc}之間，預先充電信號PC_U及為上述輸出入節點Nc的電位所接通、斷開的MOSFET Q_{p3}及Q_{c2}連接成串聯形態。

再者，透過未圖示的共輸出入線從後述資料變換電路，可將寫入資料輸入資料鎖定電路DLT之輸出入節點Nc。此外，雖然圖3未顯示，但在連接於上述感測鎖定電路

五、發明說明 (9)

SLT之輸出入節點Nb的資料線DLb他端也配置資料鎖定電路DLT，該資料鎖定電路DLT係由保持來自資料變換電路的寫入資料之正反電路構成。

圖4顯示將由外部輸入的應記憶的資料變換成記憶於記憶胞內的多值資料之變換電路20及變換電路20和記憶體陣列10內的感測鎖定列11及資料鎖定列12a、12b之關係。資料變換電路20係由輸入緩衝部21及資料變換部22構成，可使8位元的資料各2位元成對而並排輸入。圖4顯示其中一組的輸入緩衝部21和資料變換部22之詳細。以下，就其中一組的資料變換電路加以說明。

一組資料變換電路內的輸入緩衝部21係由2個時鐘反相器INV1、INV2及鎖定電路LT1、LT2所構成，資料變換部22包含反相器INV11、INV12；連接於上述各組之鎖定電路LT1、LT2；3個反及(NAND)閘電路G1、G2、G3；以此2個反相器INV11、INV12的輸出和上述各組之鎖定電路LT1、LT2的輸出作為輸入信號；反相器INV21、INV22、INV23；反轉這閘電路的輸出；及，傳輸閘TG1、TG2、TG3；由連接於這些反相器的MOSFET構成，將輸入的2位元資料變換成3位元資料，全體輸出3位元X4的資料。

表1顯示上述資料變換電路20的資料變換例。

【表1】

寫入資料	I/O 0	I/O 1	DLU [1]	SL [1]	DLD [1]
01	0	1	0	1	0
00	0	0	1	0	0
10	1	0	0	0	1
11	1	1	0	0	0

五、發明說明 (10)

如表1所示，寫入資料"01"變換成3位元的資料"010"，寫入資料"00"，變換成3位元的資料"100"，寫入資料"10"變換成3位元的資料"001"，寫入資料"11"變換成3位元的資料"000"。而且，只在變換後與相當於"1"的位元對應之記憶胞進行寫入，在變換後與相當於"0"的位元對應之記憶胞不進行寫入。

變換最初輸入上述資料變換電路20的8位元寫入資料的透過外部端子I/O 0、I/O 1所供應的位元而得到的3位元資料，分別轉移到配置於記憶體陣列10兩端(在圖中為上和下)的資料鎖定列12a、12b和配置於記憶體陣列中央的感測鎖定列11之第一號鎖定電路(DLU1、SL1、DLD1)保持。此外，變換透過外部端子I/O 2、I/O 3所供應的寫入資料的位元而得到的3位元資料，分別轉移到配置於記憶體陣列10兩端(在圖中為上和下)的資料鎖定列12a、12b和配置於記憶體陣列中央的感測鎖定電路11之第二號鎖定電路(DLU2、SL2、DLD2)保持。

以下同樣地，變換透過外部端子I/O 4、I/O 5所供應的寫入資料的位元而得到的3位元資料，分別轉移到料鎖定列12a、12b和感測鎖定列11之第三號鎖定電路(DLU3、SL3、DLD3)保持。變換透過外部端子I/O 6、I/O 7所供應的寫入資料的位元而得到的3位元資料，分別轉移到資料鎖定列12a、12b和感測鎖定列11之第四號鎖定電路保持。其次所輸入的8位元寫入資料以資料變換電路20變換，分別轉移到資料鎖定電路12a、12b和感測鎖定電路11之第五~八號位元保持。

反覆上述動作，在將資料儲存於資料鎖定列12a、12b和

五、發明說明 (11)

感測鎖定列11之全部鎖定電路時，設於記憶體內部的後述控制電路起動寫入順序，按照最初保持於感測鎖定列11的資料、其次感測鎖定列12a的資料、其後12b的資料順序，執行寫入。又，控制電路構成如下：根據由外部的中央處理器(CPU)等輸入的命令進行控制。

圖5顯示資料寫入時的定時。如由同圖得知，寫入時，首先輸入指示資料寫入的寫入命令，接著輸入連接應寫入的記憶胞之字元線位址(扇區位址)add 1、add 2。分別與允許寫入信號/WE之下降邊同步所輸入。此時，命令和位址的識別為所同時輸入的控制信號(命令、資料、允許信號)/CDE所區別。即，/CDE低電平時，意味著輸入命令或資料，/CDE高電平時，意味著輸入位址。

位址的其次，將應記憶的最初8位元寫入資料D1輸入1扇區(連接於1條字元線的記憶胞)，與時鐘SC同步而取入上述輸入緩衝部21。然後，在資料變換電路20資料變換後，根據閘控制信號YG接通上述傳輸閘TG1~TG3，將3位元X4的寫入資料依次轉移到資料鎖定列12a、12b和感測鎖定列11保持。其後，逐步資料變換以8位元單位輸入的寫入資料D2、D3...D528而儲存於感測鎖定列11和資料鎖定列12a、12b。1扇區分的寫入資料轉移結束，就從外部輸入使寫入動作開始的寫入開始命令而取入，藉由解讀此命令，執行前述寫入順序，同時進行1扇區分的資料寫入。

在記憶體陣列10方面，對於記憶元件進行寫入動作，即寫入脈衝的施加，該記憶元件係連接於儲存於上述感測鎖定列11和資料鎖定列12a、12b的資料成為"1"的資料線，如圖1所示，移動各記憶元件的臨界值，可將4值的資料寫

五、發明說明 (12)

入1記憶胞。圖6顯示寫入控制順序。

在圖6中，先輸入寫入命令、寫入扇區位址及寫入資料後，在第一步驟S1(將寫入資料轉移到鎖定1~3)將為上述資料變換電路20所變換的資料進行資料轉移到感測鎖定列11和資料鎖定列12a、12b，第二步驟S2以後係輸入寫入開始命令而開始的控制順序。

在此控制順序方面，首先將字元線設定在-11V之類的電位，該字元線係以解譯最初已取入的寫入位址而選擇(步驟S2)。和此同時，使資料線上的傳輸MOSFET Q_{t1} 接通，當時按照保持於感測鎖定列11的資料，將資料成為"1"的資料線設定在5V之類的電位而使寫入進行。其次，將資料線預先充電到1V之類的電位之後，將上述選擇字元線設定在1.5V之類的電壓而進行驗證讀出。此時，從正常寫入結束的記憶胞讀出到感測鎖定列11的資料變成"0"。於是，判斷感測鎖定列11的保持資料是否全部變成"0"(步驟S3)。而且，即使1個"1"的資料留下時，當時也用保持於感測鎖定列11的資料，只是未進行寫入的記憶胞再度進行寫入(步驟S4)。

驗證判斷的結果，感測鎖定列11的資料全部變成"0"時，進入步驟S5，將保持於資料鎖定列12a的資料轉移到感測鎖定列11。然後，將選擇字元線設定在比前次低一些的-10.5V之類的電位(步驟S6)。其次，根據保持於感測鎖定列11的資料進行寫入後，將選擇字元線設定在2.5V之類的電壓而進行驗證讀出，判斷感測鎖定列11的保持資料是否全部變成"0"(步驟S7)。而且，即使1個"1"的資料留下時，當時也用保持於感測鎖定列11的資料，只是未進行

五、發明說明 (13)

寫入的記憶胞再度進行寫入(步驟S8)。

驗證判斷的結果，感測鎖定列11的資料全部變成"0"時，進入步驟S9，這次將保持於資料鎖定列12b的資料轉移到感測鎖定列11。然後，將選擇字元線設定在比前次更低一些的-10V之類的電位(步驟S10)。其次，根據保持於感測鎖定列11的資料進行寫入後，將選擇字元線設定在3.3V之類的電壓而進行驗證讀出，判斷感測鎖定列11的保持資料是否全部變成"0"(步驟S11)。而且，即使1個"1"的資料留下時，當時也用保持於感測鎖定列11的資料，只是未進行寫入的記憶胞再度進行寫入(步驟S12)。

根據以上順序，從消除電平起使記憶胞的臨界值作為寫入狀態成為最低的臨界值區域，依次執行對臨界值高的記憶胞的寫入，而寫入動作結束。藉此，對於接近消除電平的臨界值之記憶胞(作為寫入狀態在於最高的臨界值區域之記憶胞)，可減少這種字元線干擾的次數，可將字元線干擾造成的臨界值變動抑制在最小。而且，在上述實施例方面，由於使寫入字元線電壓如-11V、-10.5V、-10V，逐漸縮小絕對值下去，所以一次產生的干擾量也逐漸變小，可更加縮小臨界值的變動。但是，也可以逐漸縮小寫入脈衝寬度，以取代逐漸降低寫入電壓。此外，也可以不利用命令而根據來自外部的控制信號，開始位址、資料的輸入或資料的寫入動作。

其次，使用圖3之電路圖及圖7之定時圖，說明上述步驟S5、S9中從資料鎖定列12a、12b到感測鎖定列鎖定列11的資料轉移具體方法。

(1)首先將感測鎖定電路SLT之PMOS側的電源電壓設定

五、發明說明 (14)

在 V_{ss} (接地電位) 而使感測鎖定電路 SLT 成爲不活性狀態，將重設脈衝 RSA_CU 給與放電 MOSFET Qd1 之閘極，抽出節點 Na 的電荷。

(2) 其次使資料鎖定電路 DLT 之預先充電 MOSFET Qp3 之閘極控制信號 PC_U 成爲高電平，使用資料鎖定電路 DLT 的保持資料使資料線 DL a 預先充電到 $V_{cc}-V_{th}$ 。

(3) 使資料鎖定電路 DLT 之傳輸 MOSFET Qt2 之閘極控制信號 TR_U 成爲高電平，使用資料鎖定電路 DLT 的保持資料線 DL a 更進一步預先充電到 V_{cc} 。

(4) 使感測鎖定電路 SLT 側之傳輸 MOSFET Qt1 之閘極控制信號 TR_CU 成爲高電平，將資料線 DL a 的電平傳到節點 Na。

(5) 將電源電壓 V_{cc} 供應感測鎖定電路 SLT 之 PMOS 側而使感測鎖定電路 SLT 成爲活性狀態，使節點 Na 的電位，即保持資料確定。

(6) 其次使傳輸 MOSFET Qt1 之閘極控制信號 TR_CU 成爲低電平而使其斷開之後，使資料線 DL a 他端之放電 MOSFET Qd2 之閘極控制信號 DDC_U 成爲高電平而使資料線 DL a 的電位放電到 V_{ss} 。

藉由對於全部的資料線同時進行以上的動作，可進行從資料鎖定列 12a、12b 到感測鎖定列 11 的資料轉移。

再者，在上述結構之記憶體陣列方面，根據下述方法可檢出所謂的反常位元，在本實施例之快閃式記憶體設置了檢出反常位元而修補該反常位元的順序。此處所謂反常位元，係指其原因不明，但在施加同一寫入脈衝的記憶胞之中突然臨界值過度下降而做了錯誤資料的寫入。即，經驗

五、發明說明 (15)

上得知，儘管如成爲與資料"00"對應的臨界值般地施加寫入脈衝或如成爲與資料"10"對應的臨界值般地施加寫入脈衝，然而臨界值過度下降而產生具有與資料"01"對應的臨界值之類的記憶胞。

於是，在此實施例，於進行與資料"00"及資料"10"對應的記憶胞寫入之際，將該寫入資料留在資料鎖定電路，寫入結束後，在感測鎖定電路讀出資料而在資料線上進行比較，以進行反常位元的檢出。茲一面參照圖3及圖8，一面說明該具體順序。

(1) 寫入結束後，使用保持於資料鎖定DLT的寫入資料，將資料線DLa選擇地預先充電到1.0V之類的電平。即，只是預先充電連接於保持資料"1"的資料鎖定之資料線。又，此時，相反側底板的資料線DLb預先充電到0.5V。

(2) 將連接進行寫入的記憶胞之字元線設定在比作爲目標的臨界值低的讀出電平而進行讀出。此時，由於做正常寫入的記憶胞爲斷開，所以資料線仍然是預先充電電位，但因反常位元的記憶胞成爲接通狀態，所以使資料線放電。

(3) 接通資料線上的傳輸MOSFET Qt1，利用感測鎖定電路DLT檢出資料線的電平。

(4) 放大將電源電壓供應感測鎖定電路SLT而檢出的資料線電平。

(5) 接通資料線上的放電用MOSFET Qd2，使全部資料線放電。

(6) 使用保持於資料鎖定DLT的寫入資料，將資料線

五、發明說明 (16)

DLa再度選擇地預先充電到1.0V之類的電平。相反側底板的資料線DLb預先充電到0.5V。

(7)使用保持於感測鎖定電路SLT的資料線，使MOSFET Qc1選擇地接通，同時以其電源端子為Vss而使資料線DLa選擇地放電。此時，資料線上的傳輸MOSFET Qt1為斷開狀態。藉此，使連接做正常寫入的記憶胞之資料線放電，但不使連接產生反常位元的記憶胞之資料線放電。

(8)切斷感測鎖定電路SLT的電源電壓，接通放電用MOSFET Qd1而重設感測鎖定電路SLT。

(9)接通資料線上的傳輸MOSFET Qt1，利用感測鎖定電路DLT檢出資料線的電平。放電用MOSFET Qd1斷開。

(10)放大將電源電壓供應感測鎖定電路SLT而檢出的資料線電平。

根據以上順序，在連接產生反常位元的記憶胞之感測鎖定電路SLT保持資料"1"。因此，藉由利用後述寫入、消除判斷電路33(參照圖9)檢出是否"1"留在感測鎖定電路SLT上，以檢出是否產生了反常位元，藉由豎立錯誤旗標通知外部或使用留在感測鎖定電路SLT上的資料，使反常位元成為消除狀態，進行再寫入，可修補資料。

又，反常位元是臨界值過度下降的現象，所以關於臨界值最低的記憶胞，即使因寫入而產生反常位元，於讀出時也不成為錯誤資料。是因為將最低的讀出電平(1.7V)施加於字元線時，和進行正常寫入的記憶胞同樣成為接通狀態。假設反常位元的臨界值變成0V以下時，在使字元線成為0V的狀態下，若使感測鎖定電路活化，則使該記憶胞成為接通狀態，而讀出資料成為"1"，所以即使寫入資料

五、發明說明 (17)

未留下，也可以檢出。在上述實施例方面，由於最初進行臨界值最低的記憶胞寫入，所以即使從感測鎖定電路失去用於最初寫入的寫入資料，在檢出反常位元上一點也沒有妨礙。

其次，就透過外部端子將記憶胞的資料輸出到快閃式記憶體外部的通常讀出動作加以說明。資料的讀出係如下進行：提升字元線而如上述驗證動作時，使記憶胞之控制閘電位三階段（各臨界值的中間值）變化，同時透過資料線 DL 將 1V 的電壓施加於選擇記憶胞之汲極，並且將局部源極線 LSL 連接於接地點。由於使臨界值比字元線電平低的記憶胞成為接通狀態，所以使連接此記憶胞的資料線放電到接地電位。另一方面，由於使臨界值比字元線電平高的記憶胞成為斷開狀態，所以使連接此記憶胞的資料線成為仍然是 1V。藉由利用感測鎖定電路 SLT 或資料鎖定電路 DLT 檢出此電位，可得到一次讀出資料。

更加具體，係一開始讀出動作，首先就使選擇字元線電平成為 3.5V，由選擇記憶胞讀出資料而使其保持於資料鎖定列 12a。其次，使選擇字元線電平成為 2.7V，由選擇記憶胞讀出資料而使其保持於資料鎖定列 12b。最後，使選擇字元線電平成為 1.7V，由選擇記憶胞讀出資料而使其保持於感測鎖定列 11。如此，藉由使字元線電平三階段變化，由同一記憶胞依次讀出三種資料而保持於資料鎖定列 12a、12b 和感測鎖定列 11，所以藉由對於這些所讀出的資料實施邏輯運算而加以反變換，可使和所寫入的資料相同的讀出資料以 2 位元單位復原。

表 2 顯示記憶胞的記憶資料和到各鎖定電路的一次讀出

五、發明說明 (18)

資料及反變換後的讀出資料。

【表2】

記憶資料	第一次讀出	第二次讀出	第三次讀出	讀出資料	
	$V_{wr} = 3.5V$	$V_{wr} = 2.7V$	$V_{wr} = 1.7V$	I/O 0	I/O 1
01	0	0	0	0	1
00	0	0	1	0	0
10	0	1	1	1	0
11	1	1	1	1	1

又，上述反變換也可以在資料變換電路20內設置那種邏輯運算電路而進行，也可以藉由使用記憶體陣列10內的資料線，採取保持於資料鎖定列12a、12b和感測鎖定列11的資料彼此的佈線邏輯(「或」或「互斥或」)而執行。此外，讀出動作係藉由輸入命令讀出的命令而執行。圖9顯示在同一半導體晶片上具備上述記憶體陣列10、資料變換電路20及控制電路和記憶體周邊電路之多值快閃式記憶體1全體結構例。

此實施例之快閃式記憶體不特別限制，但構成如下：具備命令解碼器31：解譯從外部的CPU等透過外部端子I/O所給與的命令；及，控制電路(定序器)32：根據該命令解碼器31的解譯結果，為執行與該命令對應的處理，依次形成對於記憶體內部各電路的控制信號而輸出；一給與命令，就解譯該命令而執行自動對應的處理。上述控制電路32構成如下：和例如微程式方式的CPU之控制部同樣，係由ROM(唯讀記憶體)構成，該ROM係儲存執行命令所需的一連串微命令群，藉由命令解碼器31生成與命令對應的微命令群之前頭位址而給與控制電路32，以啟動微程式。

五、發明說明 (19)

在圖9中，附上和圖4相同符號的電路部分為具有相同功能的電路。即，10為以2個記憶體底板MAT-A、MAT-B構成的記憶體陣列，20為將由外部輸入的寫入資料每2位元變換成4值資料的資料變換電路，11為保持所變換的寫入資料或讀出資料的感測鎖定列，12a、12b為資料鎖定列。

記憶體陣列10上設置X系位址解碼器13a、13b：與各記憶體底板MAT-A、MAT-B對應而分別解譯位址信號，進行字元線選擇；及，字元驅動電路14a、14b：按照該解碼器13a、13b的解譯結果，將由後述內部電壓產生電路37產生、供應的預定電壓供應各記憶體底板內的1條選擇字元線WL。雖然不特別限制，但在此實施例之記憶體陣列10方面，上述字元驅動電路配置於各記憶體底板兩側及中央。雖然圖2或圖3中未顯示，但Y系位址解碼電路及為此解碼器所選擇接通、斷開，使來自資料變換電路20的資料轉移到對應的感測鎖定電路之行開關和感測鎖定列11一體構成。圖9中以1個功能塊Y-DEC&SLT表示此Y系解碼電路、行開關及感測鎖定電路。

此實施例之多值快閃式記憶體除了上述各電路之外，還設置寫入、消除判斷電路33：寫入時或消除時，根據感測鎖定列11的資料判斷寫入或消除結束了嗎？而通知上述控制電路32，使寫入順序或消除順序結束；時鐘產生電路34：形成內部動作所需的定時時鐘而供應記憶體內的各電路；狀態&測試系電路35：具備反映記憶體內部的狀態，同時將對於外部顯示從外部可否存取的就緒/忙碌信號R/B形成信號而輸出或測試內部電路的功能；主放大電路36：放大由記憶體陣列10讀出的信號；內部電壓產生電路37：

五、發明說明 (20)

透過電源端子供應電源電壓 V_{cc} (3.3V) 及接地電位 V_{ss} ; 輸出入緩衝電路 39: 取入由外部透過外部端子 I/O 輸入的位址信號或寫入資料信號及命令而供應內部的預定電路, 同時將讀出資料信號輸出到外部; 控制信號輸入緩衝器 & 輸出入控制電路 38; 取入由外部輸入的控制信號而供應控制電路 32 及其他內部的預定電路或控制上述輸出入緩衝電路 38; 位址控制系電路 40; 及, 冗餘電路 41: 記憶體陣列內有不良位元時, 和預備記憶體行調換。

此實施例之快閃式記憶體以位址信號和寫入資料信號及命令輸入共用外部端子(插腳) I/O。因此, 輸出入緩衝電路 38 按照來自上述控制信號輸入緩衝器 & 輸出入控制電路 39 的控制信號, 區別這些輸入信而取入, 供應預定的內部電路。此外, 上述內部電壓產生電路 37 係由基準電源產生電路: 產生成為基板電位等基準的電壓; 內部電源產生電路: 根據由外部供應的電源電壓 V_{cc} 產生寫入電壓、消除電壓、讀出電壓、驗證電壓等在晶片內部所需的電壓, 由充電泵等構成; 電源切換電路: 按照記憶體的動作狀態, 由這些電壓中選擇所希望的電壓而供應記憶體陣列 10; 及, 電源控制電路: 控制這些電路所構成。

上述位址控制系電路 40 係由位址計數器 ACNT: 取入由外部輸入的位址信號而計數完畢; 位址產生器 AGEN: 資料轉移時, 自動更新 Y 位址或資料消除時等, 自動產生 X 位址; 及, 救濟系電路: 比較輸入位址和不良位址, 於位址一致時, 切換選擇記憶體行或列所構成。

作為由外部的 CPU 等輸入此實施例之快閃式記憶體的 control 信號, 例如有重設信號 RES 或晶片選擇信號 CE、寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (21)

控制信號 WE、輸出控制信號 OE、顯示命令或資料輸入或位址輸入的命令允許信號 CDE、系統時鐘 SC 等。

又，作為控制上述實施例之多值快閃式記憶體的外部裝置，由於具備位址生成功能和命令生成功能即可，所以可用通用微電腦 LSI。

如以上說明，上述實施例在設定多數臨界值而使多值資訊記憶於 1 個記憶胞內之非揮發性半導體記憶裝置方面，從對離消除電平遠的臨界值(作為寫入狀態的最低臨界值)之記憶胞的寫入開始依次進行對臨界值高之記憶胞的寫入，所以可減少對於最易受字元線干擾影響的接近消除電平的臨界值之記憶胞施加的字元線干擾次數，具有以下效果：可將字元線干擾造成的臨界值變動抑制在最小。

此外，在習知寫入方式方面，於第一階段寫入之際，對於想要錯開臨界值的全部記憶胞施加寫入脈衝，而有下列不妥當：寫入時的峰值電流增大，同時平均消耗電力也變多，但在上述實施例方面，只要作為目標的臨界值不同的各記憶胞施加寫入脈衝即可，所以比習知方式減少必須以一次寫入預先充電的資料線數和必須從寫入開始到結束預先充電的資料線之總數，具有以下效果：可減低寫入時的峰值電流和平均消耗電力。

而且，在上述實施例方面，由於將寫入字元線電壓控制成按照目標臨界值標而其絕對值逐漸變小，所以一次產生的干擾量也逐漸變小，可更加縮小臨界值變動。

再者，在上述實施例方面，由於記憶體陣列以 2 個底板構成，在 2 個底板間配置感測鎖定電路，該感測鎖定電路係各底板內的資料線連接於輸出入端子，以上述資料變換

五、發明說明 (22)

電路變換的3位元資料之中可保持1位元，在各底板外側配置資料鎖定電路，該資料鎖定電路係分別以上述資料變換電路變換的3位元資料之中可分別保持其他的1位元，在資料鎖定電路和感測鎖定電路之間透過資料線進行資料轉移，所以具有以下效果：無需在資料變換電路側設置保持變換後的資料之暫存器，同時也可簡單進行反常位元的檢出。

以上根據實施例具體說明了由本發明者所完成的發明，但本發明不受上述實施例限定，當然可在不脫離其要旨的範圍作各種變更。例如在上述實施例方面，係將記憶胞的臨界值設定成四階段而可在1個記憶胞內記憶4值的資料，但也可以適用於將記憶胞的臨界值設定成三階段或五階段以上的非揮發性記憶體。

此外，在實施例方面，作為將2位元資料變換成4值資料方式的一例，進行如表1所示的變換，但變換方式不受表1所示的變換限定，若是結果可得到"1"豎立的位元位置不同的資料即可。此外，資料反變換的運算也不受表2的變換限定，若是可使原來的2位元資料復原的，不論那種變換都可以。

再者，對於各記憶胞的寫入方式也不受下述方式限定：如實施例，一旦進行消除而增高臨界值後，以寫入脈衝降低臨界值，但也可以是以寫入脈衝增高臨界值的方式等。此外，在實施例方面，係對與保持資料"1"的感測鎖定電路對應之記憶胞進行寫入而使臨界值變化，但也可以對與保持資料"0"的感測鎖定電路對應之記憶胞進行寫入而使臨界值變化。

五、發明說明 (23)

再者，在上述實施例方面，係就以2個底板構成記憶體陣列的情況加以說明，但本發明不受此限定，分割成偶數個底板的情況不用說，也可以適用於以1個底板構成的情況。以1個底板構成記憶體陣列時，例如適用將以資料變換電路變換後的資料分成2次轉移等方式即可。

以上說明主要是就下述情況加以說明：將由本發明者所完成的發明適用於成為其背景的為利用區域之整批消除型快閃式記憶體，但本發明並不受此限定，可廣泛利用於以浮置閘突崩注入金屬氧化物半導體(FAMOS)為記憶元件之非揮發性記憶裝置一般，甚至於具有多數臨界值的具備記憶胞之半導體裝置。此外，有一種反或(NOR)型快閃式記憶體：使臨界值成為最低的狀態定義為消除，將從消除狀態起增高臨界值定義為寫入。考慮在多值NOR型快閃式記憶體減少寫入的字元線干擾影響時，資料的寫入最好是從消除狀態的最低臨界值到第二低的臨界值，其次從最低的臨界值到第三低的臨界值，往高的臨界值逐漸進行。

茲簡單說明在本申請案所揭示的發明之中由具代表性者所得到的效果如下。

即，本發明可實現一種可將字元線干擾造成的記憶胞臨界值變動抑制在最小，同時可減低寫入時的峰值電流和平均消耗電力之非揮發性半導體記憶裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

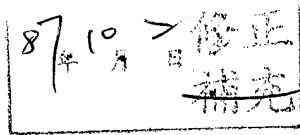
裝

四、中文發明摘要(發明之名稱：非揮發性半導體記憶裝置)

本發明之非揮發性半導體記憶裝置，係設定多數臨界值而使多值資訊記憶於1個記憶胞內，從消除電平起作為寫入狀態，由對最低臨界值的記憶胞的寫入開始依次進行對高臨界值的記憶胞的寫入。

英文發明摘要(發明之名稱："不揮發性半導體記憶裝置")

複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮發性半導体記憶装置において、消去レベルから書込み状態として一番低いしきい値のメモリセルへの書込みから開始して順次高いしきい値のメモリセルへの書込みを行うようにした。



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵在於：
具有多數記憶胞：該多數記憶胞各自由具有控制閘及浮置閘之電晶體所成，以資料為臨界值儲存；
多數資料線，與所對應之記憶胞結合者；
多數字元線，與所對應之記憶胞結合者；
資料鎖定電路，係對應於上述資料線而設置，用以儲存應被寫入之資料者；及
感測鎖定電路，係對應於上述資料線而設置，儲存自與所選擇之字元線結合之記憶胞所讀出之資料者；
在基於儲存於上述感測鎖定電路之資料及儲存於上述資料鎖定電路之應被寫入之資料，檢測出產生反常位元時，修正產生反常位元之記憶胞的資料。
2. 根據申請專利範圍第1項之非揮發性半導體記憶裝置，其中：
於檢測反常位元中，將儲存特定狀態的資料之上述資料鎖定電路所結合之資料線予以預先充電者。
3. 根據申請專利範圍第2項之非揮發性半導體記憶裝置，其中：
於檢測反常位元時，對字元線施加比讀出資料時所施加之電壓更低之第1電壓者。
4. 根據申請專利範圍第3項之非揮發性半導體記憶裝置，其中：
於檢測反常位元中，上述感測鎖定電路係藉由對字元線施加上述第1電壓，儲存自記憶胞所讀出之資料者。

煩請委員明示 87年10月2日所提之修正本有無實質內容是否准予修正。

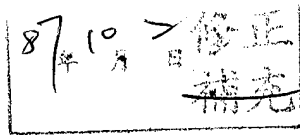
經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵在於：
 - 具有多數記憶胞：該多數記憶胞各自由具有控制閘及浮置閘之電晶體所成，以資料為臨界值儲存；
 - 多數資料線，與所對應之記憶胞結合者；
 - 多數字元線，與所對應之記憶胞結合者；
 - 資料鎖定電路，係對應於上述資料線而設置，用以儲存應被寫入之資料者；及
 - 感測鎖定電路，係對應於上述資料線而設置，儲存自與所選擇之字元線結合之記憶胞所讀出之資料者；在基於儲存於上述感測鎖定電路之資料及儲存於上述資料鎖定電路之應被寫入之資料，檢測出產生反常位元時，修正產生反常位元之記憶胞的資料。
2. 根據申請專利範圍第1項之非揮發性半導體記憶裝置，其中：
 - 於檢測反常位元中，將儲存特定狀態的資料之上述資料鎖定電路所結合之資料線予以預先充電者。
3. 根據申請專利範圍第2項之非揮發性半導體記憶裝置，其中：
 - 於檢測反常位元時，對字元線施加比讀出資料時所施加之電壓更低之第1電壓者。
4. 根據申請專利範圍第3項之非揮發性半導體記憶裝置，其中：
 - 於檢測反常位元中，上述感測鎖定電路係藉由對字元線施加上述第1電壓，儲存自記憶胞所讀出之資料者。

煩請委員明示 87年10月2日所提之修正本有無實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

六、申請專利範圍

5. 根據申請專利範圍第4項之非揮發性半導體記憶裝置，其中：

上述多數資料線之每一條係與預先充電用MOSFET結合，於檢測反常位元中，藉由使上述預先充電用MOSFET成爲"開"(ON)，將上述多數資料線予以放電者。

6. 根據申請專利範圍第5項之非揮發性半導體記憶裝置，其中：

具有MOSFET，其閘極與上述感測鎖定電路的輸出結合，藉由儲存於上述感測鎖定電路之資料，選擇性地被設定爲"開"(ON)者。

7. 根據申請專利範圍第6項之非揮發性半導體記憶裝置，其中：

利用上述感測鎖定電路，修正產生反常位元之記憶胞的資料者。

8. 根據申請專利範圍第7項之非揮發性半導體記憶裝置，其中：

上述多數記憶胞各儲存多值資料者。

9. 根據申請專利範圍第7項之非揮發性半導體記憶裝置，其中：

上述複數記憶胞各儲存2位元資料者。

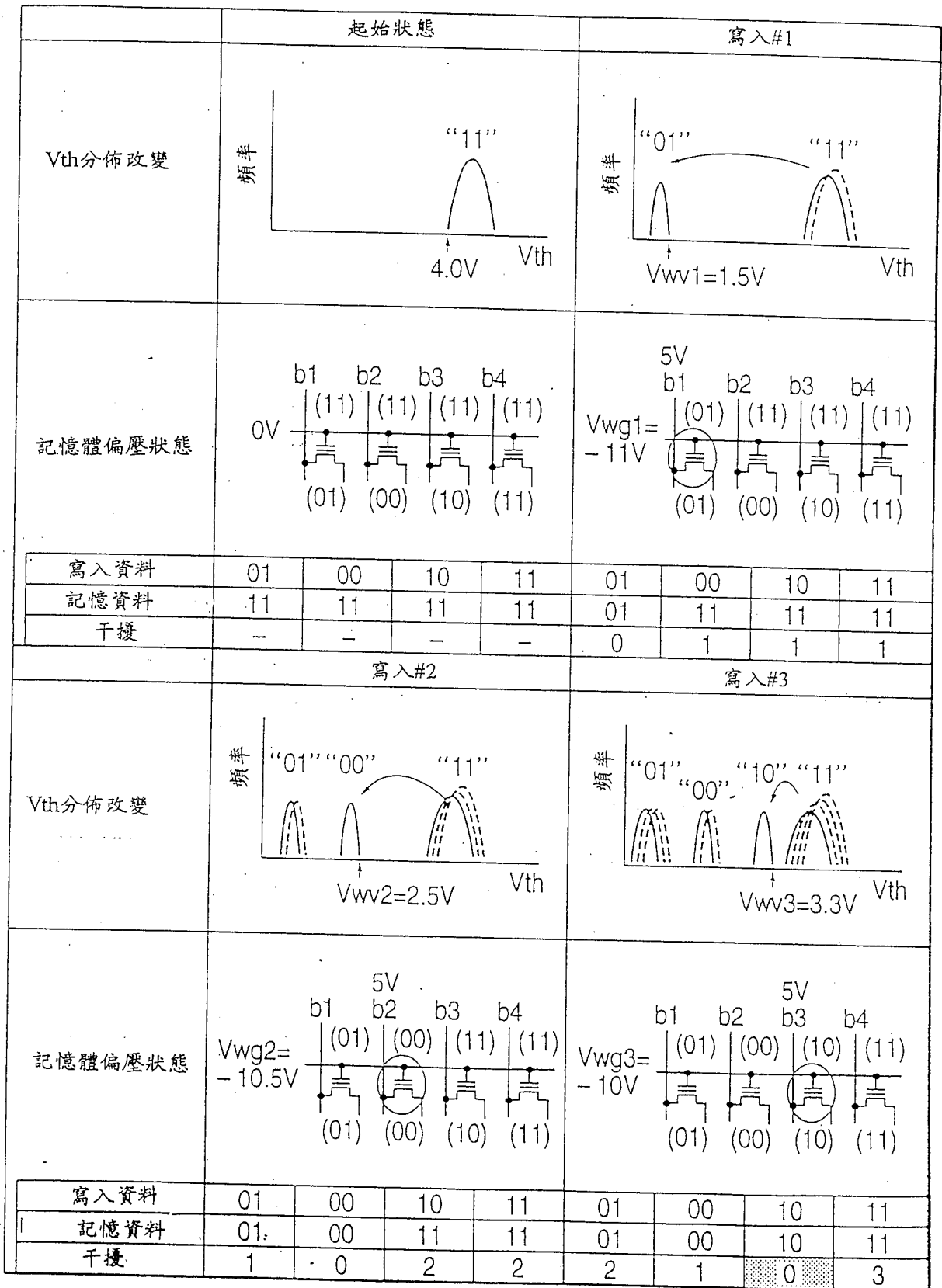
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

圖 1



煩請委員明示本案內容，是否變更原實質內容

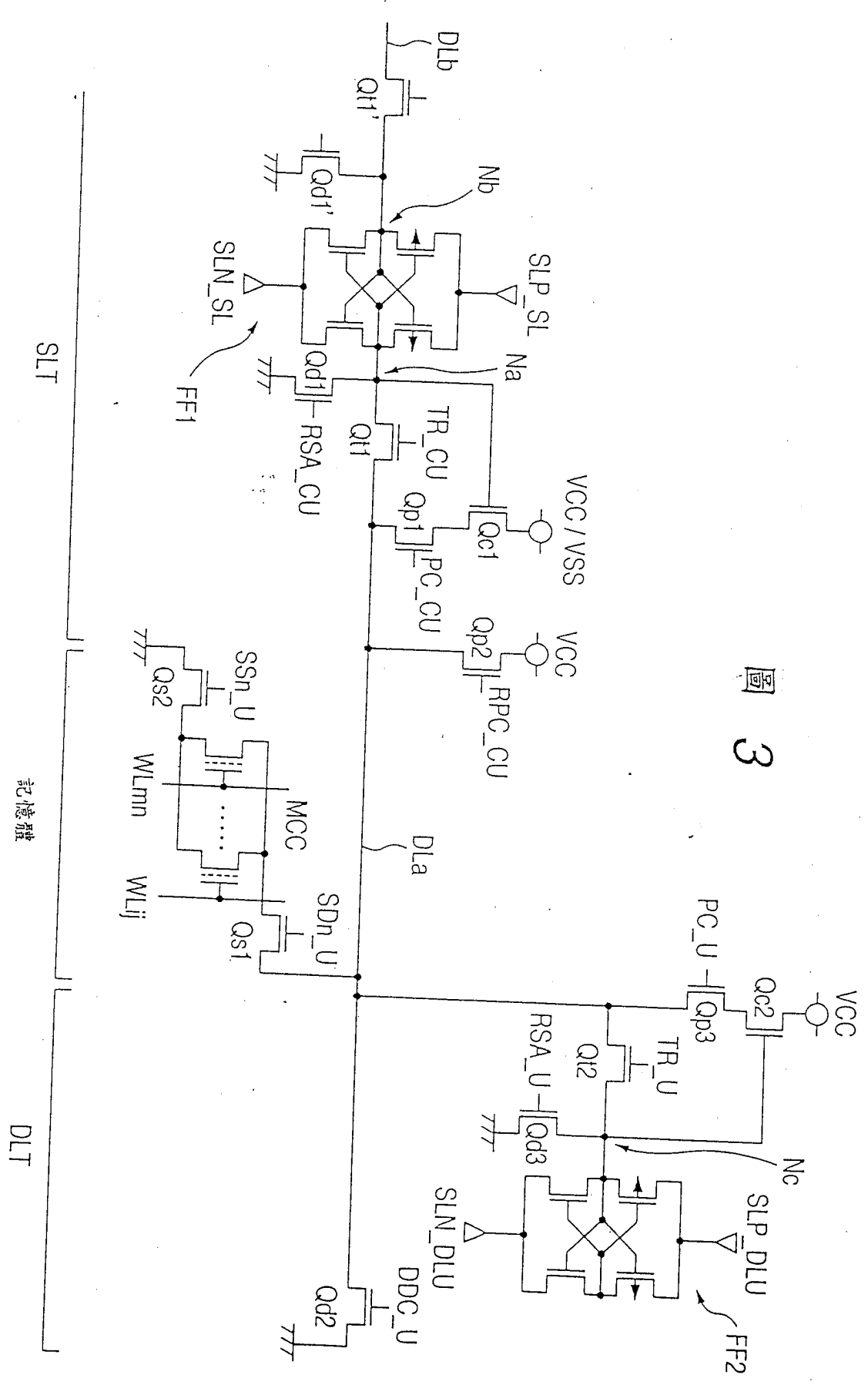
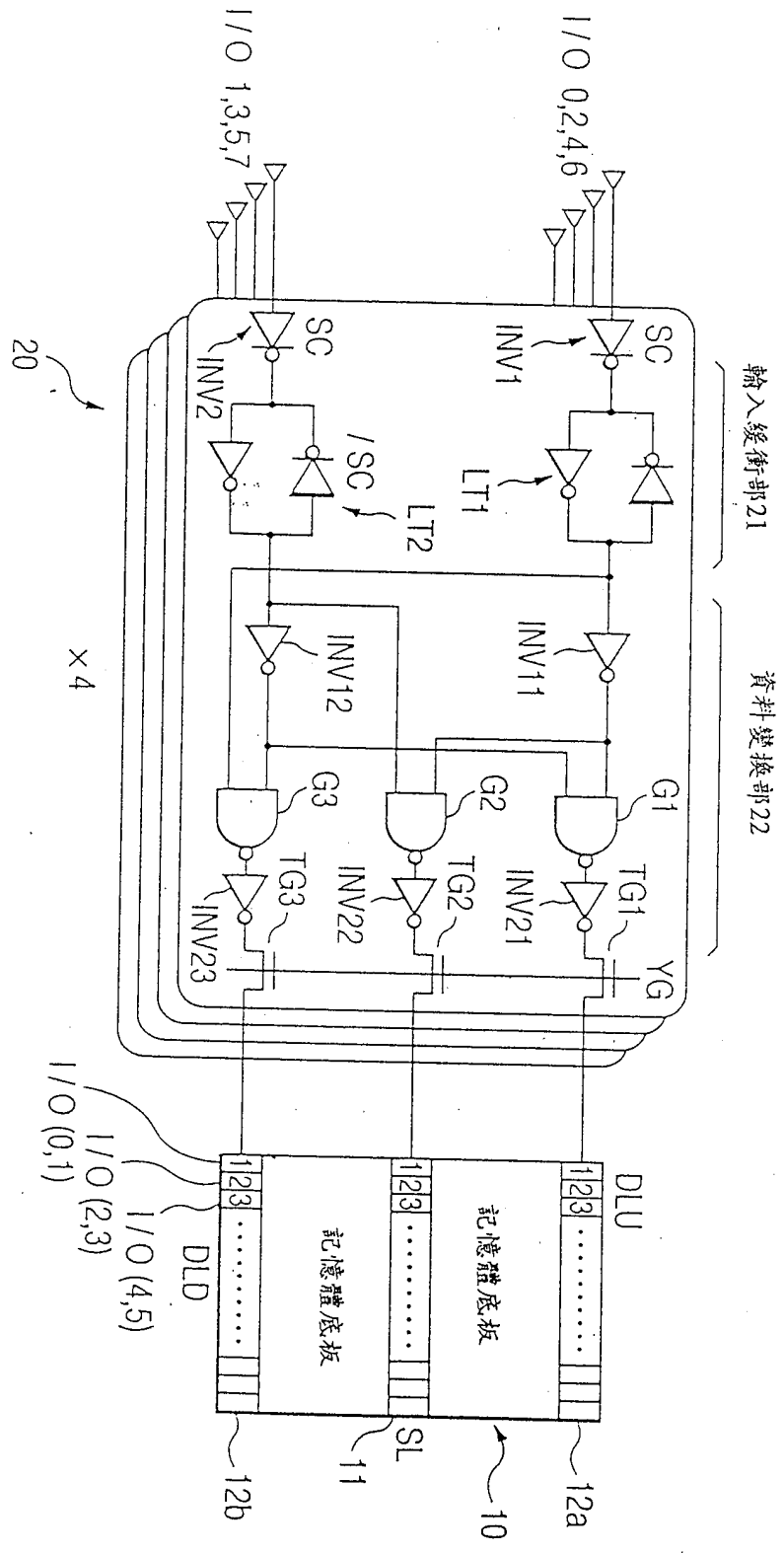


圖 3

記憶體

DLT

圖 4



輸入緩衝部21

資料變換部22

×4

20

DLU

123

12a

記憶體基板

123

11

記憶體基板

123

12b

DLD

I/O (0,1)

I/O (2,3)

I/O (4,5)

I/O (0,1)

I/O 1,3,5,7

I/O 0,2,4,6

SC

INV2

/SC

LT2

SC

INV1

LT1

G1

TG1

INV21

YG

INV11

INV12

G2

TG2

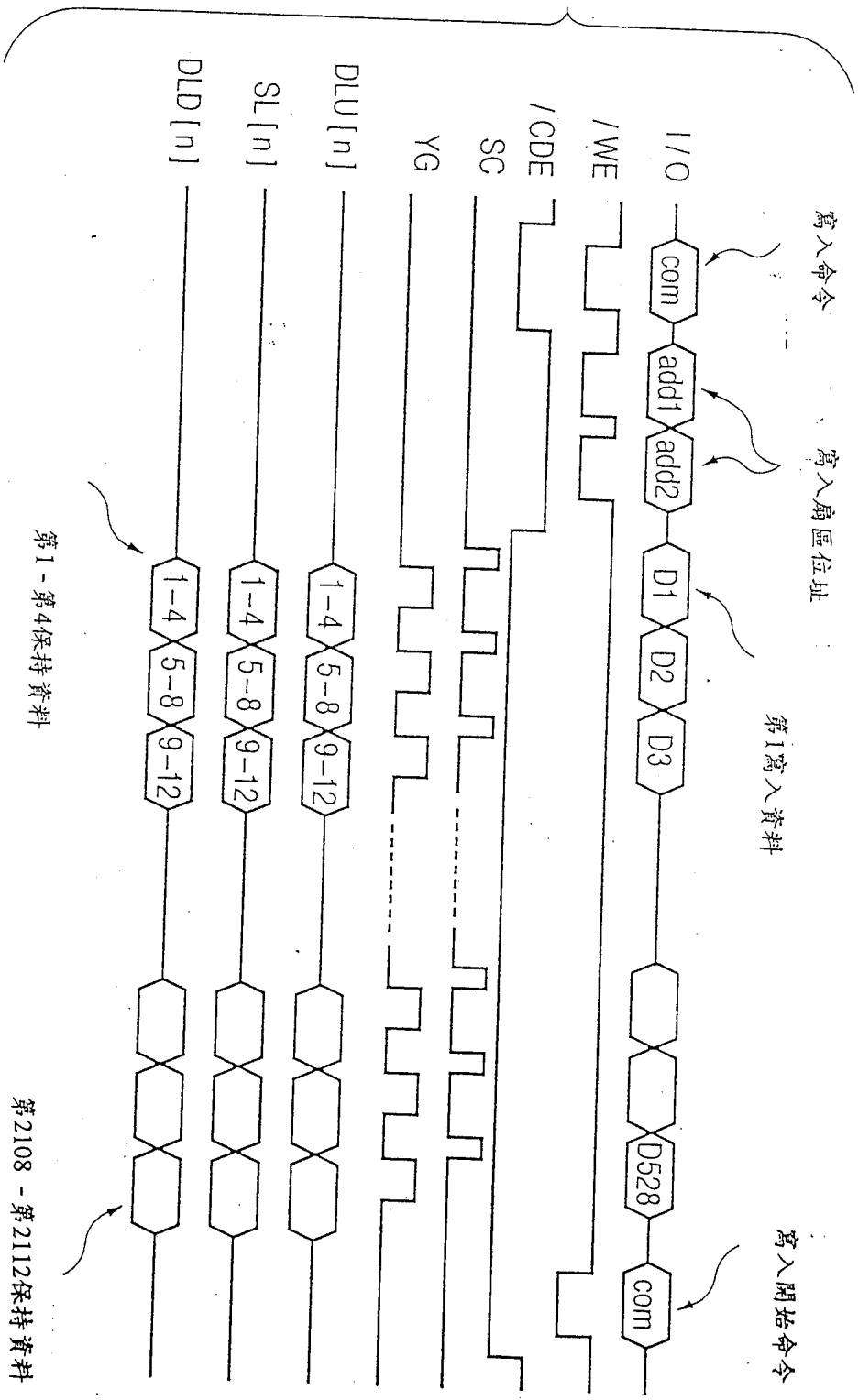
INV22

G3

TG3

INV23

圖 5



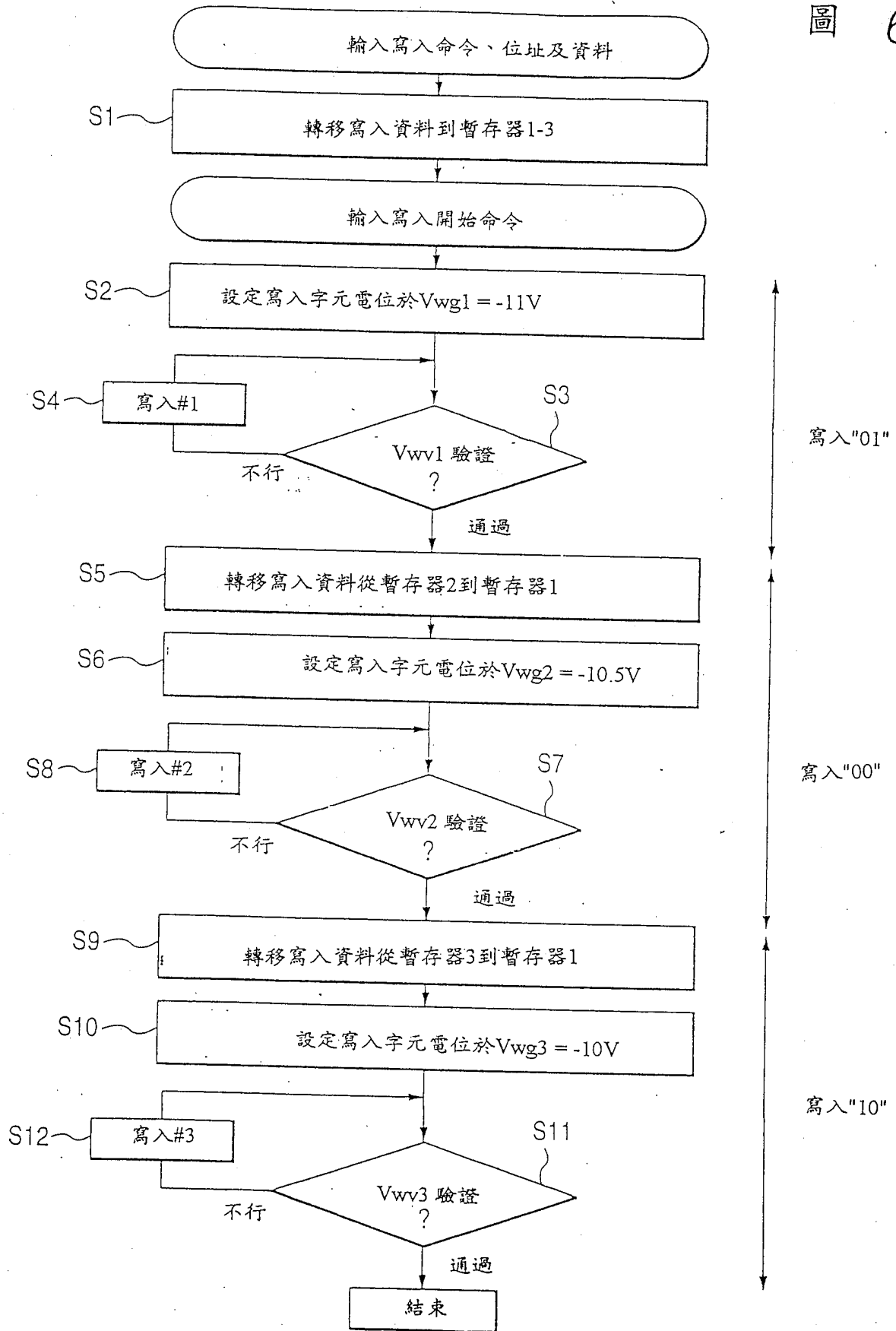


圖 7

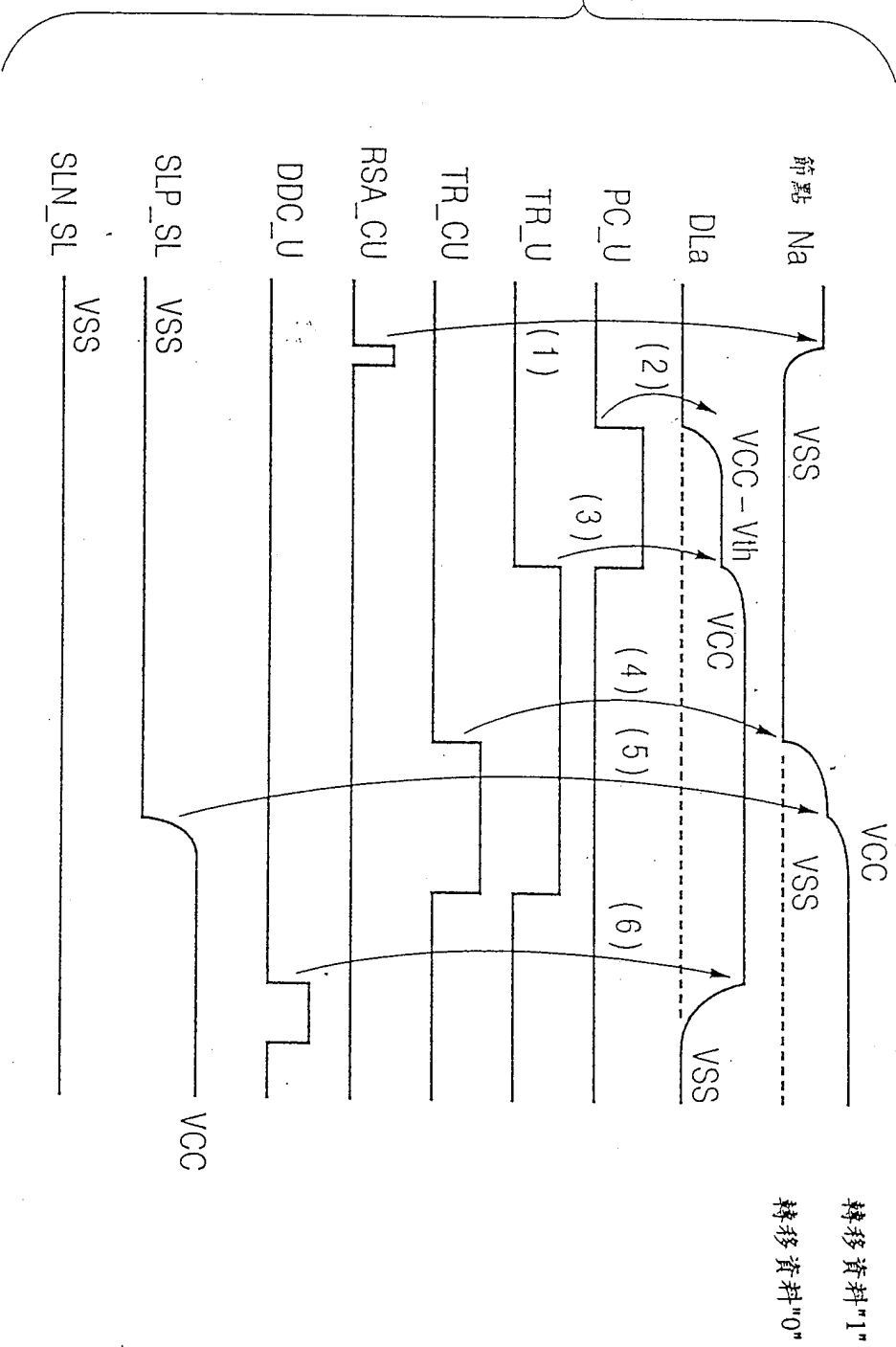
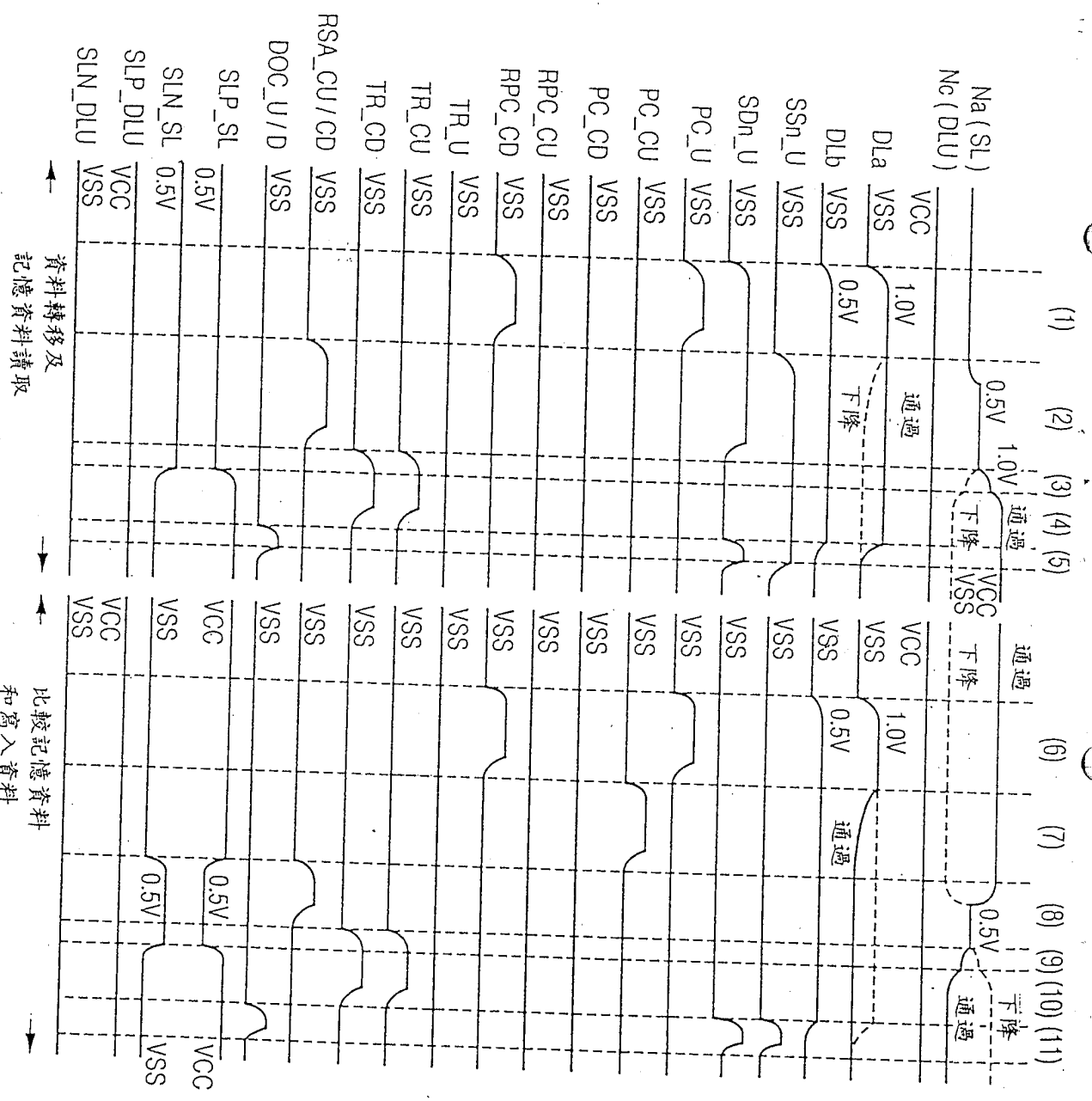
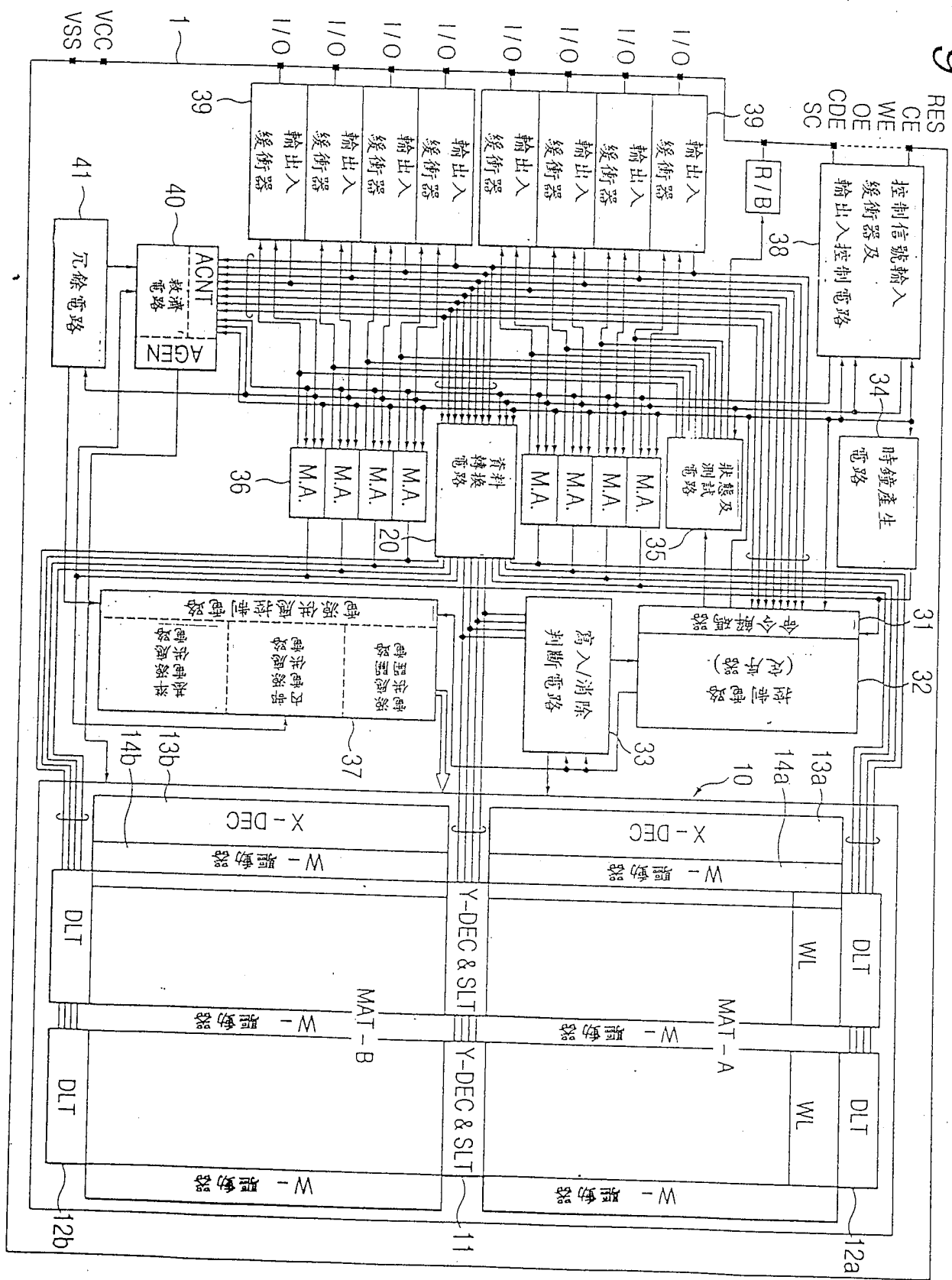


圖 8



381224

圖 9



381224

圖 10

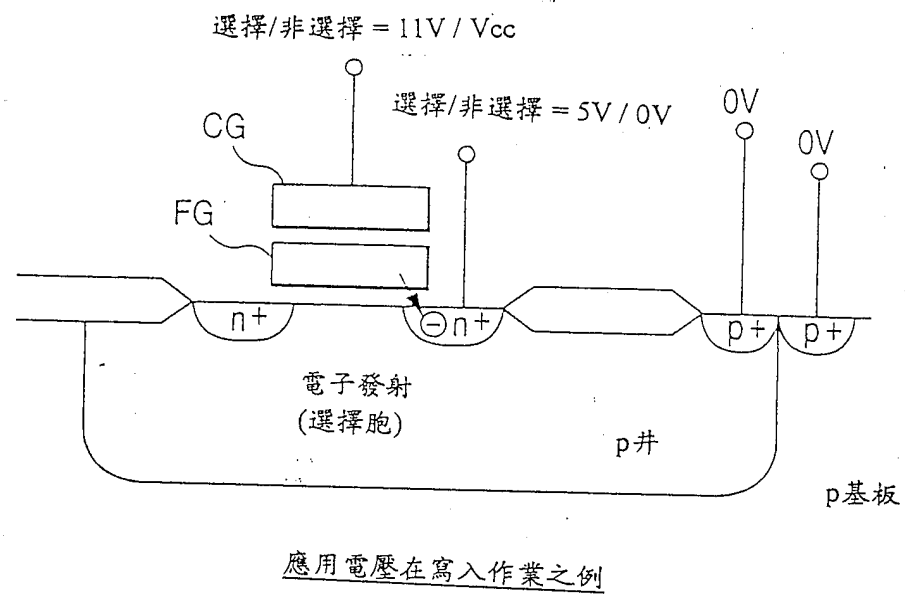
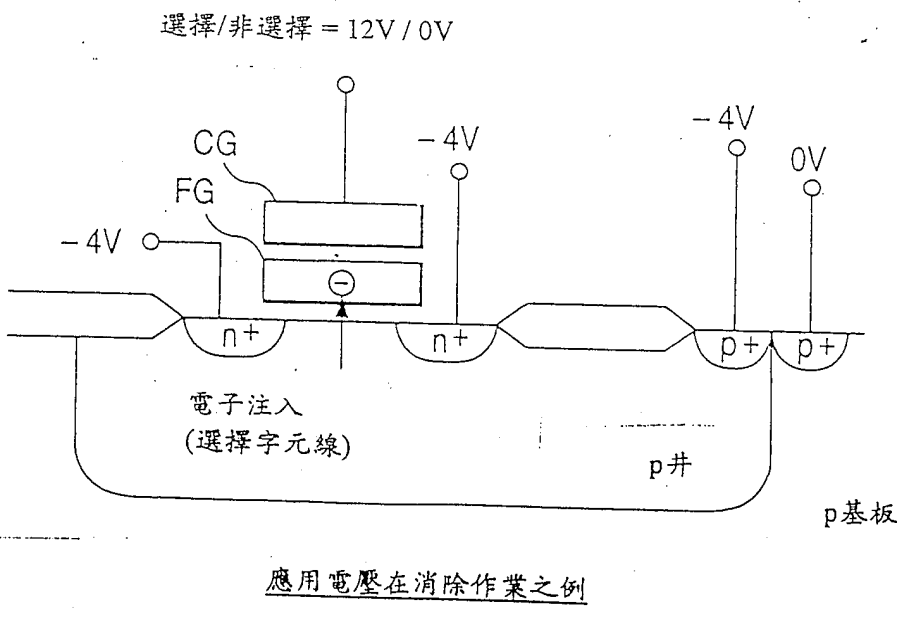


圖 11



	起始狀態				寫入#1			
Vth分佈改變								
記憶體偏壓狀態								
寫入資料	01	00	10	11	01	00	10	11
記憶資料	11	11	11	11	10	10	10	11
干擾	-	-	-	-	-	-	0	1
	寫入#2				寫入#3			
Vth分佈改變								
記憶體偏壓狀態								
寫入資料	01	00	10	11	01	00	10	11
記憶資料	00	00	10	11	01	00	10	11
干擾	-	0	1	2	0	1	2	3