

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4299352号  
(P4299352)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.	F 1
HO3M 1/08 (2006.01)	HO3M 1/08 A
HO3M 1/12 (2006.01)	HO3M 1/12 C
HO3L 7/18 (2006.01)	HO3L 7/18 Z

請求項の数 1 (全 18 頁)

(21) 出願番号	特願2007-95416 (P2007-95416)
(22) 出願日	平成19年3月30日 (2007.3.30)
(65) 公開番号	特開2007-295554 (P2007-295554A)
(43) 公開日	平成19年11月8日 (2007.11.8)
審査請求日	平成21年2月27日 (2009.2.27)
(31) 優先権主張番号	特願2006-100087 (P2006-100087)
(32) 優先日	平成18年3月31日 (2006.3.31)
(33) 優先権主張国	日本国 (JP)

早期審査対象出願

(73) 特許権者	000232483 日本電波工業株式会社 東京都渋谷区笹塚一丁目50番1号 笹塚 N Aビル
(74) 代理人	100091513 弁理士 井上 俊夫
(72) 発明者	古幡 司 埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内
(72) 発明者	塙原 毅 埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内
審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 ディジタル処理装置

## (57) 【特許請求の範囲】

## 【請求項 1】

周期性の高いアナログ入力信号が入力されるアナログ/ディジタル変換器と、  
所定の周波数帯域にてノイズを発生する帯域ノイズ発生器と、  
この帯域ノイズ発生器にて発生したノイズを前記アナログ/ディジタル変換器の入力信号に加算するための加算器と、  
前記アナログ/ディジタル変換器によって変換したディジタル信号を基にディジタル処理を行うディジタル処理部と、

前記アナログ/ディジタル変換器の入力側に設けられた電圧制御発振器と、

前記ディジタル処理部の出力側に設けられたディジタル/アナログ変換器と、を備え

10

前記帯域ノイズ発生器から出力されるノイズの周波数帯域は、前記ディジタル処理部におけるディジタル信号処理に影響を及ぼさない帯域であり、

前記ディジタル処理部により処理された信号を前記ディジタル/アナログ変換器を介して電圧制御発振器に帰還することによりPLLループを形成することを特徴とするディジタル処理装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アナログ/ディジタル(A/D)変換器によってアナログ信号を取得するデ

20

イジタル処理装置のスプリアス低減方式に係り、特にPLL方式の周波数シンセサイザにおけるA/D変換器の誤動作防止に関する。

【背景技術】

【0002】

この種のデジタル処理装置には、例えば、携帯電話などの無線通信装置、波形解析装置や周波数シンセサイザなどがある。周波数シンセサイザは、図18に示すPLL(Phase Locked Loop)を応用した装置があり、さらに位相比較機能をPLD(プログラマブルロジックデバイス)で構成したものがある。同図において、PLLは、電圧制御発振器101の発振出力を分周器102により1/Nに分周してその分周出力を位相比較器103の一方の入力端に入力すると共に、基準信号発生器である例えば水晶発振器104の発振出力を分周器100にて1/Mに分周してその分周出力を位相比較器103の他方の入力端に入力し、その比較信号をループフィルタ105を介して電圧制御発振器101にフィードバックする。このPLLがロックすると電圧制御発振器101の発振出力の周波数f<sub>vco</sub>と水晶発振器104の発振出力の周波数f<sub>0</sub>とは、 $f_{vco}/N = f_0/M$ の関係にあるので、 $f_{vco} = (N/M)f_0$ となる。分周器102はプログラマブルカウンタにより構成されていて外部よりデジタルデータで分周比Nを設定できることから、f<sub>vco</sub>の周波数を自由に設定できることになる。周波数シンセサイザとしては、分周器100、102の分周比を外部回路で切換えること、さらにはPLLを多段構成することで電圧制御発振器101の出力周波数を1MHzきざみ等で広い周波数範囲に切換可能にする。

10

20

【0003】

以上のPLL方式による周波数シンセサイザにおいて、位相比較器103の位相比較機能をデジタル処理で行う場合、電圧制御発振器101の発振出力をA/D変換器によりデジタル信号に変換し、このデジタル信号と水晶発振器104の発振出力(クロック信号)とをデジタル処理回路に取り込み、位相比較処理を行い、この比較結果をD/A変換器でアナログ信号に戻して電圧制御発振器101の電圧制御信号にする。

【0004】

しかし上記の周波数シンセサイザにはスプリアスノイズが現れ、装置の性能低下になる。この理由は、A/D変換器におけるホールド電流が大きい場合と小さい場合とがある周期をもって繰り返され、このことが要因になっていると考えている。

30

【0005】

一方特許文献1には、互いに無相関なM系列の擬似乱数を発生させ、これらをデジタル的に加算し、これをD/A変換してアナログ入力信号とアナログ的に加算してA/D変換器の入力とすることが記載されている。しかし帯域ノイズ発生器を用いていないので、A/D変換器の出力周波数においてもかなり大きな出力レベルが発生している。この回路はデバイスの中に用いられるものであり、A/D変換器のホールド電流の充放電に伴うスプリアス発生の抑制に用いると、次段の信号処理に影響を及ぼす。

【0006】

【特許文献1】特開平6-132825号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0007】

本発明の目的は、周期性の高いアナログ信号をA/D変換器でデジタル信号に変換してデジタル処理する装置において、A/D変換器の誤動作によるスプリアス発生を低減したデジタル処理装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明のデジタル処理装置は、

周期性の高いアナログ入力信号が入力されるアナログ/デジタル変換器と、

所定の周波数帯域にてノイズを発生する帯域ノイズ発生器と、

50

この帯域ノイズ発生器にて発生したノイズを前記アナログ／ディジタル変換器の入力信号に加算するための加算器と、

前記アナログ／ディジタル変換器によって変換したディジタル信号を基にディジタル処理を行うディジタル処理部と、

前記アナログ／ディジタル変換器の入力側に設けられた電圧制御発振器と、

前記ディジタル処理部の出力側に設けられたディジタル／アナログ変換器と、を備え

、  
前記帯域ノイズ発生器から出力されるノイズの周波数帯域は、前記ディジタル処理部におけるディジタル信号処理に影響を及ぼさない帯域であり、

前記ディジタル処理部により処理された信号を前記ディジタル／アナログ変換器を介して電圧制御発振器に帰還することによりPLLループを形成することを特徴としている。  
本発明の具体的な態様としては例えばPLL装置を挙げることができる。このようなPLL装置としては、例えば周波数シンセサイザを挙げることができる。

#### 【発明の効果】

#### 【0009】

以上のとおり、本発明によれば、帯域ノイズ発生器からのノイズをA／D変換器の入力側に加え、前記ノイズの周波数帯域は、前記ディジタル処理部におけるディジタル信号処理に影響を及ぼさない帯域であるから、周期性の高いアナログ信号を入力するA／D変換器の誤動作によるスプリアス発生を低減できる。

#### 【発明を実施するための最良の形態】

#### 【0010】

図1は、本発明のディジタル処理装置を周波数シンセサイザに適用した実施形態を示す図である。この周波数シンセサイザは新規な原理に基づいて動作するものであるが、本発明はこの種の周波数シンセサイザに適用することに限らず、周期性の高い入力信号をA／D変換し、その出力をディジタル処理する装置に広く適用できるものである。このため本発明の説明に入る前にこの新規な周波数シンセサイザの概要を簡単に説明しておくにとどめ、本発明の説明を終えた後、周波数シンセサイザの詳細な構成を記載しておくこととする。

#### 【0011】

先ず図1を参照しながら周波数シンセサイザの動作原理について概略的に説明する。図1中、1は、電圧制御発振部である電圧制御発振器であり、供給電圧に応じた周波数の矩形波である周波数信号を出力する。電圧制御発振器1からの周波数信号は分周手段2にて1／N（Nは整数）に分周され、更に正弦波に変換され、ディジタル信号に変換される。この変換は、回転ベクトル取り出し手段20により、前記周波数信号の周波数に応じた周波数（速度）で回転する回転ベクトルが取り出される処理に相当する。

#### 【0012】

回転ベクトル取り出し手段20の後段の周波数差取り出し手段30は、前記回転ベクトルの周波数と、電圧制御発振器1の出力周波数が設定周波数になったときの回転ベクトルの周波数frとの差を取り出す。周波数差を取り出す手法としては、例えば電圧制御発振器1の出力周波数が設定周波数になったときに回転ベクトル取り出し手段20にて取り出される回転ベクトルの回転方向とは逆方向に周波数frで回転する逆回転ベクトルを作成し、前記回転ベクトルと逆回転ベクトルとを乗算してその周波数差を取り出す手法が挙げられる。

#### 【0013】

また、逆回転ベクトルで回転ベクトルの周波数をある程度落としておいて、残りの周波数差分を例えば回転ベクトルの速度を近似式で検出するようにしてもよい。このような例をより具体化した例を挙げると、回転ベクトルの周波数をfrに一致させる調整（周波数差取り出し手段30により周波数差を取り出す調整工程）を、粗調整と微調整とに分ける。そして粗調整のための周波数刻みfaの整数倍の周波数のうち、電圧制御発振器1の出力周波数が設定値になったときの前記回転ベクトルの周波数に最も近い周波数n·fa（

10

20

30

40

50

$n$  は整数) を予め計算して、周波数  $n \cdot f_a$  で逆回転する逆回転ベクトルを前記回転ベクトルに乗算して、前記回転ベクトルの周波数から逆回転ベクトルの周波数を差し引いた周波数の微速回転ベクトルを取り出す。そして前記周波数刻み  $f_a$  よりも小さい微調整のための周波数刻み  $f_b$  の整数倍のうち、 $f_r$  と前記周波数  $n \cdot f_a$  との差に最も近い周波数  $m \cdot f_b$  ( $m$  は整数) とを計算し、前記微速回転ベクトルの周波数と周波数  $m \cdot f_b$  との差を取り出し、こうして回転ベクトル取り出し手段により得られた回転ベクトルの周波数と  $f_r$  との差が求められる。

#### 【0014】

以上の一連の計算は、図示しないパラメータ出力部にて計算される。なおこのように周波数差を取り出す調整工程を粗調整と微調整とに分ける場合には、回転ベクトルの周波数が  $f_r$  に近付いてきたときに正確な周波数差を得ることができる利点や、周波数の検出の演算が簡単になるという利点などがある。この点は後述の図 8 の具体例により明らかにされる。

10

#### 【0015】

そして周波数差取り出し手段 30 により取り出された周波数差に対応する電圧は積分手段であるループフィルタ 40 から電圧制御発振器 1 の入力側に負帰還され、この電圧分だけ、周波数引き込み用の電圧出力部 11 から電圧制御発振器 1 の入力電圧が差し引かれる。言い換えれば、装置の立ち上げときには、電圧制御発振器 1 に周波数引き込み用の電圧を供給し、ループが動作すると、前記周波数差に対応する電圧がループフィルタ 40 で積分されその積分値に応じた電圧が加算されて電圧制御発振器 1 に入力され、出力周波数が設定周波数に近づくにつれて前記周波数差が小さくなる。やがて前記積分値の増え方も小さくなり、前記周波数差がゼロになったときに PLL がロックされ、電圧制御発振器 1 の出力周波数が設定周波数にロックされることになる。

20

#### 【0016】

即ち、電圧制御発振器 1 のスタート時には入力電圧が例えば時間に対して直線的に上昇し、それに伴って出力周波数が上昇し、回転ベクトル取り出し手段 20 にて取り出された回転ベクトルの周波数が高くなっていく。そして、この周波数が PLL の制御範囲に入つてくると、予め計算された、電圧制御発振器 1 の出力周波数が設定周波数になったときの回転ベクトルの周波数  $f_r$  と回転ベクトルの周波数との差が小さくなってくる。この結果、フィードバック量が少なくなっていくので、電圧制御発振器 1 の出力周波数の上昇が抑えられ、前記周波数差がゼロに収束しようとし、この結果電圧制御発振器 1 の出力周波数は、設定周波数に収束しようとする。こうして PLL がロックされると、電圧制御発振器 1 の出力周波数が設定周波数にロックされることになる。

30

#### 【0017】

実際には、設定周波数の大きさに応じて分周比を選択すればよいことから、回転ベクトルという発想を取り入れることにより、このように 1 段の PLL でありながら、広い周波数帯域に亘って細かな周波数設定を行うことができる。

#### 【0018】

次に本発明の要部について述べる。電圧制御発振器 1 の発振出力は、分周器 2 を介してローパスフィルタ 21 に入力され、基本波成分のみをもつ正弦波信号として取り出し、この正弦波信号を A/D 変換器 3 に入力する。この A/D 変換器 3 では、デジタル処理部 100 から 40 MHz のサンプリングクロックが入力される。この例では、回転ベクトル取り出し手段 20、周波数差取り出し手段 30 及びループフィルタ 40 は、デジタル処理部 100 を構成し、このデジタル処理部 100 は、デジタル処理デバイス例えば FPGA (Field Programmable Gate Array) により構成される。

40

#### 【0019】

ここで、本実施形態では、A/D 変換器 3 の誤動作によるスプリアス発生を低減するため、帯域ノイズ発生器 90 を設け、この帯域ノイズ発生器 90 の出力を加算器 91 にてローパスフィルタ 21 からのアナログ出力に加算し、これを A/D 変換器 3 の変換入力とする。

50

## 【0020】

帯域ノイズ発生器90としては、例えばディジタル処理により擬似ランダムパルスを発生し、これをアナログ信号に変換し、ホワイトノイズに近い帯域ノイズ出力を得る構成を挙げることができる。このノイズの周波数帯域は、前記ディジタル処理部におけるディジタル信号処理に影響を及ぼさない帯域であることが必要である。従って前記ノイズの信号レベルは、A/D変換器3の出力周波数において、A/D変換器3の入力信号のレベルよりも十分に小さいことが必要である。その周波数特性としては例えば図2に示すように、A/D変換器3の出力周波数よりも低いところに周波数帯域があつてもよいし、あるいは逆に前記出力周波数よりも高いところに周波数帯域があつてもよい。またA/D変換器3の後段側、つまりディジタル処理部100であるFPGAには、一般に低周波を除去するためのフィルタが設けられているため、ノイズの周波数帯域をこのフィルタの除去帯域に設定することも好ましい態様の一つである。10

## 【0021】

図3は、帯域ノイズ発生器90による帯域ノイズ出力波形例を示し、ノイズ中心周波数を20MHzにした帯域ノイズを得ることができる。なお斜線の部分が信号波形の記録部分に相当する部分であり、画像の分解能よりもパルスの間隔が狭いことから、波形画像は黒塗りとして表示されている。

## 【0022】

以上のように、帯域ノイズ発生器90でノイズを発生し、これをA/D変換器3のアナログ入力に加算することにより、A/D変換器3の誤動作によるスプリアス発生を低減することができる。このことを、以下、具体的に説明する。20

## 【0023】

A/D変換器3でのアナログ入力信号のサンプリング時、入力回転が「0」以外のときに、ホールド充電電流の増減が周期的に現れる。図4は、A/D変換器3の入力信号のサンプリングのタイミングと、A/D変換器3の概略内部回路を示しており、タイミングT1、T2のときに夫々スイッチSWが閉じられるが、T1のときよりもT2のときの方が電圧VCが小さいのでT2のときに放電電流が流れる。この流れ方に周期性があり、この周期性によりA/D変換器3が結果として誤動作し、スプリアスの要因になっていると考えられる。実際にこの充電電流の増減周期（エンベロープ）とスプリアス周波数が一致しており、スプリアス発生は、充電電流の増減周期がA/D変換器のサンプルタイミングに周期的に影響を及ぼし、スプリアスの原因となっていると仮定できる。30

## 【0024】

図5はエンベロープ「36666750Hz」入力/40MHzサンプルでのホールド充電電流変化の大/小を示し、これら変化がある周期をもって繰り返され、誤動作を起こす。これに対して、本実施形態による帯域ノイズ発生器90からのノイズ加算により、図6に示すように、サンプリング点のレベルを拡散させ、ホールド充電電流の周期性をなくし、結果的にスプリアス発生を低減することができる。

図7は、図1の実施の形態において、電圧制御発振器1の出力における周波数スペクトラムを示しており、図7(a)はノイズを加えたデータであり、図7(b)はノイズを加えないデータである。中心周波数は888MHzであり、加えたノイズの周波数は、1MHzである。この結果から、帯域ノイズを加えることによりスプリアスが低減できることが理解される。40

## 【0025】

したがって、本実施形態によれば、擬似ランダムパルスのディジタル処理によって周期性をなくした帯域ノイズを発生し、これをA/D変換器3のアナログ入力信号に加算するのみで、A/D変換器3の誤動作によるスプリアス発生を低減できる。なお帯域ノイズは時間と共に周波数が変わるランダムノイズに限らず、周期性のあるノイズであつてもよい。

## 【0026】

以下は、本発明の要部からは外れるが、周波数シンセサイザの動作を明らかにする観点

50

からその動作原理を図8以降により詳述しておく。電圧出力部11は、出力電圧が例えば時間の経過と共に直線的に所定の電圧まで上昇するように構成されている。所定の電圧とは、電圧制御発振器1から得ようとする設定周波数に応じた電圧に近い電圧であり、後述のパラメータ出力部により指定される。

【0027】

電圧制御発振器1の後段に設けられた手段について順番に説明すると、2は例えばプログラマブルカウンタからなる分周器であり、この分周器2の分周比N(Nは整数)は後述のパラメータ出力部により決定される。分周器2の後段には、分周器2からの周波数信号である矩形波信号を正弦波信号に変換するための手段としてローパスフィルタ21が設けられている。

10

【0028】

3はA/D(アナログ/デジタル)変換器であり、ローパスフィルタ21からの周波数信号である正弦波信号を基準クロック発生部31からのクロック信号によりサンプリングしてそのサンプリング値をデジタル信号として出力する。基準クロック発生部31は、前記周波数信号をサンプリングするために周波数の安定性が極めて高い周波数信号であるクロック信号を出力する。

【0029】

A/D変換器3で得られるデジタル信号で特定される高周波信号は基本波の他に高調波も含まれている。即ち高調波ひずみを有する正弦波をサンプリングする場合、その高調波成分が折り返しの影響を受けて、場合によっては周波数スペクトルにおける周波数軸上で基本波周波数と高調波の周波数とが重なる場合が想定される。そこでこのような重なりを避けて、電圧制御発振器1の出力周波数に正確に対応する回転ベクトルを後で取り出す必要がある。

20

【0030】

一般に周波数f1の正弦波信号を周波数fsのクロック信号でサンプリングした場合、その取り込み結果の周波数f2は(1)式で表される。ただしmod()はmodulo関数を表している。

【0031】

$$f2 = | \text{mod}(f1 + fs/2, fs) - fs/2 | \dots \dots (1)$$

この取り込み結果において、基本波周波数に対してn次の高調波の周波数はn×(基本波周波数)として表されるので、これをf2と置いて上記の(1)式に代入すれば、高調波がどのような周波数として取り込まれるかを計算することができる。この計算を用いることにより基本波の周波数と高調波の周波数とが重ならないように、分周器2からの高周波信号の周波数fcとサンプリング周波数(クロック信号の周波数)fsとを設定することができ、例えば回転ベクトルが停止するときのfcが36MHzとなるように分周比Nを設定し、fsを40MHzに設定する。この場合、A/D変換器3からのデジタル信号である出力信号で特定される周波数信号の基本波は4MHzの正弦波となる。なおfc/fsを9/10にすれば、基本波の周波数と高調波の周波数とが重ならないが、fc/fsはこの値に限られるものではない。

30

【0032】

A/D変換器3の後段には、キャリアリムーブ4が設けられている。このキャリアリムーブ4は、A/D変換器3からのデジタル信号により特定される正弦波信号に対して周波数が $\omega_0 t / 2$ (角速度が $\omega_0 t$ )の正弦波信号により直交検波を行い、A/D変換器3のデジタル信号により特定される周波数信号の周波数と検波に用いる正弦波信号の周波数との差の周波数で回転する回転ベクトルを取り出す手段、より詳しくはこの回転ベクトルを複素表示したときの実数部分及び虚数部分を取り出す手段に相当する。

40

【0033】

キャリアリムーブ4に関して詳述すると、キャリアリムーブ4は、図9に示すように前記正弦波信号に対して $\cos(\omega_0 t)$ を掛け算する掛け算部41aと前記正弦波信号に対して $-\sin(\omega_0 t)$ を掛け算する掛け算部41bと、掛け算部41a、41bの後段に夫々

50

設けられたローパスフィルタ42a及び42bと、を備えている。従ってA/D変換器3で得られた正弦波信号を $A \cos(\omega_0 t + \phi)$ としたとき、掛け算部41aの出力及び掛け算部41bの出力は夫々(2)式及び(3)式により表される。

【0034】

$$\begin{aligned} & A \cos(\omega_0 t + \phi) \cdot \cos(\omega_0 t) \\ &= 1/2 \cdot A \cos(\omega_0 t + \phi) + 1/2 \{ \cos(2\omega_0 t) \cdot \cos(\phi) + \sin(2\omega_0 t) \cdot \sin(\phi) \} \dots\dots (2) \\ & A \cos(\omega_0 t + \phi) \cdot -\sin(\omega_0 t) \\ &= 1/2 \cdot A \sin(\omega_0 t + \phi) - 1/2 \{ \sin(2\omega_0 t) \cdot \cos(\phi) + \cos(2\omega_0 t) \cdot \sin(\phi) \} \dots\dots (3) \end{aligned}$$

10

そこで掛け算部41aの出力及び掛け算部41bの出力を夫々ローパスフィルタ42a及び42bを通すことにより、 $2\omega_0 t$ の周波数信号は除去されるので、結局ローパスフィルタ42a、42bからは夫々 $1/2 \cdot A \cos(\omega_0 t + \phi)$ と $1/2 \cdot A \sin(\omega_0 t + \phi)$ とが取り出される。ローパスフィルタ42a、42bにおける実際のディジタル処理は、掛け算部41a、41bから出力される時系列データについて連続する複数個のデータ例えば6個のデータの移動平均を演算している。

【0035】

以上のこととは、A/D変換器3で得られた正弦波信号の周波数と直交検波に用いる正弦波信号の周波数が等しいときには、出力に時間関数が含まれないので、キャリアリムーブ4にて得られる回転ベクトルは停止していることになる。一方 $A \cos(\omega_0 t + \phi)$ で表される正弦波信号の周波数が変化すると、 $A \cos(\omega_0 t + \phi)$ は $A \cos(\omega_0 t + \omega_1 t + \phi)$ となる。従って $1/2 \cdot A \cos(\omega_0 t + \phi)$ は $1/2 \cdot A \cos(\omega_1 t + \phi)$ となり、 $1/2 \cdot A \sin(\omega_0 t + \phi)$ は $1/2 \cdot A \sin(\omega_1 t + \phi)$ となる。即ち、ローパスフィルタ42a、42bから得られた出力は、正弦波信号 $[A \cos(\omega_0 t + \phi)]$ の周波数の変化分( $\omega_1 t$ )に対応する信号、つまりA/D変換器3で得られた正弦波信号の周波数と直交検波に用いた正弦波信号の周波数との差分( $\omega_1 t / 2$ )の速度で回転するベクトルを複素表示したときの実数部分(I)及び虚数部分(Q)である。なお、この明細書では周波数と角速度とを使い分ける意義はないことから、両者を混在して用いることがある。

20

【0036】

図10はこの回転ベクトルVを表した図であり、この回転ベクトルVは長さがAであり、回転速度が $\omega_1 t$ (= $\omega_1$ )である(周波数が $\omega_1 t / 2$ )。この例では直交検波に用いた周波数は4MHzであり、A/D変換器3で得られた正弦波信号の周波数が4MHzであれば回転ベクトルの回転速度はゼロであるが、4MHzからずれていれば、そのずれた周波数差に応じた周波数(回転速度)で回転することになる。

30

【0037】

キャリアリムーブ4の後段には、逆回転ベクトル乗算部5が設けられている。この逆回転ベクトル乗算部5は、キャリアリムーブ4にて得られた回転ベクトルVに対して、パラメータ出力部6にて作成された逆回転ベクトルV'を乗算するものである。この乗算は、直感的な表現を使えば回転ベクトルVの速度を逆回転ベクトルV'の速度分だけ減速することになり、言い換えれば、回転ベクトルVの周波数と逆回転ベクトルV'の周波数との差で回転する回転ベクトルを得ることになる。

40

【0038】

逆回転ベクトル乗算部5における演算について説明すると、キャリアリムーブ4及び逆回転ベクトル乗算部5は、コンピュータの演算により実行されるものであり、その演算のサンプリングにおいてあるタイミングのサンプリング例えばn回目の回転ベクトルVのサンプリング値が $I(n) + jQ(n)$ であったとすると、n回目の逆回転ベクトルV'のサンプリング値は $I'(n) + jQ'(n)$ である。両ベクトルを乗算したベクトル $I + jQ$ は、 $\{I(n) + jQ(n)\} \times \{I'(n) + jQ'(n)\}$ となる。この式を整理すると、(4)式となる。

$$I + jQ = \{I(n) \cdot I'(n) - Q(n) \cdot Q'(n)\} + j\{I(n) \cdot Q'(n) + I'(n) \cdot Q(n)\}$$

50

・  $Q(n)$  } ..... (4)

図11は、逆回転ベクトル乗算部5の構成を示しており、(4)式の演算を行っている。

逆回転ベクトル  $V'$  を発生するとは、実際には複素平面上におけるベクトルが逆回転するように当該ベクトルの実数部分及び虚数部分の値つまり逆回転ベクトル  $V'$  の位相を' とすると、 $\cos'$  と  $\sin'$  との値を発生させることである。図12は、ベクトルの  $\cos'$  と  $\sin'$  との組がベクトルの回転方向に沿って順番に配列された I / Q テーブル 6 0 を示しており、パラメータ出力部 6 は、この例では前記 I / Q テーブル 6 0 を備えている、指示された電圧制御発振器 1 の設定周波数に応じて決定されるインクリメント数またはデクリメント数で I / Q テーブル 6 0 のアドレスを読み出し、逆回転ベクトル乗算部5 10 に出力している。例えばアドレスを「0」から「11」までクロックの読み出しのタイミングにより1個ずつ読み出し、再び「0」に戻ると、12クロックでベクトルが複素平面上で時計回りで1回転することになり、インクリメント数を2にして1個おきにアドレスを読み出すと、ベクトルの速度が倍速になる。インクリメントして読み出すかデクリメントして読み出すかは、キャリアリムーブ4にて取り出された回転ベクトル  $V$  の回転方向により決めることができる。こうして回転ベクトル  $V$  に対して逆回転する逆回転ベクトル  $V'$  を生成することができる。なお、図12の I / Q テーブル 6 0 は、本実施形態の理解を容易にするために模式的に作成されたものであり、実際のテーブルの好ましい作成例を挙げたものではない。

#### 【0039】

20

図8におけるここまでプロックについて、具体的な一連の演算に関して述べておく。電圧制御発振器 1 の出力周波数を  $f_{vco}$  とすると、分周器 2 にて分周された周波数は  $f_{vco} / N$  となる。A / D 変換部 3 では、周波数が  $f_s$  のクロック信号によりサンプリングされるため、A / D 変換部 3 にて得られたデジタル信号により特定される周波数信号の周波数は、 $f_s - (f_{vco} / N)$  となる。この例では  $f_s$  は 40 MHz であるから、40 MHz - ( $f_{vco} / N$ ) となる。そしてキャリアリムーブ4における検波に用いられる正弦波信号の周波数 ( $\omega_0 t / 2$ ) は 4 MHz としているので、キャリアリムーブ4から取り出される回転ベクトル  $V$  の周波数は、40 MHz - ( $f_{vco} / N$ ) - 4 MHz となる。

#### 【0040】

30

ここで、電圧制御発振器 1 の出力周波数  $f_{vco}$  が設定周波数になったときに回転ベクトル  $V$  の周波数と前記周波数  $f_r$  との周波数差がゼロになるように制御される。もし ( $f_{vco} / N$ ) が 36 MHz であれば、回転ベクトル  $V$  は停止しているので(周波数がゼロであるので)、この場合は、逆回転ベクトル  $V'$  の周波数をゼロに設定することで、PLL がロックされ、電圧制御発振器 1 の出力周波数  $f_{vco}$  が設定周波数になる。しかしこのようなケースは1点しかないので、実際にはキャリアリムーブ4から取り出される回転ベクトル  $V$  はある速度で回転している。このため、回転ベクトル  $V$  を止めるための逆回転ベクトル  $V'$  を発生させることが必要になるのであるが、一連の計算はソフトウェアで行われることから、逆回転ベクトル  $V'$  を発生させるためのデータを格納するメモリ容量はできるだけ小さくしたいというのが、設計上の要請である。

#### 【0041】

40

この観点からすると、電圧制御発振器 1 の設定周波数を  $f_{set}$  とすると、 $f_{set} / N$  ができる限り 36 MHz に近い方が好ましく、この例では、パラメータ出力部 6 において、ユーザにより設定された所望の設定周波数  $f_{set}$  に対し、 $f_{set} / N$  が 36 MHz に最も近くなる整数を演算し、その整数を分周器 2 の分周比  $N$  としている。こうすることによってキャリアリムーブ4から取り出された回転ベクトル  $V$  を止めるための逆回転ベクトル  $V'$  の周波数は、4 MHz よりも小さい値になり、逆回転ベクトル  $V'$  を発生させるためのデータ量が少なくて済む。

#### 【0042】

ここで周波数の具体例を挙げると、電圧制御発振器 1 の設定周波数  $f_{set}$  を例えば 520.0001 MHz とすると、分周比  $N$  は、例えば  $f_{set} / 36 MHz$  に最も近い整数で

50

あるとした場合、 $N = 14$ となる。この場合、電圧制御発振器の出力周波数が設定周波数  $f_{set}$ であるときの分周後の周波数は、 $f_{set}/14 = 37.1428642857143$  MHz である。既述のように分周後の周波数が 36 MHz のときに、A/D 変換部 3 にて得られるディジタル値により特定される周波数信号の周波数は、40 MHz - 36 MHz = 4 MHz であり、4 MHz の正弦波信号で直交検波を行うキャリアリムーブ 4 を通して得られる回転ベクトル V の周波数は 4 MHz - 4 MHz = 0、つまり回転ベクトル V は停止することになる。従って  $f_{set}/14 = 37.1428642857143$  MHz の周波数信号が A/D 変換部 3 にてデジタル化され、その周波数信号がキャリアリムーブ 4 に入力されて得られる回転ベクトル V の周波数は、37.1428642857143 MHz - 36 MHz = 1.1428642857143 MHz となる。

このような演算は、周波数シンセサイザに対して設定周波数を入力することにより、電圧制御発振器 1 を動作させる以前にパラメータ出力部 6 にて行われる。またパラメータ出力部 6 は、図示しないメモリを参照して、設定周波数に近い周波数が得られる電圧値を選択し、これにより電圧出力部 11 の出力電圧がその電圧値に向かって上昇することになる。そして分周比  $N$  を 14 に設定し、また逆回転ベクトル V' の周波数を 1.1428642857143 MHz に設定すれば A/D 変換部 3 にて得られる周波数信号の周波数が 1.1428642857143 MHz となるまで、電圧制御発振器 1 の出力周波数  $f_{vco}$  が上昇し、やがて回転ベクトル V の周波数と逆回転ベクトル V' の周波数とが一致したときに PLL がロックされ、 $f_{vco}$  が  $f_{set}$  に収束する。

#### 【0043】

図 13 は、回転ベクトル V が逆回転ベクトル V' により逆回し処理が行われて停止した状態をイメージ的に示す図である。

#### 【0044】

ところで上述の動作は、逆回転ベクトル V' だけに頼って回転ベクトル V を止める方式の場合の動作であり、この場合には、逆回転ベクトル乗算部 5 で得られた回転ベクトルの周波数に対応する信号をループフィルタ 8 に入力すればよい。しかしながら、このような構成では逆回転ベクトル V' を発生させるためのデータ量がかなり多くなってしまう。このため図 8 に示す実施の形態では、逆回転ベクトル V' により回転ベクトル V の周波数をある程度まで減速し、残りの減速を後段の位相の時間差検出部 71、加算部 72 及び位相差の累積加算部 73 の動作に任せている。言い換えれば、逆回転ベクトル乗算部 5 では回転ベクトル V の周波数の粗調整を行い、後段部位において回転ベクトル V の微調整を行うことで、回転ベクトル V を停止させている。

#### 【0045】

回転ベクトル V の周波数の粗調整を行う逆回転ベクトル V' の周波数は、例えば 152.587890625 Hz 刻みで設定できるようになっている。その理由は、40 MHz にてデータをサンプリングする場合、逆回転ベクトル V' の位相のポイント数を 2 の 18 乗に設定すると、 $40 \text{ MHz} / 2$  の 18 乗 = 152.587890625 Hz となるからである。つまりパラメータ出力部 6 では、最小粗調周波数（周波数刻み  $f_a$ ）が 152.587890625 Hz であり、上記の回転ベクトル V の周波数である 1142864.2857143 MHz (1.1428642857143 MHz) に対して周波数刻み  $f_a$  を何倍したら最も近くなるかを計算する。

#### 【0046】

1142864.2857143 Hz / 152.587890625 Hz に最も近い整数は 7490 であり、パラメータ出力部 6 はこの整数を求めるこにより、電圧制御発振部 1 の出力周波数が設定値になったときの前記回転ベクトル V の周波数に最も近い周波数  $n \cdot f_a$  ( $n$  は整数) = 7490 · 152.587890625 Hz = 1142883.30078125 Hz を求める。

#### 【0047】

そしてパラメータ出力部 6 は、次の計算を行う。先ず回転ベクトル V の周波数から、逆回転ベクトル V' により調整される周波数を差し引き、142864.2857143 Hz

10

20

30

40

50

$z - 1 1 4 2 8 8 3 . 3 0 0 7 8 1 2 5 \text{ Hz} = 19 . 0 1 5 0 6 6 9 6 6 4 1 4 5 \text{ Hz}$  を求める。

【0048】

更に粗調整用の前記周波数刻み  $f_a$  よりも小さい微調整のための周波数刻み  $f_b$  この例では周波数刻み 1 Hz の整数倍のうち、電圧制御発振部 1 の出力周波数が設定値になったときの前記回転ベクトル  $V$  の周波数と前記周波数  $n \cdot f_a$  との差である 19 . 0 1 5 0 6 6 9 6 6 4 1 4 5 Hz に最も近い周波数  $m \cdot f_b$  ( $m$  は整数) を計算する。この場合、 $f_b$  は 1 Hz であるから、 $m$  は 19 となり、19 Hz 分の調整が逆回転ベクトル乗算部 5 の後段の部分により行われることになる。

【0049】

図 8 に戻って、71 は位相の時間差検出部、72 は第 2 の加算部、73 は位相差の累積加算部、8 はループフィルタ、80 は D/A (デジタル/アナログ) 変換部である。

回転ベクトル  $V$  の回転は逆回転ベクトル  $V'$  により減速されているので、回転ベクトル  $V$  の周波数 (速度) を簡単な近似式で求めることができる。図 14 に示すように複素平面上において、(n - 1) 番目のサンプリングにより求めた回転ベクトル  $V(n - 1)$  と n 番目のサンプリングにより求めた回転ベクトル  $V(n) = V(n - 1) + V$  とのなす角度  $\theta$ 、即ち両サンプリング時の回転ベクトル  $V$  の位相差  $\theta$  は、回転ベクトル  $V$  の周波数がサンプリング周波数よりも十分に小さくかつ  $\theta = \sin \theta$  とみなせる程度であれば、 $V$  の長さとみなすことができる。

【0050】

$V$  を求める近似式について説明すると、先ず位相差  $\theta$  は (5) 式で表される。なお  $\text{imag}$  は虚数部分、 $\text{conj}\{V(n)\}$  は  $V(n)$  の共役ベクトル、 $K$  は常数である。

【0051】

$$= K \cdot \text{imag} [ V \cdot \text{conj}\{V(n)\} ] \quad \dots \dots (5)$$

ここで、 $I$  値 (回転ベクトル  $V$  の実数部分) 及び  $Q$  値 (回転ベクトル  $V$  の虚数部分) について n 番目のサンプリングに対応する値を夫々  $I(n)$  及び  $Q(n)$  とすれば、 $V$  及び  $\text{conj}\{V(n)\}$  は複素表示すると夫々 (6) 式及び (7) 式で表される。

【0052】

$$V = I + j Q \quad \dots \dots (6)$$

$$\text{conj}\{V(n)\} = I(n) - j Q(n) \quad \dots \dots (7)$$

ただし、 $I$  は  $I(n) - I(n - 1)$  であり、 $Q$  は  $Q(n) - Q(n - 1)$  である。 (6) 式及び (7) 式を (5) 式に代入して整理すると、 $\theta$  は (8) 式で表されることになる。

【0053】

$$= Q \cdot I(n) - I \cdot Q(n) \quad \dots \dots (8)$$

前記位相の時間差検出部 71 は、このように近似式を用いて  $\theta$  を求める機能を備えている。この  $\theta$  は、逆回転ベクトル乗算部 5 にて減速された回転ベクトル  $V$  の周波数に対応する値であるから、位相の時間差検出部 71 は、減速された回転ベクトル  $V$  の周波数を出力する手段 (微速ベクトル検出手段) であるといえる。

【0054】

なお回転ベクトル  $V(n - 1)$  と  $V(n)$  とが求まればこの間の角度  $\theta$  を求める手法は種々の数学的手法を使うことができ、その一例として (5) 式の近似式を挙げたに過ぎない。その数式としては  $V(n)$  と  $V(n - 1)$  の各終点を結ぶ線の中点と原点とを結ぶベクトル  $V_0$  である  $\{V(n) + V(n - 1)\} / 2$  を用い、(5) 式において  $V(n)$  に代えてこのベクトル  $V_0$  を代入してもよい。このような (5) 式が近似できる理由は、 $V_0$  と  $V$  とが直交しているとみなすことができ、このため  $V$  の長さは、 $V_0$  を実軸と見立てたときの  $V$  の虚数値に相当すると取り扱えることができるからである。

【0055】

一方パラメータ出力部 6 は、回転ベクトル  $V$  の周波数微調整分である 19 Hz の値を計算により求めているため、位相の時間差検出部 71 にて検出された回転ベクトル  $V$  の周波

10

20

30

40

50

数と微調整分の 19 Hz とが加算部 72 にて突合されて、回転ベクトル V の周波数と微調整分の 19 Hz との差分が取り出され、位相差の累積加算部 73 に入力される。そして位相差の累積加算部 73 からの出力値はループフィルタ 8 に入力される。

#### 【 0056 】

本周波数シンセサイザは、図 8 に示したように回転ベクトル V を止める処理を行うが、この処理は図 8 の例ではいわば逆回しすることによるラフな停止処理と微速になった回転ベクトル V を正確に止める処理とに分けており、後半の処理を位相の時間差検出部 71 と加算部 72 とに受け持たせていることになる。そして逆回転ベクトル乗算部 5、位相の時間差検出部 71 及び第 2 の加算部 72 は、周波数差取り出し手段に相当する。

#### 【 0057 】

位相差の累積加算部 73 は、図 15 (a) に示すようにあるサンプリング時における入力値をレジスタ 73a に保持し、次のサンプリング時にそれまで保持されていた値を出力すると共に加算部 73b に戻して入力値と加算し、その加算値をレジスタ 73a に入力するように構成されている。

#### 【 0058 】

またループフィルタ 8 は、入力値を累積加算部 8a にて累積加算すると共に、加算部 8b にてその累積加算値に入力値を加算するように構成されている。入力値を加算部 8b に入力する理由は、ループフィルタ 8 の出力が安定化するためである。このループフィルタ 8 の出力電圧は、D/A 変換部 80 にてアナログ電圧とされて電圧出力部 11 の出力電圧から当該出力電圧を差し引くように第 1 の加算部 12 に入力される。

#### 【 0059 】

この例では、電圧制御発振部 1 から周波数差取り出し手段及びループフィルタ 8 を経て電圧制御発振部 1 に戻るループは PLL を形成している。また A/D 変換器 3 からループフィルタ 8 に至るまでの各部位の演算処理はソフトウェアにより行っている。

#### 【 0060 】

次に図 8 に示す全体の動作について図 16 及び図 17 に記載したタイムチャートを参照しながら説明する。なお、信号量の変化パターンについては、概略的に記載してあるが、シミュレーションにより得られた信号量の変化パターンは図 16、図 17 のパターンよりも複雑なパターンになっている。今、上述の具体例で挙げたように、電圧制御発振器 1 の設定周波数  $f_{set}$  を例えば 520.0001 MHz として図示しない入力部から入力したとする。パラメータ出力部 6 は、電圧制御発振器 1 の設定周波数と供給電圧との関係を書き込んだテーブルを備えていて、このテーブルにおける 520.0001 MHz に最も近い設定周波数を選択する。

#### 【 0061 】

また、既述のようにして  $f_{set} / 36 \text{ MHz}$  に最も近い整数である分周比  $N = 14$  と、設定周波数が得られるときの回転ベクトル V の周波数を粗調整量と微調整量とに分けたときの夫々の量と、を計算する。この場合、周波数の粗調整量つまり逆回転ベクトルの周波数である 1142883.30078125 Hz と第 2 の加算器 72 に入力する微調整量である逆回し処理後の回転ベクトルの周波数 19 Hz とを計算する。

#### 【 0062 】

そして入力部からスタートの指示を入力すると、電圧出力部 11 から設定周波数に対応する電圧を例えば時間に対して直線的に上昇するように出力する。電圧制御発振器 1 は電圧が供給されるので、周波数信号を出力しその周波数が上昇していく。初めのうちは電圧制御発振器 1 の出力周波数が低いので、A/D 変換部 3 にて取り出される周波数  $\{ 40 \text{ MHz} - (\text{出力周波数} / N) \}$  が大きく、このためキャリアリムーブ 4 にて取り出される回転ベクトル V の周波数が負の大きな値になっており、時刻  $t_1$  に至るまでは、キャリアリムーブ 4 以降の各部の出力は負の下限レベルに維持されている。電圧制御発振器 1 の出力周波数がある値まで上昇すると、キャリアリムーブ 4 からの回転ベクトル V の取り出し演算が有効になって回転ベクトル V の周波数 (速度) が落ち始める (図 16 (a) 参照)。

#### 【 0063 】

10

20

30

40

50

この説明では、40MHz - (出力周波数 / N) の値が 4MHz よりも小さいとき、つまり出力周波数 / N が 36MHz よりも大きいときの回転ベクトル V の回転方向を正の方向と呼ぶとすると、負の方向に回転している回転ベクトル V の周波数が低くなってきたということである。このとき図 16 (b) に示すように逆回転ベクトル乗算部 5 の出力である、逆回転分が加算された回転ベクトル V の周波数も低くなってくる。したがって、図 16 (c) に示すように位相の時間差検出部 71 の出力も小さくなり (負の速度が小さくなり)、図 17 (a) に示すように前記出力 (位相差) と周波数の微調整量とを加算した第 2 の加算部 72 の加算値も小さくなっていく。これらの変化は図 16 及び図 17 では、各値が上昇に転じていることである。

## 【0064】

10

更に、第 2 の加算部 72 の出力つまり位相差の累積加算部 73 の入力が上昇していることから、位相差の累積加算部 73 の出力が時刻  $t_1$  に遅れた時刻  $t_2$  にて上昇し始める。更に電圧制御発振器 1 の出力周波数が上昇して、分周後の周波数が 36MHz になり、キャリアリムーブ 4 から取り出される回転ベクトル V の速度が停止するタイミングとなる。ここで、粗調整周波数を  $F(n \cdot f_a)$  とし、微調整周波数を  $f(m \cdot f_b)$  とすると、キャリアリムーブ 4 から取り出される回転ベクトル V の周波数が周波数の調整分  $F + f$  よりも未だ小さく、その周波数差 (第 2 の加算部 72 の出力) が負の値であることから、回転ベクトル V の周波数は上昇する。やがて回転ベクトル V の周波数は時刻  $t_3$  にて前記周波数の調整分  $F + f$  と同じになるが、それまでの PLL の履歴により更に上昇する。

20

## 【0065】

しかし、図 17 (b) に示すように位相差の累積加算部 73 の出力が上昇して時刻  $t_4$  にて「正」に転じると、図 17 (c) に示すようにループフィルタ 8 の出力が上昇し始める。ループフィルタ 8 の出力が負の電圧から正の電圧になったところで電圧出力部 11 からの出力電圧がループフィルタ 8 の出力電圧分だけ低くなつて電圧制御発振器 1 に供給されることになるので、図 17 (d) に示すように電圧制御発振器 1 の出力周波数が低くなろうとする。このため回転ベクトル V の速度が落ち始め、これにより第 2 の加算部 72 の出力が小さくなろうとするので、位相差の累積加算部 73 の出力が低くなろうとする。こうしてやがて位相の時間差検出部 71 の出力が  $f$  (上述の具体例では 19Hz) に収束し (図 16 (c))、第 2 の加算部 72 の出力、即ち周波数差取り出し手段で取り出された周波数差がゼロになる。これにより PLL がロックされ、電圧制御発振器 1 の出力周波数が設定周波数である 520.0001MHz にロックされる。なおループフィルタ 8 はこの例では完全積分機能を持たせているため、正の直流電圧に収束することになる。また、シミュレーションでは、電圧制御発振器 1 の動作をスタートさせてから、PLL がロックされるに至るまでの時間はおよそ 150 msec であった。

30

## 【0066】

以上の周波数シンセサイザでは、電圧制御発振器 1 の出力周波数に応じた速度 (周波数) で回転する回転ベクトルを取り出し、この回転ベクトルの周波数と出力周波数が設定周波数になったときの回転ベクトルの周波数との差分を取り出して電圧制御発振器 1 にフィードバックして PLL を形成しているので、広い周波数帯域に亘つて細かな周波数設定を低ノイズで行うことができる。そして、周波数差を取り出すにあたつて、粗い周波数設定で逆回転する逆回転ベクトルを用いて回転ベクトルの速度を落とし込み、その微速回転ベクトルの速度を検出してその検出値と予め計算しておいて微調整分とを付き合わせてその差分を取り出すようにしている。したがつて、既述のようにデータ量を抑えかつ簡単な演算により回転ベクトルの周波数を検出することができ、従つてメモリ容量が小さくかつ演算の負荷が小さい周波数シンセサイザとすることができる。

40

## 【0067】

なお、分周比 N の決め方は、電圧制御発振器 1 の出力周波数の設定値を N で割ったときに、A/D 変換部 3 で用いる基準クロック信号の周波数と回転ベクトル取り出し手段で用いられる  $_{0/2}$  との差に最も近い周波数となるように決めるに限つたもので

50

はない。

【0068】

ここで、本実施形態では、図8中に示すように、実施形態1と同様の帯域ノイズ発生器90を設け、このノイズ出力を加算器91においてローパスフィルタ21の出力に加算し、これをA/D変換器3のアナログ入力とする。この構成により、A/D変換器3の誤動作によるスプリアス発生を低減し、周波数シンセサイザでの高性能化を可能にする。

【0069】

また、以上までの実施形態では、PLL方式の周波数シンセサイザに適用した場合を示すが、デジタル処理で位相比較するPLL、さらに波形解析装置などの他のデジタル処理装置に適用して同等の作用効果を得ることができる。

10

【図面の簡単な説明】

【0070】

【図1】本発明の実施形態を示す機能ブロック図。

【図2】帯域ノイズ発生器の周波数特性。

【図3】帯域ノイズ発生器の帯域ノイズ出力波形例。

【図4】A/D変換器のホールド電流の充放電の説明のための説明図。

【図5】エンベロープ入力/40MHzサンプルでのホールド充電電流変化の例。

【図6】ホールド充電電流の周期性の抑制例。

【図7】スプリアス発生の対策前と対策後の波形図。

【図8】本発明の実施形態2に係る周波数シンセサイザの基本構成図。

20

【図9】実施形態2に用いられるキャリアリムーブを示す構成図。

【図10】キャリアリムーブにて得られる回転ベクトルを示す説明図。

【図11】逆回転ベクトル乗算部の構成を示す構成図。

【図12】パラメータ発生部において逆回転ベクトルを発生させるためのデータテーブルを示す説明図。

【図13】キャリアリムーブで得られた回転ベクトルと逆回転ベクトルとを周波数差取り出し手段により互いに乗算する様子を示す説明図。

【図14】前後するタイミングでサンプリングした回転ベクトルの位相差を示す説明図。

【図15】図6における位相差の累積加算部及びループフィルタの構成図。

【図16】実施形態2におけるキャリアリムーブ、周波数差取り出し手段及び位相の時間差検出部の各出力レベルを示すタイムチャート。

30

【図17】位相差の累積加算部及びループフィルタの各入力レベルと、ループフィルタ及び電圧制御発振器の各出力レベルとを示すタイムチャート。

【図18】従来のPLLの機能ブロック図。

【符号の説明】

【0071】

1、...電圧制御発振器

2、...分周器

3、...A/D変換器

31...基準クロック発生部

40

4...キャリアリムーブ

5...逆回転ベクトル演算部

6...パラメータ出力部

71...位相の時間差検出部

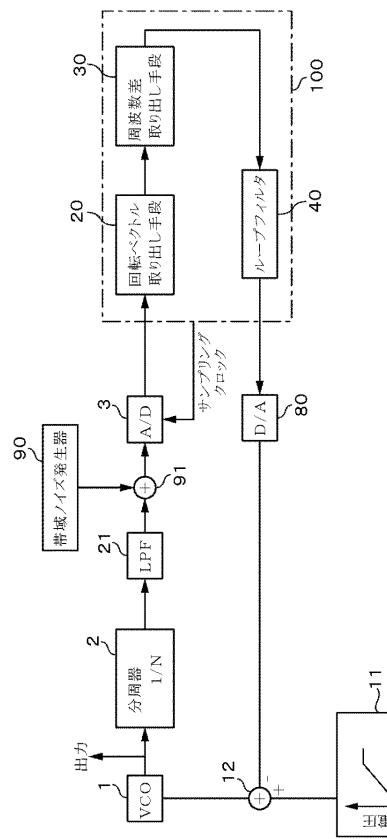
73...位相差の累積加算部

8...ループフィルタ

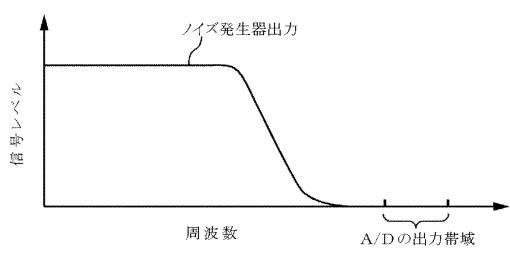
90...帯域ノイズ発生器

100...デジタル処理部

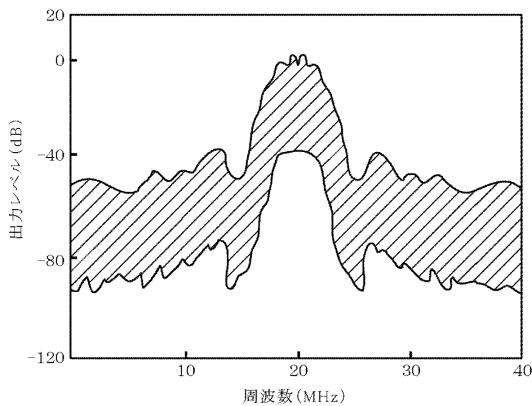
【図1】



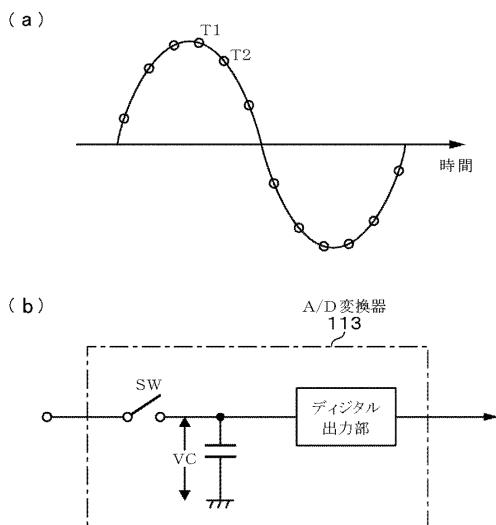
【図2】



【図3】

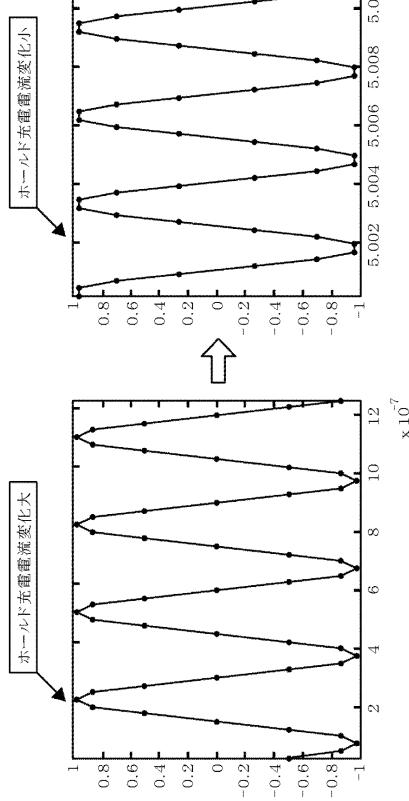


【図4】



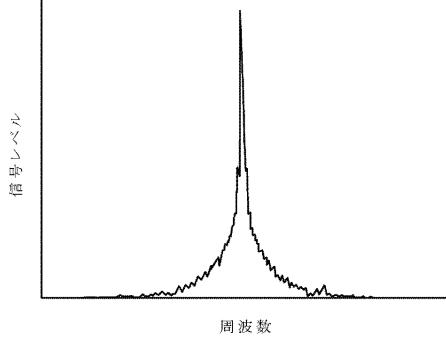
【図5】

エンベロープ 36666750Hz 入力 / 40MHz サンプル

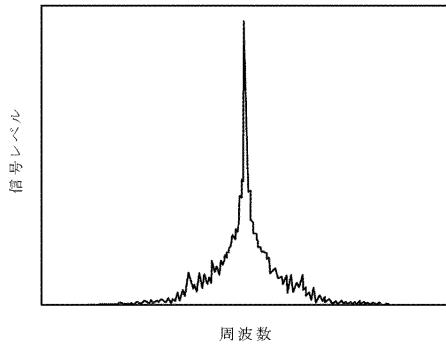


【図7】

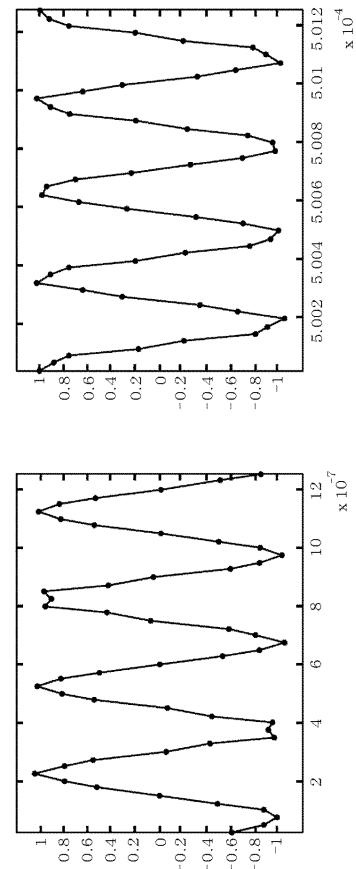
(a) 対策後



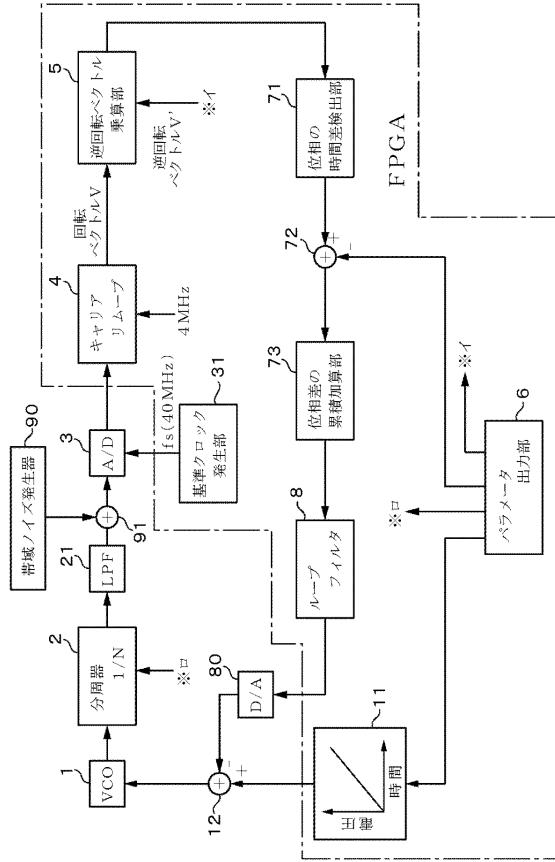
(b) 対策前



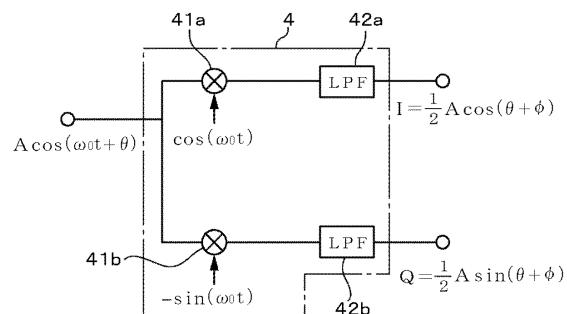
【図6】



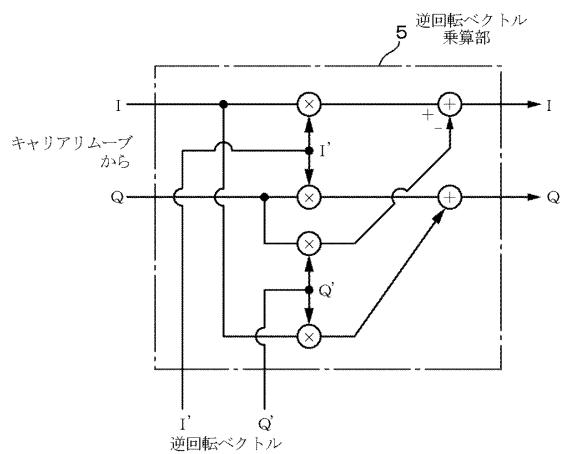
【図8】



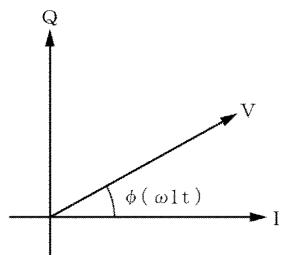
【図 9】



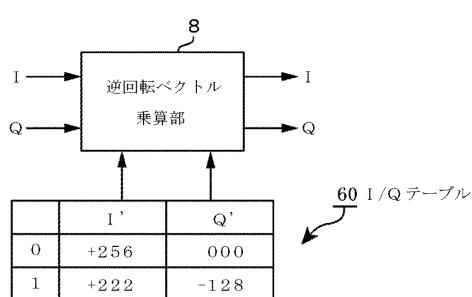
【図 11】



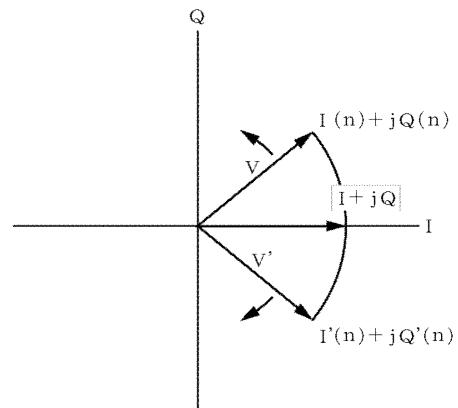
【図 10】



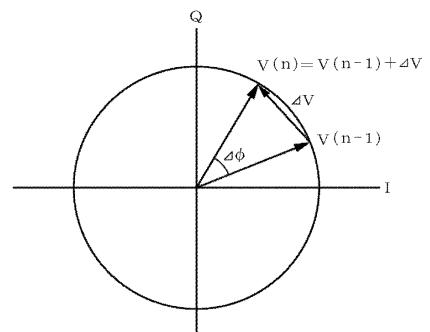
【図 12】



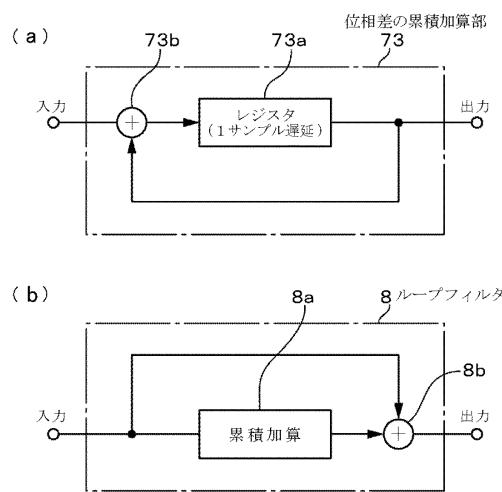
【図 13】



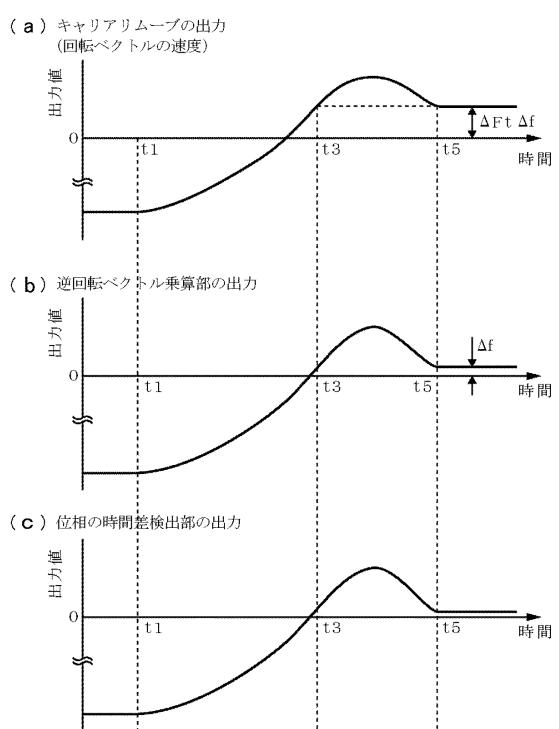
【図 14】



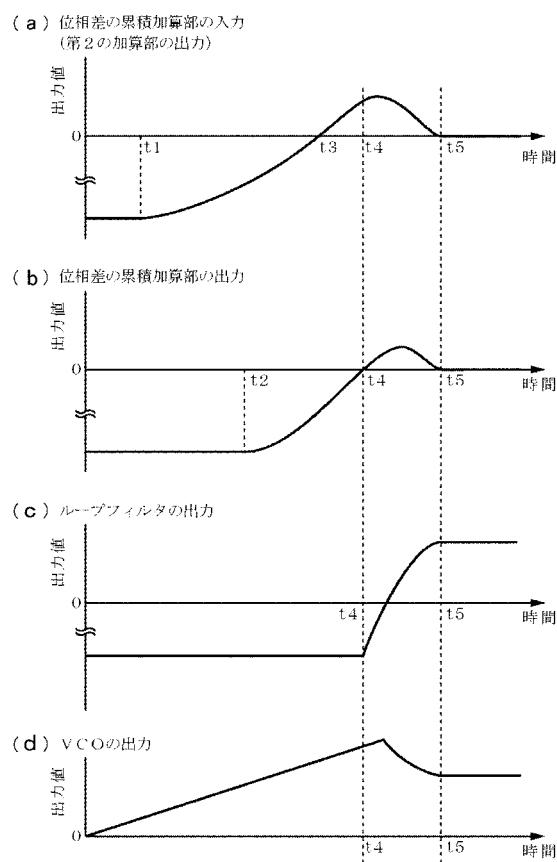
【図15】



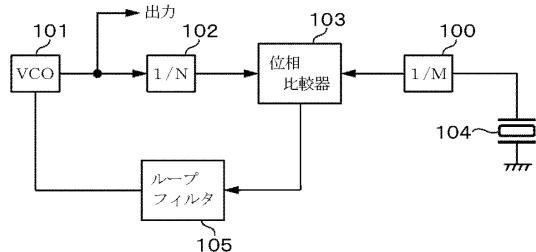
【図16】



【図17】



【図18】



---

フロントページの続き

(56)参考文献 特開2007-074291(JP, A)  
特開2001-267922(JP, A)  
特開平03-283822(JP, A)  
特開平06-132825(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88  
H03L 1/00 - 7/26