

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6069918号
(P6069918)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.	F 1
HO 1 L 29/00	(2006.01)
HO 1 L 29/06	(2006.01)
GO 6 F 17/50	(2006.01)
HO 1 L 21/336	(2006.01)
HO 1 L 29/78	(2006.01)
	HO 1 L 29/00
	HO 1 L 29/06
	GO 6 F 17/50
	HO 1 L 29/06
	HO 1 L 29/78

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2012-153970 (P2012-153970)
(22) 出願日	平成24年7月9日(2012.7.9)
(65) 公開番号	特開2014-17382 (P2014-17382A)
(43) 公開日	平成26年1月30日(2014.1.30)
審査請求日	平成27年4月6日(2015.4.6)

(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(74) 代理人	100107766 弁理士 伊東 忠重
(74) 代理人	100070150 弁理士 伊東 忠彦
(74) 代理人	100146776 弁理士 山口 昭則
(72) 発明者	大淵 真理 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内

審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】シミュレーション方法及びデバイスシミュレータ

(57) 【特許請求の範囲】

【請求項 1】

コンピュータによって実行されるシミュレーション方法であって、記憶部に記憶されたデバイスの構造モデルを読み込み、非平衡グリーン関数法によるソースとドレン間のチャネルを流れる電流の量子伝導計算において、伝導方向に垂直な2方向のうち1方向に無限長であって他方に垂直であり前記構造モデルで与えられるチャネルに対向するゲートのゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、該伝導方向に垂直な2方向に周期的な形で加えて、電流を計算することを特徴とするシミュレーション方法。

10

【請求項 2】

上記ポテンシャルは、周期的であるが連続でなく飛びがあることを特徴とする請求項1記載のシミュレーション方法。

【請求項 3】

前記構造モデルによって表される原子構造に真空層を設け、該真空層において前記飛びをもつことを特徴とする請求項2記載のシミュレーション方法。

【請求項 4】

2以上の面電荷によって前記ポテンシャルが重ねられることを特徴とする請求項1乃至3のいずれか一項記載のシミュレーション方法。

【請求項 5】

20

デバイスの構造モデルを記憶した記憶部と、
非平衡グリーン関数法によるソースとドレイン間のチャネルを流れる電流の量子伝導計算を行う際に、伝導方向に垂直な2方向のうち1方向に無限長であって他方に前記記憶部に記憶された前記構造モデルで与えられるチャネルに対向するゲートのゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、該伝導方向に垂直な2方向に周期的な形で加えて、電流を計算する特性計算部と
を有することを特徴とするデバイスシミュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、デバイスの電流電圧特性を計算するためのシミュレーション方法及びデバイスシミュレータに関する。

【背景技術】

【0002】

ナノデバイスでは、その局所的な構造や界面がデバイス全体の特性に大きく影響するため、量子力学に基づき、原子の種類と位置の情報だけからデバイスの特性を計算することが可能な第一原理計算が重要である。

【0003】

近年、第一原理計算に基づく非平衡グリーン関数法によるソース・ドレイン間の電流電圧特性の計算は盛んに行われるようになっている。しかし、第一原理計算の計算量は膨大であり、実際にゲート構造を原子構造模型に取り入れ、ゲート電圧をかける計算は非常にコストがかかる。このため、ゲート電圧を印加した際のデバイス特性を第一原理計算に基づく手法で調べることはほとんど行われていない。

20

【0004】

このため、例えば、ソース・ドレイン間の電流電圧特性の計算において、ゲート電極が作るモデルポテンシャルを外場として加え、ゲート電界依存性を計算する試みがなされている。

【先行技術文献】

【非特許文献】

【0005】

30

【非特許文献1】Taisuke Ozaki et al., "Efficient implementation of the nonequilibrium Green function method for electronic transport calculations", PHYSICAL REVIEW B 81, 035116 (2010), The American Physical Society, p. 035116-1 to 035116-19

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した外場として加えられるポテンシャルが作り出す誘起電荷は現実に対応したものではなく、ソース・ドレイン間の電流電圧特性を精度良く計算することができないと言った問題があった。

【0007】

40

よって、本発明の目的は、第一原理計算に基づく非平衡グリーン関数法によるソース・ドレイン電流電圧特性計算において、簡便かつ、現実に対応するゲート電界を取り入れ、ナノデバイスにおけるソース・ドレイン間の電流電圧特性を精度良く計算することである。

【課題を解決するための手段】

【0008】

開示の技術は、コンピュータによって実行されるシミュレーション方法であって、記憶部に記憶されたデバイスの構造モデルを読み込み、非平衡グリーン関数法によるソースとドレイン間のチャネルを流れる電流の量子伝導計算において、伝導方向に垂直な2方向のうち1方向に無限長であって他方に垂直であり前記構造モデルで与えられるチャネルに対

50

向するゲートのゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、該伝導方向に垂直な2方向に周期的な形で加えて、電流を計算する。

【0009】

また、上記課題を解決するための手段として、デバイスシミュレータ、プログラム、及び、そのプログラムを記録した記録媒体とすることもできる。

【発明の効果】

【0010】

開示の技術では、現実に対応するゲート電界を印加した場合の誘起電荷をモデル化することで、計算手法を大きく変更することなく、電流電圧特性のゲート電界依存性を計算することができる。

10

【図面の簡単な説明】

【0011】

【図1】カーボンチェーン構造模型を示す図である。

【図2】関連技術によるゲートのモデルポテンシャルを示す図である。

【図3】関連技術におけるモデルポテンシャルによる誘起電荷を示す図である。

【図4】Centerの領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図である。

【図5】Leadsの領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図である。

20

【図6】一方向に無限長の面電荷の模式図である。

【図7】本実施の形態によるゲートのモデルポテンシャルを示す図である。

【図8】本実施の形態のモデルポテンシャルによる誘起電荷を示す図である。

【図9】本実施の形態のモデルポテンシャルによる誘起電荷を示す図である。

【図10】デバイスシミュレータのハードウェア構成を示す図である。

【図11】デバイスシミュレータの機能構成例を示す図である。

【図12】構造モデルの例を示す図である。

【図13】本実施の形態における電流電圧特性計算処理を説明するためのフローチャート図である。

【図14】図13のステップS16における電流Iの計算処理を説明するための図である。

30

【図15】デバイスの電流電圧特性の模式図である。

【図16】ゲート長16原子、chainは32原子の場合を示す図である。

【図17】ダブルゲート構造の場合を示す図である。

【図18】ダブルゲート構造で、カーボンチェーンが2本の場合を示す図である。

【図19】図17のダブルゲート構造の場合で、面電荷の密度を変化させた場合の誘起電荷を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態を図面に基づいて説明する。発明者は、関連技術である非特許文献1の記載に基づくゲートのモデルポテンシャルによる誘起電荷を検証した。

40

【0013】

先ず、図1のようなカーボンチェーン構造を例として説明する。図1は、カーボンチェーン構造模型を示す図である。図1に示すカーボン構造模型では、2aは炭素原子を表し、炭素4原子からなるReserver部分（領域3a及び3b）は、それぞれ半無限に同じ構造を繰り返している。この図では、炭素原子2aが12個あり、12個の炭素原子2aが1列に並んだこの構造をchain-12と呼ぶ。Center+Leadsの領域4は、モデルのサイズにより原子の個数が変わり、それに応じて呼び方の数字を変える。

【0014】

非特許文献1によれば、この構造の電流電圧特性の計算において加えるポテンシャルは次式で与えられ、

50

【0015】

【数1】

$$V_g(x) = V_g^{(0)} \exp \left[- \left(\frac{x - x_c}{d} \right)^8 \right]$$

10

ここで、 x_c は構造の中央の 0.5 であり、 d は図 1 の場合、Center+Leads の領域 4 の長さに相当する 1/3 である。また、 $V_g^{(0)}$ はポテンシャルの大きさを決める係数である。これを図示すると、図 2 のようになる。

【0016】

図 2 は、関連技術によるゲートのモデルポテンシャルを示す図である。図 2 において、chain-12、 $V_g^{(0)} = 10$ eV の場合を示す。このポテンシャルは伝導方向である x 方向にだけ依存性を持ち、それに垂直な y 、 z 方向には一定であるため、 y 、 z 方向を周期境界条件で取り扱う第一原理計算に基づく非平衡グリーン関数法に容易に取り入れることができる。この 2 方向のポアソン方程式を高速フーリエ変換を用いて計算することができるからである。

20

【0017】

発明者は、このポテンシャルが作り出す誘起電荷を計算したところ、しかしながら、図 3 のようになつた。図 3 は、関連技術におけるモデルポテンシャルによる誘起電荷を示す図である。横軸は各炭素原子、縦軸は各原子の電荷量で、ゲートポテンシャルがない時との差を表している。

【0018】

図 3 において、Center+Leads の領域 4 の端に大きな誘起電荷 5a があり、そのすぐ外側には逆符号の大きな誘起電荷 5b が存在する。電荷は誘起されているものの、現実との対応が難しいことが分かる。

【0019】

30

また、発明者は、Center+Leads の領域 4 において、Center の領域、また、Leads の領域を長くした場合におけるポテンシャルが作り出す誘起電荷を検証した。図 4 は、Center の領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図である。図 4 (A) では、chain-28 で Center の領域を長くした場合のモデルポテンシャルを示し、図 4 (B) では、図 4 (A) に示すモデルポテンシャルに基づいて計算された誘起電荷を示している。

【0020】

Center の領域を長くした場合では、図 4 (B) に示されるように、chain-28 のカーボンチェーン構造において、Center+Leads の領域 4 内の両端 (Leads 部分) で誘起電荷が大きく、Center では誘起電荷が小さいことが示され、更に、領域 4 のすぐ外側には負の誘起電荷が大きく発生する結果となつた。

40

【0021】

また、図 5 は、Leads の領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図である。図 5 (A) では、chain-28 で Leads の領域を長くした場合のモデルポテンシャルを示し、図 5 (B) では、図 5 (A) に示すモデルポテンシャルに基づいて計算された誘起電荷を示している。

【0022】

Leads の領域を長くした場合では、図 5 (B) に示されるように、chain-28 のカーボンチェーン構造において、Center+Leads の領域 4 内で、Center と Leads の境で大きな誘起電荷があり、そのすぐ外側には逆符号の大きな誘起電荷が発生する結果となつた。

50

【0023】

上述したように、Centerの領域を長くしても、また、Leadsの領域を長くすることでも改善されないことが分かった。

【0024】

本実施の形態において、発明者は、伝導方向に垂直な2つの方向に周期的なゲート印加のためのモデルポテンシャルを導入することによって、より現実的な誘起電荷の発生をシミュレートすることを可能とし、ソース・ドレイン電流電圧特性の計算を精度良く行えるようにした。また、この実施の形態では、原子構造が伝導方向に垂直な方向に連続でなく真空層が存在する場合、ポテンシャルは周期的であれば連続でなくともよく、ポテンシャルの飛びがちょうど真空層にあるようにすればよい。

10

【0025】

図6は、一方向に無限長の面電荷の模式図である。図6に例示する面電荷は、現実に対応するゲート電界を印加した場合の誘起電荷をモデル化したものであり、 a は面電荷の幅（ゲート長に相当）の半分を示す。また、 R はポテンシャルの基準点を示しており、どこにとってもかまわない。発明者は、このような一方向の無限長の単位電荷密度の面電荷がつくるポテンシャルが、次式で与えられることを解析的に示した。

【0026】

【数2】

20

$$4\pi\epsilon p(x, z) = -a \ln\left\{a/\left(z^2 + a^2\right)^{1/2}\right\} + (x + a) \ln\left\{(x + a)^2 + z^2\right\} - (x - a) \ln\left\{(x - a)^2 + z^2\right\} \\ + 2z \tan^{-1}\left\{(x + a)/z\right\} - 2z \tan^{-1}\left\{(x - a)/z\right\} \\ - 2a \ln\left\{z^2 + a^2\right\} - 4R \tan^{-1}(a/R) + a \ln\left\{a/\left(R^2 + a^2\right)^{1/2}\right\}$$

ここで、 $p(x, z)$ がポテンシャル、 ϵ は面電荷の周りの材質の誘電率である。

30

【0027】

ここでもカーボンチェーン構造を例として説明する。図1の構造の場合、 $a = 1/6$ となり、 R を今、 $X = 0$ 、 $Z = 0$ の点にとる。今、カーボンチェーンは $y = 0$ 、 $z = 0$ にあるものとしている。上式を図示すると図7のようになる。ここでは、面電荷の電荷密度は、 10^{13} cm^{-2} とした。

【0028】

図7は、本実施の形態によるゲートのモデルポテンシャルを示す図である。図7では、chain-12の場合を示している。関連技術としての非特許文献1と異なり、 z 方向にも依存性を持つ。今、面電荷は $z = -1$ のところにあるものとして図示しており、図7の領域には含まれていない。 z 方向にはこのポテンシャルを周期的に繰り返せばよく、 y 方向には今依存性がないので、周期的に取り扱うことができる。

40

【0029】

原子構造が伝導方向に垂直な方向に連続でなく真空層が存在する場合、ポテンシャルは周期的であれば連続でなくともよく、ポテンシャルの飛びがちょうど真空層にあるようにすればよい。

【0030】

原子列は、今、 $z = 0$ の位置にあるため、これにより、 $z = -1$ の距離にある面電荷からの影響を取り入れたソース・ドレイン電流電圧特性の計算が可能となる。具体的には、このモデルでは 1 nm の真空を絶縁層としたゲート電極による、現実に近いナノデバイスのシミュレーションが可能となる。

50

【 0 0 3 1 】

このポテンシャルに誘起される電荷は、図 8 のようになり、図 3 に類似している。図 8 は、本実施の形態のモデルポテンシャルによる誘起電荷を示す図である。図 8 では、chain-12 の場合の各原子の誘起電荷を示している。しかしながら、本発明のモデルポテンシャルの場合は、現実同様 Lead を十分の長さに取ることで、図 9 のように現実的な電荷分布を再現することが分かった。

【 0 0 3 2 】

図 9 は、本実施の形態のモデルポテンシャルによる誘起電荷を示す図である。図 9 では、Lead 部分を長くした chain-28 の場合の各原子の誘起電荷を示している。図 9 に示すように、chain-28 の場合では、Center 部分で、ゲートポテンシャルのない時との差が最も高く、両端 ($x = 0$ 及び $x = 1$) に向かって差が小さくなる曲線を描く。

10

【 0 0 3 3 】

本実施の形態では、Lead 部分を長くしたカーボンチェーン構造とするのみで、現実的な誘起電荷の計算結果を得ることができ、従って、より精度高く電流値を計算することが可能となる。

【 0 0 3 4 】

本実施の形態に係るデバイスシミュレータについて説明する。図 10 は、デバイスシミュレータのハードウェア構成を示す図である。図 10 において、デバイスシミュレータ 100 は、コンピュータによって制御される端末であって、CPU (Central Processing Unit) 11 と、主記憶装置 12 と、補助記憶装置 13 と、入力装置 14 と、表示装置 15 と、出力装置 16 と、通信 I / F (インターフェース) 17 と、ドライブ 18 とを有し、バス B に接続される。

20

【 0 0 3 5 】

CPU 11 は、主記憶装置 12 に格納されたプログラムに従ってデバイスシミュレータ 100 を制御する。主記憶装置 12 には、RAM (Random Access Memory) 等が用いられ、CPU 11 にて実行されるプログラム、CPU 11 での処理に必要なデータ、CPU 11 での処理にて得られたデータ等を格納する。また、主記憶装置 12 の一部の領域が、CPU 11 での処理に利用されるワークエリアとして割り付けられている。

【 0 0 3 6 】

補助記憶装置 13 には、ハードディスクドライブが用いられ、各種処理を実行するためのプログラム等のデータを格納する。補助記憶装置 13 に格納されているプログラムの一部が主記憶装置 12 にロードされ、CPU 11 に実行されることによって、各種処理が実現される。記憶部 130 は、主記憶装置 12 及び / 又は補助記憶装置 13 を有する。

30

【 0 0 3 7 】

入力装置 14 は、マウス、キーボード等を有し、ユーザがデバイスシミュレータ 100 による処理に必要な各種情報を入力するために用いられる。表示装置 15 は、CPU 11 の制御のもとに必要な各種情報を表示する。出力装置 16 は、プリンタ等を有し、ユーザからの指示に応じて各種情報を出力するために用いられる。通信 I / F 17 は、例えばインターネット、LAN (Local Area Network) 等に接続し、外部装置との間の通信制御をするための装置である。

40

【 0 0 3 8 】

デバイスシミュレータ 100 によって行われる処理を実現するプログラムは、例えば、CD - ROM (Compact Disc Read-Only Memory) 等の記憶媒体 19 によってデバイスシミュレータ 100 に提供される。即ち、プログラムが保存された記憶媒体 19 がドライブ 18 にセットされると、ドライブ 18 が記憶媒体 19 からプログラムを読み出し、その読み出されたプログラムがバス B を介して補助記憶装置 13 にインストールされる。そして、プログラムが起動されると、補助記憶装置 13 にインストールされたプログラムに従って CPU 11 がその処理を開始する。尚、プログラムを格納する媒体として CD - ROM に限定するものではなく、コンピュータが読み取り可能な媒体であればよい。コンピュータ読み取り可能な記憶媒体として、CD - ROM の他に、DVD ディスク、USB メモリ等の

50

可搬型記録媒体、フラッシュメモリ等の半導体メモリであっても良い。

【0039】

図11は、デバイスシミュレータの機能構成例を示す図である。図11において、デバイスシミュレータ100は、CPU11によって行われる処理部として、原子座標入力部21と、ゲートデータ入力部22と、電流電圧特性計算部23とを有する。各処理部21から23は、CPU11が対応するプログラムを実行することによって実現される。

【0040】

記憶部130には、原子座標データ31と、ゲートデータ32と、計算結果33とが記憶される。原子座標データ31と、ゲートデータ32とによって、構造モデル7m(図12)が表現される。

10

【0041】

原子座標入力部21は、記憶部130から原子座標データ31を入力する処理部である。ゲートデータ入力部22は、記憶部130からゲートデータ32を入力する処理部である。電流電圧特性計算部23は、原子座標データ31と、ゲートデータ32とによって得られる構造モデル7mに基づいて、電流電圧特性を計算する処理部である。電流電圧特性計算部23は、第一原理計算に基づく非平衡グリーン関数法による量子伝導計算において、1方向に無限長の面電荷(図6)がつくる解析的なポテンシャル(数2)を伝導方向(x方向)に垂直な2方向(y方向及びz方向)に周期的な形で加えて(y方向ではに周期的)、電流電圧特性を求める。

【0042】

20

図12は、構造モデルの例を示す。図12において、構造モデル7は、ゲート7gと、ソース7sと、チャネル7cと、ドレイン7dと、ゲート電圧 V_g と、ソースドレイン電圧 V_{SD} とを有する。

【0043】

本実施の形態では、ゲート7gが図6で示される一方向の無限長の面電荷で表現され、面電荷がつくるポテンシャルを解析的に示した上記数2を用いて、面電荷がチャネル7cに与える影響を考慮したソース7sとドレイン7d間の電流Iを算出する。

【0044】

図13は、本実施の形態における電流電圧特性計算処理を説明するためのフローチャート図である。図11に示す電流電圧特性計算処理は、CPU11が対応するプログラムを実行することによって実現される。

30

【0045】

図11において、CPU11の制御によって起動された原子座標入力部21は、記憶部130から原子座標データ31を読み込んで入力する(ステップS11)。原子座標入力部21は、予め記憶部130に記憶された原子座標データ31を読み込んでも良いし、原子座標データ31を取得するための所定のユーザインタフェースを表示装置15に表示して、ユーザから取得するようにしても良い。ユーザから取得した原子座標データ31は記憶部130に記憶される。原子座標データ31は、ソース、ドレイン、チャネルに係る原子座標を含む。

【0046】

40

次に、CPU11はゲートデータ入力部22を起動して、記憶部130からゲートデータ32を読み込んで入力する(ステップS12)。ゲートデータ入力部22は、予め記憶部130に記憶されたゲートデータ32を読み込んでも良いし、ゲートデータ32を取得するための所定のユーザインタフェースを表示装置15に表示して、ユーザから取得するようにしても良い。ユーザから取得したゲートデータ32は記憶部130に記憶される。ゲートデータ32は、ゲートの個数、位置、ゲート幅等の値を含む。leads部分の長さは、ゲート幅に基づく。

【0047】

そして、CPU11は電流電圧特性計算部23を起動する。電流電圧特性計算部23は、ゲート電圧 $V_{GO}(r)$ を計算する(ステップS13)。ステップS13におけるゲー

50

ト電圧 $V_{G0}(r)$ の計算では、図 6 で示される一方向の無限長の面電荷でゲート 7 g を表現し、面電荷がつくるポテンシャルを解析的に示した上記数 2 に基づいて計算される。

【0048】

電流電圧特性計算部 23 は、ゲート電圧 $V_G(r)$ 每にループして(ステップ S14)、ソースドレイン電圧 V_{SD} に応じた電流 I を計算する(ステップ S15 及び S16)。電流電圧特性計算部 23 による計算結果 33 が記憶部 130 に記憶される。

【0049】

図 14 は、図 13 のステップ S16 における電流 I の計算処理を説明するための図である。図 14 において、電流電圧特性計算部 23 は、変数 i を 0 に初期化し、電荷密度 $\rho_0(r)$ を計算する(ステップ S31)。

10

【0050】

電流電圧特性計算部 23 は、変数 i を 1 インクリメントして(ステップ S32)、直前に計算された電荷密度 ρ に基づいて $V_i(r)$ を計算する(ステップ S33)。そして、電流電圧特性計算部 23 は、 $V_i(r) + V_G V_{G0}(r)$ を計算する(ステップ S34)。電流電圧特性計算部 23 は、ステップ S34 で計算された電圧に基づいて、 $\rho_i(r)$ を計算する(ステップ S35)。

【0051】

$\rho_i(r)$ と $\rho_{i-1}(r)$ との差が所定値 未満に収束したか否かを判断する(ステップ S36)。収束していない場合、電圧特性計算部 23 は、ステップ S32 へと戻り、電荷密度の値が収束するまで、上記同様の処理を繰り返す。

20

【0052】

一方、収束した場合、電圧特性計算部 23 は、透過率 $T(E)$ を計算し(ステップ S37)、透過率 $T(E)$ を積分($E = 0 \sim V_{SD}$)することにより電流 I を計算する(ステップ S38)。

【0053】

上述したような電流電圧特性計算処理によって得られるデバイスの電流電圧特性が、図 15 に例示される。図 15 は、デバイスの電流電圧特性の模式図である。図 15 において、ゲート電圧 $V_G(1)$ 、 $V_G(2)$ 、 $V_G(3)$ を夫々印加したときの電流電圧特性が示されている。

【0054】

30

以下に、本実施の形態に係る電流電圧特性計算処理によるデバイスシミュレーションの実施例を示す。図 9 では、ゲート長(図 6 の a で表される長さ)が 4 原子分の長さの場合であったが、ゲート幅に応じて leads 部分を長くすることで、種々のゲート長での計算が可能となる。

[実施例 1]

図 16 は、ゲート長 16 原子、chain は 32 原子の場合を示す図である。図 16 において、ゲート長が 16 原子分の長さの場合を示している。ゲート長 16 原子、chain は 32 原子の場合における、モデルポテンシャルを図 16(A) に示し、誘起電荷を図 16(B) に示す。リード長は、これ以上長くてもよく、誘起電荷は、現実の誘起電荷に対応し、同じ結果を示す。

40

[実施例 2]

図 17 は、ダブルゲート構造の場合を示す図である。図 17 では、カーボンチェーンの反対側にも面電荷があるものとし、上述した数 2 のポテンシャルを重ね合わせたもので、ダブルゲート構造を模している。このようなダブルゲート構造における、モデルポテンシャルを図 17(A) に示し、誘起電荷を図 17(B) に示す。ダブルゲートの効果により、図 16 と比較して 2 倍程度の電荷が誘起されていることが分かる。

[実施例 3]

図 17 のダブルゲート構造の場合で、面電荷間の間隔をひろげ、カーボンチェーンを 2 本配置することもできる。2 本のカーボンチェーンに同じ電荷が誘起されていることが分かり、チャネル層が厚みをもっていても、即ち、厚み方向に 2 以上のカーボンチェーンを

50

持っていても、この方法が適用できる。

【0055】

図18は、ダブルゲート構造で、カーボンチェーンが2本の場合を示す図である。図18では、ダブルゲート構造であって、ゲート長16原子、chainは32原子が2本の場合を示している。このようなダブルゲート構造における、モデルポテンシャルを図18(A)に示し、誘起電荷を図18(B)に示す。図18(B)では、2本のchainの誘起電荷を示している。

【実施例4】

実施例2のダブルゲート構造の場合は、面電荷の電荷密度が 10^{13} cm^{-2} であった。電荷密度を変化させることで、それに応じて誘起される電荷を制御することができる。

図19は、図17のダブルゲート構造の場合で、面電荷の密度を変化させた場合の誘起電荷を示す図である。図19において、数値は、chainの中央の原子に誘起された電荷の量を示している。

10

【0056】

上述したように、本実施の形態に係る電流電圧特性計算処理を用いることによって、ゲート個数、ゲート長、カーボンチェーンの長さ及び本数等のデバイス構造に応じた電流電圧特性を計算することができる。

【0057】

ナノデバイスのソース・ドレイン間の電流電圧特性計算にて、一方向に無限長で他方向に端をもつ面電荷によってゲートをモデル化し、該面電荷がつくるポテンシャルによって現実的な電荷分布を再現するため、電流を精度良く計算することができる。

20

【0058】

従って、本実施の形態によれば、第一原理計算に基づく非平衡グリーン関数法によるソース・ドレイン間の電流電圧特性の計算において、その手法を大きく変えることなく、また、計算量を大きく増大させることなく、簡便かつ、現実に対応するゲート電界を印加した場合の誘起電荷をモデル化することができ、電流電圧特性のゲート電界依存性を計算することができる。

【0059】

本実施の形態において、電流電圧特性を計算する対象をカーボンチェーンとしたが、これに限定するものではない。

30

【0060】

本発明は、具体的に開示された実施例に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

【0061】

以上の実施例を含む実施形態に關し、更に以下の付記を開示する。

(付記1)

コンピュータによって実行されるシミュレーション方法であって、記憶部に記憶されたデバイスの構造モデルを読み込み、

非平衡グリーン関数法による量子伝導計算において、1方向に無限長であって他方に前記構造モデルで与えられるゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、伝導方向に垂直な2方向に周期的な形で加えて、電流を計算することを特徴とするシミュレーション方法。

40

(付記2)

上記ポテンシャルは、周期的であるが連續でなく飛びがあることを特徴とする付記1記載のシミュレーション方法。

(付記3)

前記構造モデルによって表される原子構造に真空層を設け、該真空層において前記飛びをもつことを特徴とする付記2記載のシミュレーション方法。

(付記4)

2以上の面電荷によって前記ポテンシャルが重ねられることを特徴とする付記1乃至3

50

のいずれか一項記載のシミュレーション方法。

(付記 5)

前記構造モデルは、前記ポテンシャルの平坦な領域に厚みのある伝導層の原子構造を有することを特徴とする付記 4 記載のシミュレーション方法。

(付記 6)

デバイスの構造モデルを記憶した記憶部と、

非平衡グリーン関数法による量子伝導計算を行う際に、1 方向に無限長であって他方に前記記憶部に記憶された前記構造モデルで与えられるゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、伝導方向に垂直な 2 方向に周期的な形で加えて、電流を計算する特性計算部と

10

を有することを特徴とするデバイスシミュレータ。

(付記 7)

記憶部に記憶されたデバイスの構造モデルを読み込み、

非平衡グリーン関数法による量子伝導計算において、1 方向に無限長であって他方に前記構造モデルで与えられるゲート幅で端を持つ面電荷がつくる解析的なポテンシャルを、伝導方向に垂直な 2 方向に周期的な形で加えて、電流を計算することを特徴とするシミュレーション方法。

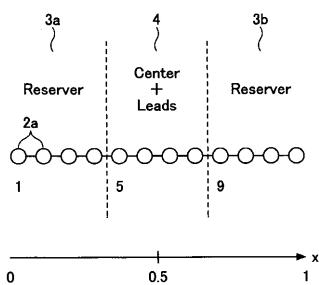
【符号の説明】

【0062】

7 c	チャネル	20
7 d	ドレイン	
7 g	ゲート	
7 s	ソース	
7 m	構造モデル	
1 1	C P U	
1 2	主記憶装置	
1 3	補助記憶装置	
1 4	入力装置	
1 5	表示装置	
1 6	出力装置	30
1 7	通信 I / F	
1 8	ドライブ	
1 9	記憶媒体	
2 1	原子座標入力部	
2 2	ゲートデータ入力部	
2 3	電流電圧特性計算部	
3 1	原子座標データ	
3 2	ゲートデータ	
3 3	計算結果	
1 0 0	デバイスシミュレータ	40
1 3 0	記憶部	

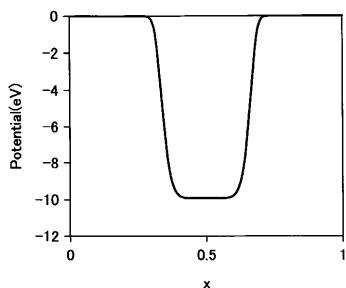
【図1】

カーボンチェーン構造模型を示す図



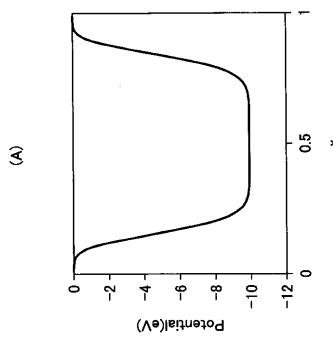
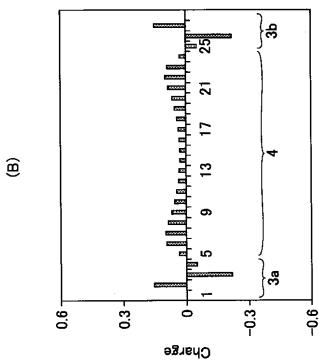
【図2】

関連技術によるゲートのモデルポテンシャルを示す図



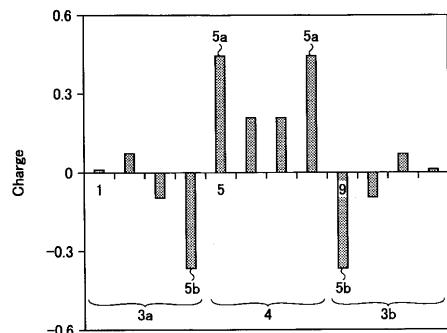
【図4】

Centerの領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図



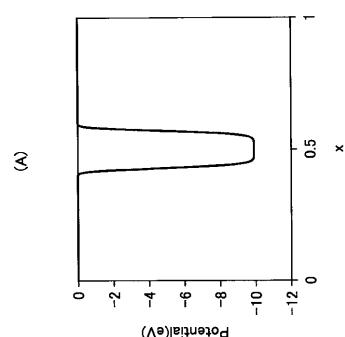
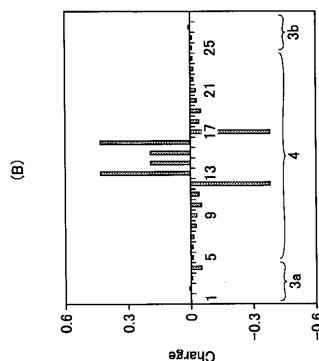
【図3】

関連技術におけるモデルポテンシャルによる誘起電荷を示す図



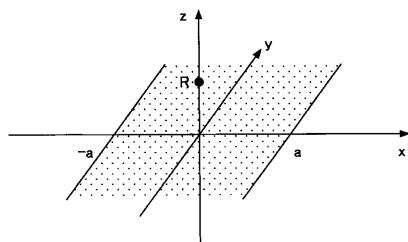
【図5】

Leadsの領域を長くした場合の、関連技術におけるモデルポテンシャルによる誘起電荷を説明するための図



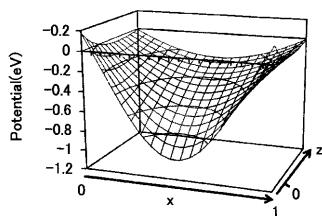
【図6】

一方向に無限長の面電荷の模式図



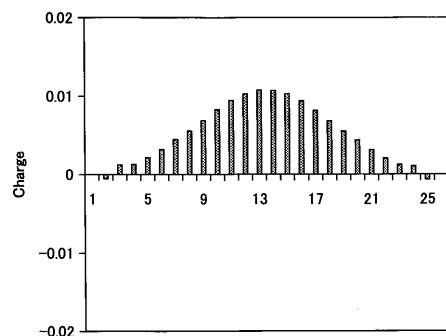
【図7】

本実施の形態によるゲートのモデルポテンシャルを示す図



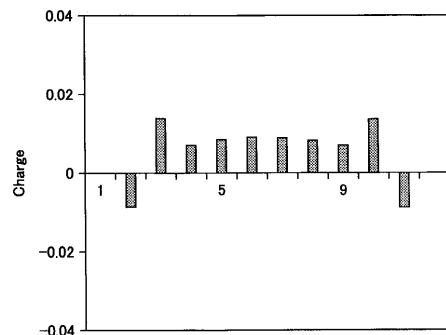
【図9】

本実施の形態のモデルポテンシャルによる誘起電荷を示す図



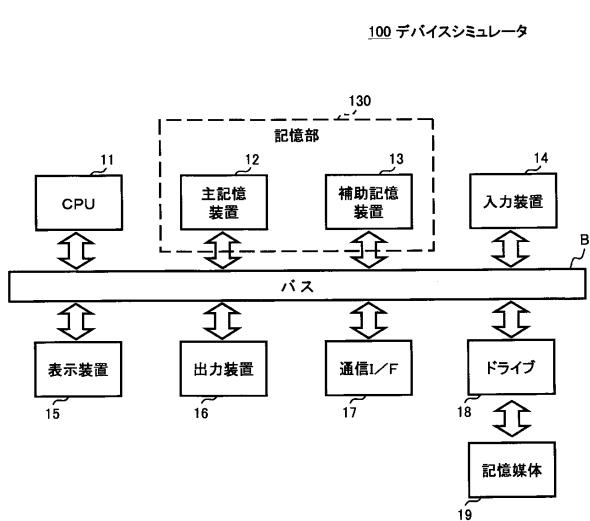
【図8】

本実施の形態のモデルポテンシャルによる誘起電荷を示す図



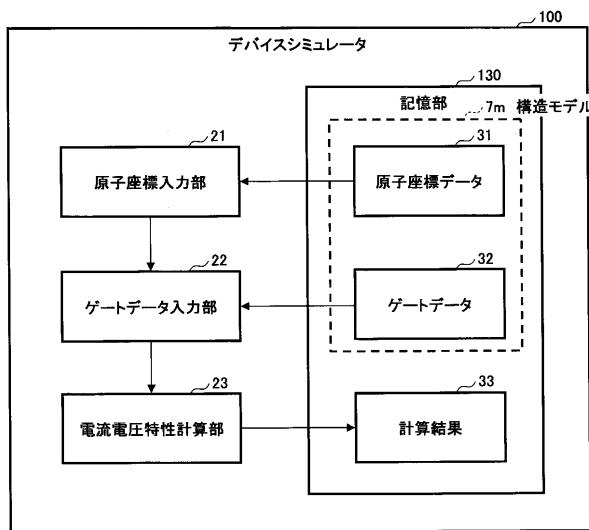
【図10】

デバイスシミュレータのハードウェア構成を示す図



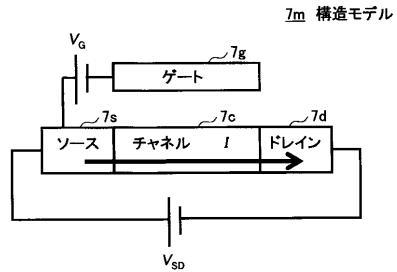
【図11】

デバイスシミュレータの機能構成例を示す図



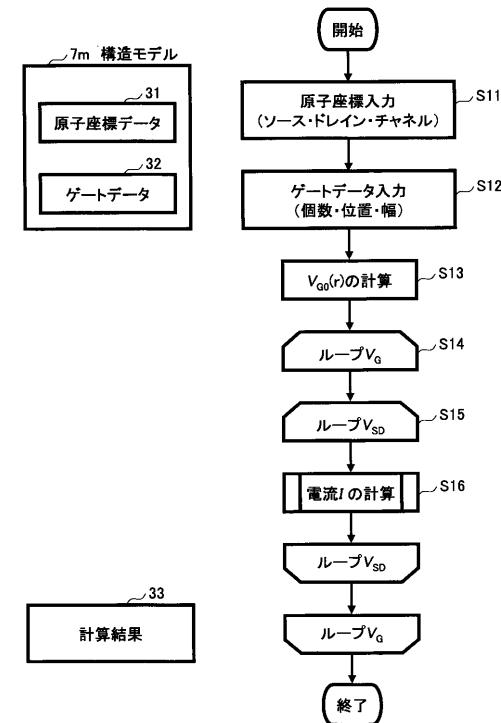
【図12】

構造モデルの例を示す図



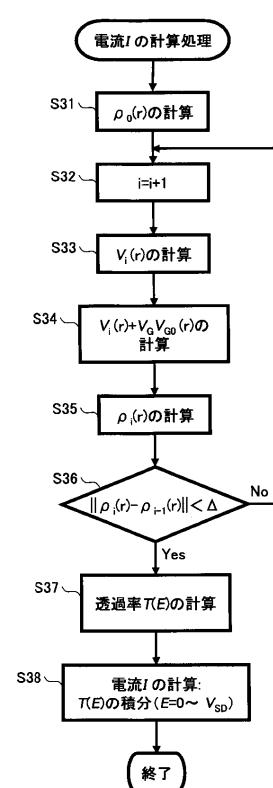
【図13】

本実施の形態における電流電圧特性計算処理を説明するためのフローチャート図



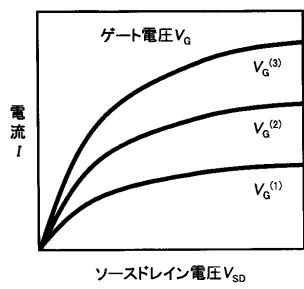
【図14】

図13のステップS16における電流Iの計算処理を説明するための図



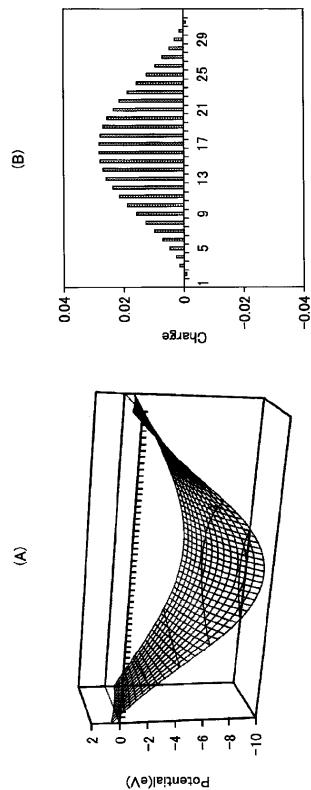
【図15】

デバイスの電流電圧特性の模式図



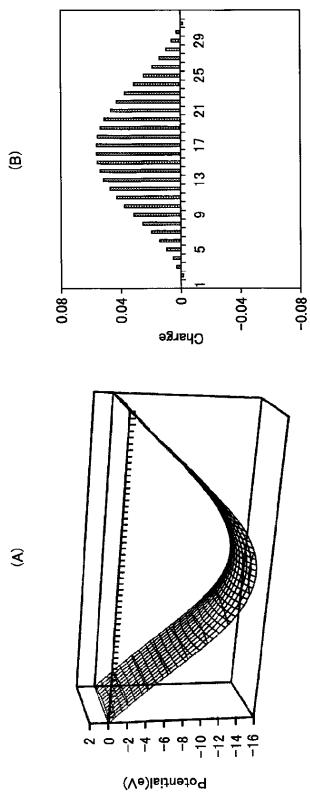
【図16】

ゲート長16原子、chainは32原子の場合を示す図



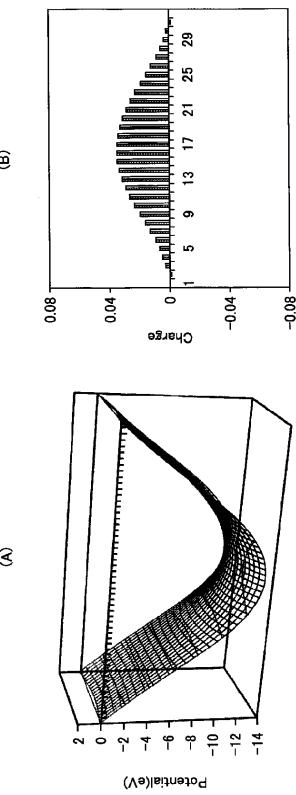
【図17】

ダブルゲート構造の場合を示す図



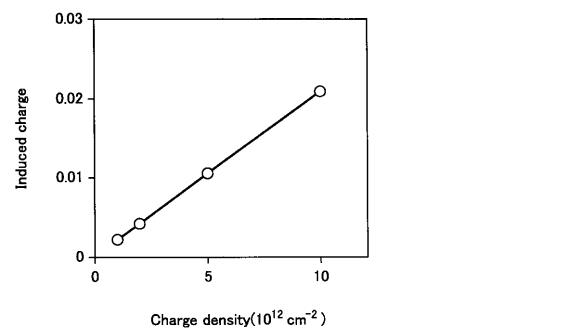
【図18】

ダブルゲート構造で、カーボンチェーンが2本の場合を示す図



【図19】

図17のダブルゲート構造の場合で、
面電荷の密度を変化させた場合の誘起電荷を示す図



フロントページの続き

(56)参考文献 特開2000-101063(JP,A)

T.DANG, ET.AL. , CNTFET Basics and Simulation , International Conference on Design and Test of Integrated Systems in Nanoscale Technology , 米国 , IEEE , 2006年 , P.28-33

(58)調査した分野(Int.Cl. , DB名)

H 01 L 29 / 00

G 06 F 17 / 50

H 01 L 29 / 06

H 01 L 29 / 78

H 01 L 21 / 336