(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4329159号
(P4329159)
(45)発行日　平成21年9月9日(2009.9.9)　(24)登録日　平成21年6月26日(2009.6.26)

(51)Int.Cl.　F I
H04J 11/00 (2006.01)　H04J 11/00 Z

請求項の数 12　(全 33 頁)

(21)出願番号　特願平11-140442
(22)出願日　平成11年5月20日(1999.5.20)
(65)公開番号　特開2000-332722(P2000-332722A)
(43)公開日　平成12年11月30日(2000.11.30)
審査請求日　平成18年3月17日(2006.3.17)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　迫田　和之
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　富澤　哲生

(56)参考文献　特開平０６－３３４５４５（ＪＰ，Ａ）
特開平１０－００２９１９（ＪＰ，Ａ）
特開平０６－３３４５７３（ＪＰ，Ａ）
特開平０８－０９７７９８（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】通信装置、受信機、並びに、通信方法

(57)【特許請求の範囲】
【請求項１】
送信装置と受信装置とを有する通信装置であって、
上記送信装置は、
複数チャネルの情報を独立に符号化する符号化手段と、
上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、
上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、
上記多重化した信号を逆直交変換する逆直交変換手段と、
上記直交変換した情報を送出する送信手段と、
を有し、
上記受信装置は、
上記送出された信号を受信する受信手段と、
上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、
上記選択出力された信号を直交変換する直交変換手段と、
上記直交変換した情報を復号する復号手段と
を有し、
上記受信装置における上記信号選択出力手段には、信号遅延手段と、加算手段と、減算手段と、周波数オフセット補正手段とからなるチャネル分離手段が２分木方式で順次ｎ段

設けられ、各段のチャネル分離手段における信号遅延手段は（１／2^{n-1}）の変調時間分遅延し、
2^n サブキャリア毎にチャネルを配置させ、
上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、
通信装置。
【請求項２】
送信装置と受信装置とを有する通信装置であって、
上記送信装置は、
複数チャネルの情報を独立に符号化する符号化手段と、
上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、
上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、
上記多重化した信号を逆直交変換する逆直交変換手段と、
上記直交変換した情報を送出する送信手段と、
を有し、
上記受信装置は、
上記送出された信号を受信する受信手段と、
上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、
上記選択出力された信号を直交変換する直交変換手段と、
上記直交変換した情報を復号する復号手段と
を有し、
上記受信装置における上記信号選択出力手段には、信号遅延手段と、選択的に加算または減算を行う加減算手段と、周波数オフセット補正手段とからなるチャネル分離手段がｎ段設けられ、各段のチャネル分離手段における信号遅延手段は、（１／2^{n-1}）の変調時間分遅延し、
上記信号選択出力手段は分離した各チャネルのうちの希望する信号を選択出力する選択手段を有し、
2^n サブキャリア毎にチャネルを配置させ、
上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、
通信装置。
【請求項３】
送信装置と受信装置とを有する通信装置であって、
上記送信装置は、
複数チャネルの情報を独立に符号化する符号化手段と、
上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、
上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、
上記多重化した信号を逆直交変換する逆直交変換手段と、
上記直交変換した情報を送出する送信手段と、
を有し、
上記受信装置は、
上記送出された信号を受信する受信手段と、
上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、
上記選択出力された信号を直交変換する直交変換手段と、
上記直交変換した情報を復号する復号手段と
を有し、

上記受信装置における上記信号選択出力手段は、
入力された複数チャネルのシンボルを反復して生成する複数チャネル反復シンボル生成手段と、
上記生成された複数チャネル反復シンボルから奇数チャネルのシンボルと偶数チャネルのシンボルに分離するチャネルシンボル分離手段と、
上記分離された偶数チャネルのシンボルについてサブキャリアの周波数オフセットを除去する第１のオフセット除去手段と、
上記選択された奇数チャネルシンボルを順次、半分のシンボルに分離して各チャネルのシンボルに分離し、オフセットが生じたチャネルについてオフセット除去を行う奇数チャネル分離手段と、
上記選択された偶数チャネルシンボルを順次、半分のシンボルに分離して各チャネルのシンボルに分離し、オフセットが生じたチャネルについてオフセット除去を行う偶数チャネル分離手段と、
上記奇数チャネル分離手段で分離された各奇数チャネルのシンボルと、上記偶数チャネル分離手段で分離された各偶数チャネルのシンボルとを入力して各チャネルごとのシンボルを選択出力する選択手段と
を有し、
2^n サブキャリア毎にチャネルを配置させ、
上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、
通信装置。

【請求項４】
上記複数チャネル反復シンボル生成手段は、入力された複数チャネルのシンボルを１変調時間分遅延する第１の遅延手段と、入力された複数チャネルのシンボルと上記第１の遅延手段で遅延したシンボルを選択出力する第１のシンボル選択手段とからなり、
上記チャネルシンボル分離手段は、上記生成された複数チャネル反復シンボルを１／２変調時間分遅延する第２の遅延手段と、上記第２の遅延手段で遅延したシンボルと上記生成された複数チャネル反復シンボルとを加算して奇数チャネルのシンボルを分離する加算手段と、上記第２の遅延手段で遅延したシンボルから上記生成された複数チャネル反復シンボルとを減じて偶数チャネルのシンボルを分離する減算手段とを有し、
上記第１のオフセット除去手段は上記減算手段から出力された偶数チャネルのシンボルについてオフセット補正データを乗ずる第１の乗算手段を有し、
上記奇数チャネル分離手段は、上記奇数チャネルのシンボルを１／2^m 変調時間分（ただし、ｍは２以上の段数の位置を示す数である）遅延する第３の遅延手段と、上記第３の遅延手段で遅延したシンボルと上記奇数チャネルのシンボルとを加算して第１の奇数チャネルのシンボルを分離する加算手段と、上記第３の遅延手段で遅延したシンボルから上記奇数チャネルのシンボルを減じて第２の奇数チャネルのシンボルを分離する減算手段と、該減算手段で算出した第２の奇数チャネルに生じたオフセットを生じたチャネルのシンボルについてオフセット除去を行う第２の乗算手段とを有し、
上記偶数チャネル分離手段は、上記偶数チャネルのシンボルを１／2^m 変調時間分（ただし、ｍは２以上の段数の位置を示す数である）遅延する第４の遅延手段と、上記第４の遅延手段で遅延したシンボルと上記偶数チャネルのシンボルをとを加算して第１の偶数チャネルのシンボルを分離する加算手段と、上記第４の遅延手段で遅延したシンボルから上記偶数チャネルのシンボルを減じて第２の偶数チャネルのシンボルを分離する減算手段と、該減算手段で算出した第２の偶数チャネルに生じたオフセットを生じたチャネルのシンボルについてオフセット除去を行う第３の乗算手段とを有する
請求項３に記載の通信装置。

【請求項５】
上記受信装置における上記信号選択出力手段は、
入力された複数チャネルのシンボルを反復して生成する複数チャネル反復シンボル生成

手段と、
上記生成された複数チャネル反復シンボルから、順次、チャネルを交互に分離していき、サブキャリアのオフセットが生じたチャネルについてそのオフセット除去を行い、各チャネルに分離する複数段のチャネル分離手段と、
上記各チャネルに分離されたシンボルとを入力して各チャネルごとのシンボルを選択出力する選択手段と
を有する、
請求項１、２または３に記載の通信装置。
【請求項６】
上記複数チャネル反復シンボル生成手段は、入力された複数チャネルのシンボルを１変調時間分遅延する第１の遅延手段と、入力された複数チャネルのシンボルと上記第１の遅延手段で遅延したシンボルを選択出力する第１のシンボル選択手段とからなり、
上記複数段のチャネルシンボル分離手段の各段は、
上記選択出力されたチャネルのシンボルを１／2^{n+1} 変調時間分（ただし、ｎは１以上の段数の位置を示す数である）遅延する遅延手段と、上記遅延手段で遅延したシンボルと上記チャネルのシンボルとを加算または減算する加減算手段と、減算して得られたチャネルに生じたオフセットを生じたチャネルのシンボルについてオフセット除去を行う乗算手段とを有する
請求項５に記載の通信装置。
【請求項７】
上記受信装置における上記信号選択出力手段は、
入力された複数チャネルのシンボルを、順次、交互に分離していき、サブキャリアのオフセットが生じたチャネルについてそのオフセット除去を行い、各チャネルに分離する複数段のチャネル分離手段と、
上記各チャネルに分離されたシンボルとを並び換えるシンボル並び換え手段と
を有する、
請求項１、２、または３に記載の通信装置。
【請求項８】
上記複数段のチャネルシンボル分離手段の各段は、
上記選択出力されたチャネルのシンボルを１／2^{n+1} 変調時間分（ただし、ｎは１以上の段数の位置を示す数である）遅延する遅延手段と、上記遅延手段で遅延したシンボルと上記チャネルのシンボルとを加算または減算する加減算手段と、減算して得られたチャネルに生じたオフセットを生じたチャネルのシンボルについてオフセット除去を行う乗算手段とを有する
請求項７に記載の通信装置。
【請求項９】
上記受信装置における上記信号選択出力手段は、
入力された複数チャネルのシンボルに含まれるサブキャリアのオフセットに相当する分を除去するオフセット除去手段と、
上記オフセット除去された複数チャネルのシンボルを、順次、交互に分離して各チャネルに分離する複数段のチャネル分離手段と、
上記各チャネルに分離されたシンボルとを並び換えるシンボル並び換え手段と
を有する、
請求項１、２または３に記載の通信装置。
【請求項１０】
上記オフセット除去手段は、オフセット除去成分を上記入力された複数チャネルのシンボルに乗ずる乗算手段を有し、
上記複数段のチャネルシンボル分離手段の各段は、
上記選択出力されたチャネルのシンボルを１／2^{n+1} 変調時間分（ただし、ｎは１以上の段数の位置を示す数である）遅延する遅延手段と、上記遅延手段で遅延したシンボルと

上記チャネルのシンボルとを加算または減算する加減算手段と、減算して得られたチャネルに生じたオフセットを生じたチャネルのシンボルについてオフセット除去を行う乗算手段とを有する

請求項９に記載の通信装置。

【請求項１１】

マルチキャリア変調による多重通信に用いる受信機であって、

複数チャネルのサブキャリアが周期的に配置されている場合、上記受信機に、遅延手段と、加算手段と、周波数オフセット補正手段とで構成されるチャネルシンボル選択手段を複数段、２分木的に設け、

ｎ段のチャネルシンボル選択手段における遅延手段において（１／2^{n-1}）変調時間だけ信号を遅延する

受信機。

【請求項１２】

マルチキャリア変調による多重通信に用いる受信機であって、

複数チャネルのサブキャリアが周期的に配置されている場合、上記受信機に、信号遅延手段と、選択的に加算または減算を行う加減算手段と、周波数オフセット補正手段とからなるチャネルシンボル選択手段をｎ段設け、

ｎ段のチャネルシンボル選択手段における信号遅延手段は（１／2^{n-1}）の変調時間分遅延する

受信機。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は通信装置（通信システム）、送信機および受信機、並びに、通信方法に関するものであり、特に、マルチキャリア変調を行うディジタル通信装置（システム）、ディジタル通信装置（システム）に用いる送信機および受信機、並びに、その通信方法に関する。

【０００２】

【従来の技術】

ＥＵＲＥＫＡ１４７プロジェクトが開発した移動可能な高品質ディジタル音声地上放送方式としてＤＡＢ(Digital Audio Broadcasting 、ディジタル・オーディオ放送) システムが知られている。ＤＡＶシステムを衛星放送に適用したディジタル衛星音声放送も実用化が進められている。

【０００３】

そのようなディジタル通信システム（装置）に使用される変調方式としては、マルチパスフェージング、ゴーストなどに強いという特徴を有するＯＦＤＭ方式（Orthogonal Frequency Division Multiplexing、直交周波数分割多重化方式）が知られている。ＯＦＤＭ方式は直交する数百の搬送波を使用するマルチキャリア変調方式であり、各搬送波をＱＡＭや、ＰＳＫで変調する。したがって、ＤＡＢシステムなどにおいては、マルチキャリア通信を適用して多重チャネルのディジタル音声信号を伝送する。

【０００４】

図１１はマルチキャリア変調方式としてＯＦＤＭ方式（Orthogonal Frequency Division Multiplexing、直交周波数分割多重化方式）を用いたディジタル無線通信システムの一構成例を示す図である。図１１（Ａ）はＤＡＢの一部を簡略化して図解している。

なお、本発明は、本質的には多重化に関する内容であることから、以下の説明では、ＤＡＢシステムにおける多重化に関する部分を中心に説明を行う。

【０００５】

図１１（Ａ）に図解したＯＦＤＭ方式の無線通信システム１の送信装置１０は、符号化回路１１と、シンボルマッピング回路１２と、マルチプレクサ（信号多重化処理回路）１３と、周波数インターリーブ回路１４と、逆高速フーリエ変換（ＩＦＦＴ：Inverse Fast Fourier Transform) 回路１５と、送信回路１６と、アンテナ１７を有する。

【０００６】
情報ビットストリームは、符号化回路１１において符号化ならびにインターリーブなどの処理がなされた後に、シンボルマッピング回路１２において各ビットが送信シンボルへマッピングされる。この作業はチャネル毎に各々別個に行われ、図１１（Ａ）に示した例においては、チャネルあたり毎秒６４ｋｓｐｓ（シンボル／秒）のシンボルが生成されている。これらのシンボルストリームは、マルチプレクサ１３において、単純に直列に連結されることにより多重化されたシンボルストリームとなる。たとえば、６４ｋｓｐｓのチャネルを１８チャネル分多重すると、多重されたシンボルストリームの伝送ルートは１１５２ｋｓｐｓ（＝１８ｘ６４ｋｓｐｓ）となる。この多重されたシンボルストリームは周波数インターリーブ回路１４における周波数インターリーブ処理により、シンボルの並び替えが行われる。この作業により、各チャネルのシンボルはばらばらに並ぶことになる。この後、シンボルストリームは逆高速フーリエ変換（ＩＦＦＴ：Inverse Fast Fourier Transform）回路１５においてＩＦＦＴにより周波数軸上にならべられ、これらの時間軸上での表現が周波数変換されて送信回路１６からアンテナ１７を介して空中に送出される。
【０００７】
図１１（Ｂ）のＯＦＤＭ方式の無線通信システム１の受信装置２０は、アンテナ２１と、受信回路２２と、高速フーリエ変換（ＦＦＴ）回路２３と、シンボル選択回路２４と、ビット抽出回路２５と、復号回路２６とを有する。
【０００８】
受信装置２０において、アンテナ２１で送信装置１０で送出した信号を受信し、受信回路２２でアンテナ２１で受信した所望の周波数帯域の信号を周波数変換してベースバンド信号成分のみを抽出することにより、ベースバンド信号を得る。このようにして得られたベースバンド信号は、情報が周波数軸上に並んでいる信号の時間軸上での表現となっているので、高速フーリエ変換（ＦＦＴ回路２３においてＦＦＴ処理して周波数軸上に並んでいるサブキャリアを抽出する。このとき、ＦＦＴ処理によって出力されるシンボルは受信した信号帯域全体のサブキャリア群となる（本例においては１１５２ｋｓｐｓ分の情報が含まれている）。シンボル選択回路２４は、サブキャリア群の中から、送信側で行われた周波数インターリーブにより配置された所望のチャネルのシンボルの存在位置からシンボルを抽出する。これにより所望のチャネルの情報である６４ｋｂｐｓが抽出されたことになる。ビット抽出回路２５においてこのようにして得られた所望のチャネルのシンボルストリームから受信ビットストリームを抽出して符号化ビットストリームを得た後、復号回路２６においてこれをデコードすることにより、所望のチャネルの情報ビットストリームを得ている。
【０００９】
【発明が解決しようとする課題】
このように、ＯＦＤＭのシステムにおいては、サブキャリア毎に異なるチャネルのシンボルを割り当てることにより多重化が行われているが、受信装置２０は、送信されてきた全チャネル分の多重化信号を全て受信し、さらには高速フーリエ変換（ＦＦＴ：Fast Fourie Transform)回路２３により全チャネル分のシンボルを抽出した後にシンボル選択回路２４においてチャネルの選定を行っており、本来必要であった１チャネル分の情報に必要とされる演算量を上回る演算が高速フーリエ変換（ＦＦＴ回路）２３においてＦＦＴ処理が行われていることになる。
したがって、受信機が欲していないチャネルの分をも含めてＦＦＴ回路２３においてＦＦＴ信号処理を行っていることになり、受信装置２０は本来必要とされる処理よりも多くの処理を行っており無駄である。
【００１０】
本発明の目的は、そのような無駄な信号処理を回避して効率よい受信・復号処理を可能とするマルチキャリア通信における受信機を提供することにある。
本発明はそのような受信機を有する通信装置を提供することにある。
本発明はさらにそのような通信を行う通信方法を提供することにある。

【００１１】
本発明によれば、送信装置と受信装置とを有する通信装置であって、
上記送信装置は、複数チャネルの情報を独立に符号化する符号化手段と、上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、上記多重化した信号を逆直交変換する逆直交変換手段と、上記直交変換した情報を送出する送信手段と、を有し、
上記受信装置は、上記送出された信号を受信する受信手段と、上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、上記選択出力された信号を直交変換する直交変換手段と、上記直交変換した情報を復号する復号手段とを有し、
上記受信装置における上記信号選択出力手段には、信号遅延手段と、加算手段と、減算手段と、周波数オフセット補正手段とからなるチャネル分離手段が２分木方式で順次ｎ段設けられ、各段のチャネル分離手段における信号遅延手段は（１／2^{n-1}）の変調時間分遅延し、
2^n サブキャリア毎にチャネルを配置させ、
上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、
通信装置が提供される。
また本発明によれば、送信装置と受信装置とを有する通信装置であって、
上記送信装置は、複数チャネルの情報を独立に符号化する符号化手段と、上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、上記多重化した信号を逆直交変換する逆直交変換手段と、上記直交変換した情報を送出する送信手段とを有し、
上記受信装置は、上記送出された信号を受信する受信手段と、上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、上記選択出力された信号を直交変換する直交変換手段と、上記直交変換した情報を復号する復号手段とを有し、
上記受信装置における上記信号選択出力手段には、信号遅延手段と、選択的に加算または減算を行う加減算手段と、周波数オフセット補正手段とからなるチャネル分離手段がｎ段設けられ、各段のチャネル分離手段における信号遅延手段は、（１／2^{n-1}）の変調時間分遅延し、
上記信号選択出力手段は分離した各チャネルのうちの希望する信号を選択出力する選択手段を有し、
2^n サブキャリア毎にチャネルを配置させ、
上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、
通信装置が提供される。
さらに本発明によれば、送信装置と受信装置とを有する通信装置であって、
上記送信装置は、複数チャネルの情報を独立に符号化する符号化手段と、上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、上記複数の信号点配置した信号を時間周期的に多重化する信号多重化手段と、上記多重化した信号を逆直交変換する逆直交変換手段と、上記直交変換した情報を送出する送信手段とを有し、
上記受信装置は、上記送出された信号を受信する受信手段と、上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力する信号選択出力手段と、上記選択出力された信号を直交変換する直交変換手段と、上記直交変換した情報を復号する復号手段とを有し、
上記受信装置における上記信号選択出力手段は、入力された複数チャネルのシンボルを

反復して生成する複数チャネル反復シンボル生成手段と、上記生成された複数チャネル反復シンボルから奇数チャネルのシンボルと偶数チャネルのシンボルに分離するチャネルシンボル分離手段と、上記分離された偶数チャネルのシンボルについてサブキャリアの周波数オフセットを除去する第１のオフセット除去手段と、上記選択された奇数チャネルシンボルを順次、半分のシンボルに分離して各チャネルのシンボルに分離し、オフセットが生じたチャネルについてオフセット除去を行う奇数チャネル分離手段と、上記選択された偶数チャネルシンボルを順次、半分のシンボルに分離して各チャネルのシンボルに分離し、オフセットが生じたチャネルについてオフセット除去を行う偶数チャネル分離手段と、上記奇数チャネル分離手段で分離された各奇数チャネルのシンボルと、上記偶数チャネル分離手段で分離された各偶数チャネルのシンボルとを入力して各チャネルごとのシンボルを選択出力する選択手段とを有し、

2^n サブキャリア毎にチャネルを配置させ、

上記送信装置における上記信号多重化手段は、上記複数の信号点配置した信号を上記所定のサブキャリアでチャネルごと周波数をずらして多重化する、

通信装置が提供される。

【００１２】

本発明の通信装置によれば、受信装置が所望するチャネルの情報量に応じた処理量のみで情報の受信が可能となり、受信装置における回路規模を大幅に削減することが可能となる。

【００１９】

本発明の第２の観点によれば、空中伝送路を介して無線接続される送信装置と受信装置とを有する通信装置であって、

上記送信装置は、複数チャネルの情報を独立に符号化する符号化手段と、上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行う信号点配置手段と、パイロットチャネルについて信号点配置するパイロットチャネル用信号点配置手段と、上記パイロットチャネルの信号点配置した信号を上記複数の信号点配置した信号とともに時間周期的に多重化する多重化手段と、上記多重化した信号を逆直交変換する逆直交変換手段と、上記直交変換した情報を送出する送信手段とを有し、

上記受信装置は、上記送出された信号を受信する受信手段と、上記受信した直交変換処理後の多重化信号のうち、複数チャネルのうち希望するチャネルの信号のみ選択出力するとともに、上記受信した直交変換処理後の多重化信号のうち、パイロットチャネルの信号を選択出力する選択手段と、上記選択出力されたチャネル信号を直交変換するとともに、上記選択出力されたパイロットチャネルチャネル信号を直交変換する直交変換手段と、上記直交変換したチャネル信号と上記パイロットチャネルの信号を用いてチャネルエコライズ処理する信号等化手段と、上記チャネルエコライズした信号を復号する復号手段とを有する

通信装置が提供される。

【００２０】

第２の観点の発明は、第１の観点の発明に対して、パイロットチャネルを用いていて信号等化をしているので、受信信号の信頼性が向上する。第２の観点の通信装置は、たとえば、セルラー無線通信システムに適用する通信装置であり、上記チャネルエコライズ処理において、パイロットチャネルの情報を用いて伝送路の等化を行い、トラフィックチャネルのシンボルの同期検定を行う。

その他は第１の観点の発明と同様である。

【００２１】

本発明の第３の観点によれば、マルチキャリア変調による多重通信に用いる受信機であって、複数チャネルのサブキャリアが周期的に配置されている場合、上記受信機に、遅延手段と、加算手段と、周波数オフセット補正手段とで構成されるチャネルシンボル選択手段を複数段、２分木的に設け、ｎ段のチャネルシンボル選択手段における遅延手段において（１／2^{n-1}）変調時間だけ信号を遅延する受信機が提供される。

【００２２】
本発明の第４の観点によれば、マルチキャリア変調による多重通信に用いる受信機であって、複数チャネルのサブキャリアが周期的に配置されている場合、上記受信機に、信号遅延手段と、選択的に加算または減算を行う加減算手段と、周波数オフセット補正手段とからなるチャネルシンボル選択手段がｎ段設けられ、ｎ段のチャネルシンボル選択手段における信号遅延手段において（１／2^{n-1}）の変調時間分遅延する受信機が提供される。
【００２３】
本発明の第５の観点によれば、複数チャネルの情報を独立に符号化し、
上記符号化した情報をそれぞれ所定の変調方式に基づいて変調して信号点配置を行い、上記複数の信号点配置した信号を時間周期的に多重化し、上記多重化した信号を逆直交変換し、上記直交変換した情報を送出する符号化送信工程と、
上記送出された信号を受信し、上記受信した直交変換処理後の多重化信号のうち、希望するチャネルの信号のみ選択出力し、上記選択出力された信号を直交変換し、上記直交変換した情報を復号する受信復号工程と
を有する通信方法が提供される。
【００２５】
以上のように、マルチキャリア変調による多重通信を行う際に、各チャネルのサブキャリアが周期的に配置されている場合、所望のチャネルの情報量に応じた処理量のみで情報の受信が可能となる。
【発明の実施の形態】
【００２６】
本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法について、添付図面を参照して好適実施の形態を述べる。
下記の実施の形態においては、通信システムとして無線通信システムについて例示するが、本発明は無線通信システムに限定されず、有線通信システムにも適用できる。
【００２７】
第１実施の形態
図１～図３を参照して本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法の第１実施の形態を述べる。
下記に述べる本発明の実施の形態においては、Ｍ個のチャネルのデータがマルチキャリア変調されて、多重されて通信される場合について述べる。
【００２８】
図１は本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法の１実施の形態としてのマルチキャリア変調方式としてＯＦＤＭ方式を用いたディジタル無線通信システム１の構成図であり、図１（Ａ）はＯＦＤＭ方式の無線通信システム１の送信装置（送信機）３０の構成図であり、図１（Ｂ）はＯＦＤＭ方式の無線通信システム１の受信装置（受信機）４０の構成図である。
【００２９】
送信装置１０と受信装置２０とでＯＦＤＭ方式の無線通信システム１を構成する。
このＯＦＤＭ方式の無線通信システム１における通信処理方法が本発明の通信方法に該当する。
【００３０】
送信装置（送信機）３０
まず、送信装置（送信機）３０について述べる。
図１（Ａ）に図解したＯＦＤＭ方式の無線通信システム１の送信装置（送信機）３０は、第１チャネル用符号化回路31_1および第１チャネル用シンボルマッピング回路32_1、第２チャネル用符号化回路31_2および第２チャネル用シンボルマッピング回路32_2、～、第Ｍチャネル用符号化回路31_Mおよび第Ｍチャネル用シンボルマッピング回路32_Mを有する。
送信装置３０はさらに、マルチプレクサ（信号多重化処理回路）３４と、スクランブル処

理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６、送信回路３８と、アンテナ３９を有する。
送信装置（送信機）３０は、複数の符号化回路３１$_1$～３１$_M$と複数のシンボルマッピング回路３２$_1$～３２$_M$に対して、１系統のマルチプレクサ（信号多重化処理回路）３４、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６、送信回路３８を有している。符号化回路３１およびシンボルマッピング回路３２はチャネル数だけ設けられる。

【００３１】
チャネル１～チャネルMでは、それぞれ独立した情報ビットストリームが生成され、符号化回路３１$_1$～３１$_M$において、それぞれ独立して符号化、インターリーブ等の処理が行われる。符号化回路３１$_1$～３１$_M$における符号化処理の具体例を述べると、ＯＦＤＭ方式の無線通信システム１がＤＡＶシステムに適用され場合、情報ビットストリームのビット信号はオーディオ信号であるから、符号化回路３１$_1$～３１$_M$はそれぞれオーディオ信号について符号化処理を行う。符号化回路３１$_1$～３１$_M$は必要に応じて、さらにインターリーブ処理をも行う。

【００３２】
符号化回路３１$_1$～３１$_M$において生成された各チャネルの符号化ビット信号はシンボルマッピング回路３２$_1$～３２$_M$において、送信シンボルにマッピングされ、シンボルストリームが生成される。シンボルマッピング回路３２$_1$～３２$_M$においては、ＯＦＤＭ方式に適用する各種の変調方式を適用することができる。そのような変調方式としては、多値ＱＡＭ、ＰＳＫなど各種の変調方式が適用できる。このように、シンボルマッピング回路３２$_1$～３２$_M$において、図２（Ａ）に図解したように、各チャネルで各々独立したシンボルストリームが生成される。

【００３３】
複数チャネルごとのシンボルストリームはマルチプレクサ３４において多重化され、多重シンボルストリームとして生成される。マルチプレクサ３４は、図２（Ｂ）に図解したスイッチ回路を有しており、マルチプレクサ３４の多重化処理によって、図２（Ａ）に図解した複数チャネルのシンボルが図２（Ｃ）に図解したように時間軸上に複数のチャネルのシンボルが並んだ実時間ドメインのシンボルとなる。

【００３４】
マルチプレクサ３４において多重化された実時間ドメインの多重化シンボルストリームは、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６において、ランダム位相シフト処理（ＲＰＳ：Randam Phase Shift）、ランダム直交変換処理（ＲＯＴ：Randam Orthogonal Transform)等などによりスクランブルされる。さらに、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６において逆フーリエ変換処理（ＩＦＦＴ処理）によって実時間ドメインの多重化シンボルストリームから周波数ドメインの多重化シンボルストリームに変換される（多重化シンボルストリームが周波数軸に沿って（周波数軸上に）並べられる）。さらにスクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６においてガードタイムの付加ならびに窓かけ処理（ウインドー処理）が施される。

【００３５】
スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６は、後述するスクランブル処理、逆高速フーリエ変換（ＩＦＦＴ：Inverse Fast Fourier Transform）処理、ガードタイム処理、窓かけ処理（ウインドー処理）などを総称して１つの手段として示したものであり、これらの処理を個別の回路または個別の手段に分離して処理してもよい。
スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６における、スクランブル処理、ガードタイム付加・窓かけ処理は本発明にとって必須ではない。しかしながら、スクランブル処理を行うと、通信の秘匿性（機密性）が高まる。

【００３６】

直交変換の代表例として、ＩＦＦＴを例示したが、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６におけるＩＦＦＴに代えて、他の直交変換処理、たとえば、逆離散コサイン変換（ＩＤＣＴ：Inverse Discrete Cosine Transform ）処理を行うこともできる。

【００３７】

以上から、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６は基本的には、直交変換処理を行う回路または手段である。

【００３８】

スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６の出力シンボルは、送信回路３８において周波数変換により高周波数送信信号に変換され、高周波信号と畳込まれ所望の周波数帯域に周波数変換された後、アンテナ３９を介して空中に送信される。

【００３９】

図２（Ａ）～（Ｃ）を参照してマルチプレクサ３４の内部の構成ならびにこの多重化方法により生成される各チャネルのシンボルの並びについて説明する。

図２（Ａ）～（Ｃ）は、図１に図解したマルチプレクサ３４における多重送信の基本概念を示す図である。

図１（Ａ）に図解したマルチプレクサ（信号多重化処理回路）３４は基本的に、図２（Ｂ）に図解したスイッチング回路として構成されている。

図２（Ａ）は、マルチプレクサ３４において多重化された各チャネルのシンボルストリームを示している。ここでは、ＣＨ１からＣＨ４まで４つのチャネルについて例示している。それぞれのチャネルのシンボルストリームは個別にマルチプレクサ３４に挿入されている。

図２（Ｂ）はマルチプレクサ３４における処理の概念を示したものである。入力されてきた各チャネルのシンボルストリームをサイクリックにスイッチング処理して、各チャネルのシンボルが周期的に現れるようにシンボルを配置する。多重化されたシンボルストリームを図２（Ｃ）に示す。

【００４０】

この例示は、最大４チャネルの多重化を行う場合を例にとったため各チャネルのシンボルの出現周期は４であるが、最大のチャネル多重数はこれに限定されることはなく、任意の整数ｎに関して2^n（ｎ＝１、２、３、４、…）に設定することができる。その場合の各チャネルのシンボルの出現周期は、最大の多重数と同じ2^nとなる。

マルチプレクサ３４における多重化処理を2^2のチャネルの処理とした場合、実際に通信に用いられるチャネル数が最大の多重数よりも小さい場合には、使われていないチャネルのシンボルとして振幅が０のヌル（Ｎｕｌｌ）シンボルを挿入して、マルチプレクサ３４における周期的な多重化処理を行う。

【００４１】

図３は複数チャネルのサブキャリアの並びを示す図である。

図３に図解した例示においては、チャネル数が４で、サブキャリア間隔が隣接するチャネルごと４ｋＨｚのＯＦＤＭ伝送を行っている場合、すなわち１シンボル変調時間が２５０μｓ＝１／４ｋＨｚである場合を例示している。多重信号のサブキャリア間隔は４ｋＨｚであるが、チャネル１～チャネル４は１サブキャリア単位で周波数軸上に周期的に出現するため、各チャネルのサブキャリアは、１６ｋＨｚ＝４×４ｋＨｚおきに出現している。図３における記号f_cはキャリア（搬送波）周波数を示す。

【００４２】

本発明の実施の形態においては、マルチキャリア変調による多重通信を行うときに、複数チャネルのサブキャリアが周期的に配置されるようにしている。その理由は、多数のシンボルの変調を容易にするためであり、さらに後述する受信装置（受信機）４０におけるチャネル選択回路４３においてチャネル分離を容易にするためである。

【００４３】

受信装置（受信機）４０

図１（Ｂ）に図解したＯＦＤＭ方式の無線通信システム１の受信装置（受信機）４０について述べる。

この実施の形態において、送信装置（送信機）３０と同様、多重チャネル数が４でサブキャリア間隔が４ｋＨｚのＯＦＤＭ伝送を行っている場合、すなわち１シンボル変調時間が２５０μｓ＝１／４ｋＨｚである場合を例示する。さらに、説明の都合上、多重信号の信号帯域が１０２４ｋＨｚで、サブキャリアが２５６本存在する場合を例示する。これは、１チャネルあたりのサブキャリア数が６４本＝２５６本／４多重である場合に相当する。

【００４４】

受信装置４０は、受信アンテナ４１と、高周波受信回路４２と、チャネル選択回路４３と、ＦＦＴ・デスクランブル処理手段４４と、ビット抽出回路４５と、復号回路４６とを有する。

【００４５】

ＯＦＤＭ方式の無線通信システム１の送信装置３０より送信された信号は、受信アンテナ４１で受信され、高周波受信回路４２において高周波信号と畳込まれベースバンド帯域にダウンコンバートされる。さらに、図解しないＡ／Ｄ変換器においてディジタル信号に変換されて、接続線２０２よりチャネル選択回路４３に入力される。

【００４６】

チャネル選択回路４３には、チャネル１～チャネル４までの信号が周波数軸上に並べられているシンボルが時間軸上での表現で入力されることになる。

チャネル選択回路４３は、送信装置３０におけるマルチプレクサ３４の処理とは逆に、複数のチャネルごとにシンボルを分離して、所望のチャネルの周波数成分のシンボルのみを抽出する。このチャネル選択回路４３の詳細な回路構成と処理方法については、図４～図８を参照して後述する。

高周波受信回路４２からチャネル選択手段２０３に入力されるシンボル数は、１変調時間あたり２５６個であるが、（簡単のためここではオーバーサンプルは考えない）、所望のチャネルのサブキャリア本数はその１／４であるから、チャネル選択回路４３ではデシメーション（ｄｅｃｉｍａｔｉｏｎ）が行われ、６４個＝２５６個／４のシンボルが出力される。これにより、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理のシンボル数が１／４に減少する。

チャネル選択回路４３の種々の詳細回路については後述する。

【００４７】

チャネル選択回路４３の出力シンボルが信号線２０４を介してＦＦＴ・デスクランブル処理手段４４に入力される。

ＦＦＴ・デスクランブル処理手段４４において、まず高速フーリエ変換（ＦＦＴ）処理が行われ、周波数軸上に並んでいるシンボル列が抽出される。

チャネル選択回路４３において所望のチャネルのシンボルが選択されて抽出されてＦＦＴ・デスクランブル処理手段４４に印加されているから、ＦＦＴ処理により抽出されたシンボルは、所望のチャネル以外の他のチャネルのシンボルは含まれていない。すなわち、処理手段４４における処理は所望のチャネルを受信するのに必要最低限のポイント数をもつＦＦＴ処理で充分である。その結果、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理回路が小規模になる。

【００４８】

このようにして抽出された所望のチャネルのシンボルストリームは、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６におけるランダム位相シフト処理、ランダム直交変換処理等などの処理と同様の処理を行い、送信装置３０において行われたスクランブルを解いた後、信号線２０６を介してビット抽出回路４５に入力される。

【００４９】

ビット抽出回路４５において、シンボルが変調されている変調方式に応じてビットを抽出し、符号化ビットストリームを復号回路４６へ印加する。

そのような変調方式としては、ＯＦＤＭ方式において適用されるＱＰＳＫ、８ＰＳＫ、１６ＱＡＭなど様々な変調方式を適用できる。

【００５０】

復号回路４６は、送信装置３０における複数チャネルの符号化回路31_1～31_Mで行われた符号化やインターリーブとは逆のデインターリーブおよび復号を行うことにより、情報ビットストリームを抽出する。

【００５１】

受信装置４０にチャネル選択回路４３を設けて、ＦＦＴ・デスクランブル処理手段４４、ビット抽出回路４５、復号回路４６におけるサンプルレートを所望のチャネル分に低下させてから行うことが可能となり、処理量を大幅に、たとえば、（１／多重数分）に低減することが可能となる。

特に、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理のデータ数を減少させることが可能であり、ＦＦＴ処理のためのメモリ容量が少なくなり、受信装置４０の小規模化に大きく貢献する。また、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理時間を短縮できる。

【００５２】

各チャネルのサブキャリアは、システムの周波数帯域全体にまたがって配置されることから、ＤＡＶシステムなどの無線通信システムの場合には、大きな周波数ダイバーシティ効果が期待できる。これにより、フェーディングによる通信品質の劣化を抑えることが可能となる。

【００５３】

チャネル選択回路４３

以下、図４～図８を参照してチャネル選択回路４３の複数の実施の形態について述べる。チャネル選択回路４３についての下記の記述において、説明の簡略化のためチャネル数などの条件は、上記と同様の条件とする。

【００５４】

チャネル選択回路４３の第１実施の形態

図４を参照して図１に図解したチャネル選択回路４３の第１実施の形態としてのチャネル選択回路４００について述べる。

チャネル選択回路４００は、１変調時間分遅延用メモリ４０１と、セレクタ４０２と、１／２変調時間分遅延用メモリ４０３と、加算器４０４と、減算器４０５と、乗算器４０６と、１／４変調時間分遅延メモリ４０７と、減算器４０８と、加算器４０９と、１／４変調時間分遅延メモリ４１０と、減算器４１１と、加算器４１２と、乗算器４１３と、乗算器４１４と、セレクタ４１５を有する。

【００５５】

変調方式は、上述したように、ＯＦＤＭ方式における好適な種々の方式、たとえば、ＱＡＭ、ＰＳＫなどの変調が適用できる。１変調時間分遅延用メモリ４０１、１／４変調時間遅延メモリ４０７、１／４変調時間分遅延メモリ４１０における変調時間はこれらの変調時間を意味する。

【００５６】

１／２変調時間分遅延用メモリ４０３、１／４変調時間遅延メモリ４０７、１／４変調時間分遅延メモリ４１０は、基本的に、多数の入力信号（シンボル）を遅延する遅延回路の好適例としてメモリを用いた例を示している。

【００５７】

チャネル選択回路４００は図４に図解したように、回路４０１～４１５の個別回路として構成した場合を例示したが、これらの回路をＤＳＰなどで一体構成することもできるし、一部の回路、たとえば、１／２変調時間分遅延用メモリ４０３と加算器４０４と減算器４０５と乗算器４０６の回路、１／４変調時間遅延メモリ４０７と加算器４０９と減算器４０８と乗算器４１３の回路などを一体構成することができる。

【００５８】

メモリ４０１とセレクタ４０２
図１の信号線２０２を介して高周波受信回路４２から出力された、周波数軸上で４ｋＨｚおきにサブキャリアの並んだ信号（シンボル）が２５０μｓ間に２５６ポイント入力されてくる。
入力された信号をセレクタ４０２に入力すると同時に、前半の１２８ポイントを１変調時間分遅延用メモリ４０１に入力して１変調時間分遅延させるため記憶する。１変調時間分遅延用メモリ４０１は１２８シンボルの記憶容量を有している。
セレクタ４０２は、２５０μｓの初めの１２５μｓの間（１２８ポイント）、信号線２０２を介して高周波受信回路４２から印加されたシンボル（信号）を選択出力し、その後１２５μｓの間（１２８ポイント）、メモリ４０１に格納されたシンボルを出力する。
その結果、セレクタ４０２からは、２５０μｓの前半の１２５μｓの間、チャネル１，２，３，４のシンボルが出力された後、２５０μｓの後半の１２５μｓの間、同じチャネル１，２，３，４のシンボルが出力される。このように、１変調時間分遅延用メモリ４０１とセレクタ４０２とで、チャネル１～４のシンボルと、これらチャネル１～４のシンボルと同じシンボルを繰り返し生成している。これを複数チャネル反復シンボルと呼ぶ。このように、１変調時間分遅延用メモリ４０１とセレクタ４０２は、複数チャネル反復シンボル生成回路（手段）として機能する。
【００５９】
第１段回路：メモリ４０３、加算器４０４、減算器４０５、乗算器４０６
セレクタ４０２から出力された各チャネルのシンボル信号は、１／２変調時間（１２５μｓ）の遅延に相当する１２８ポイント分遅延させる１／２変調時間分遅延用メモリ４０３に入力して記憶されると共に、加算器４０４ならびに減算器４０５に入力される。
加算器４０４は、セレクタ４０２から出力された複数チャネルのシンボルと、１／２変調時間分遅延用メモリ４０３において遅延されたシンボルとを加算する。加算器４０４における加算処理はメモリ４０３からシンボルが出力され始めてから開始する。加算器４０４のシンボル個数は最大で２５０μｓあたり２５６ポイントである。加算器４０４における加算によりチャネル２、チャネル４の信号成分（シンボル）が相殺され、チャネル１とチャネル３の信号成分のみが内包されたシンボルのみ残る。このように１／２変調時間分遅延用メモリ４０３と加算器４０４とで、チャネル１とチャネル３との奇数チャネルのシンボルを選択出力するフィルタ回路、すなわち、奇数チャネルシンボル選択出力回路を構成している。
【００６０】
減算器４０５は、１／２変調時間分遅延用メモリ４０３において遅延されたシンボルからセレクタ４０２から出力された複数チャネル反復シンボルを減じる。減算器４０５における減算処理は加算器４０４における加算処理と同様、メモリ４０３からシンボルが出力され始めてから開始する。減算器４０５のシンボル出力信号数は、加算器４０４と同様、最大で２５０μｓあたり２５６ポイントである。減算器４０５における減算の結果、チャネル１、チャネル３の信号成分（シンボル）が相殺され、チャネル２とチャネル４の信号成分（シンボル）のみが内包されたシンボルを出力する。このように１／２変調時間分遅延用メモリ４０３と減算器４０５とでチャネル２とチャネル４との偶数チャネルのシンボルを選択出力するフィルタ回路、すなわち、偶数チャネルシンボル選択出力回路を構成している。
【００６１】
減算器４０５から出力されるチャネル２、４のシンボル出力は、加算器４０４のシンボル出力に比べて４ｋＨｚ（サブキャリア１本分）の周波数オフセットを持った信号となっているので、これのサブキャリアのオフセットを補正するために乗算器４０６において－４ｋＨｚの信号成分、（ｅｘｐ（－ｊ２π（ｉ／Ｋ））を乗じて、畳込み乗算処理を行う。ここで、ｉは乗算器４０６に入力されるシンボルの何番目かを示す添字であり、Ｋは２５０μｓ間に信号線２０２よりチャネル選択回路４００に入力されるシンボルの数、この例示においては、Ｋ＝２５６である。乗算器４０６におけるこの乗算により、チャネル２

、チャネル４の信号成分は周波数オフセットが除去される。

【００６２】

本発明の明細書において、１／２変調時間分遅延用メモリ４０３、加算器４０４、減算器４０５および乗算器４０６を奇数チャネルシンボル選択回路および偶数チャネルシンボル選択回路と呼ぶ。

【００６３】

第２段回路：メモリ４０７、加算器４０９、減算器４０８、乗算器４１３

１／４変調時間分遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３からなる第２段回路の構成は、上述した１／２変調時間分遅延用メモリ４０３、加算器４０４、減算器４０５および乗算器４０６からなる奇数チャネルシンボル選択および偶数チャネルシンボル選択を行う第１段回路と同様の回路構成をしている。したがって、１／４変調時間遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３の回路も上記回路と同様の処理を行う。ただし、入力されるシンボルの相違、および、１／２変調時間分遅延用メモリ４０３と１／４変調時間遅延メモリ４０７との遅延時間の相違がある。

【００６４】

乗算器４０６のシンボル出力は、１／４変調時間分遅延メモリ４０７において１／４変調時間（６２．５μｓ）分、すなわち６４ポイント分遅延される。乗算器４０６のシンボル出力は減算器４０８および加算器４０９に入力される。

加算器４０９においてチャネル２、４、２、４のシンボルと、メモリ４０７で１／４変調時間分遅延されたチャネル２、４、２、４のシンボルとを加算する。加算器４０９における加算処理はメモリ４０７からシンボルが出力され始めてから開始する。加算器４０９のシンボル個数は最大で２５０μｓあたり１２８ポイントである。このように、シンボル数がチャネル選択回路４００に入力されたシンボルの半分に減少している。

加算器４０９における加算により、後のチャネル、すなわち、チャネル４の信号成分（シンボル）が相殺され、チャネル２信号成分のみが内包されたシンボルのみ残る。このように、１／４変調時間遅延メモリ４０７と加算器４０９とで、チャネル２のシンボルを選択出力するフィルタ回路、すなわち、チャネル２シンボル選択出力回路を構成している。

【００６５】

減算器４０８において、１／４変調時間遅延メモリ４０７において遅延されたシンボルから乗算器４０６の出力シンボルを減じる。減算器４０８における減算処理は、加算器４０９における加算処理と同様、メモリ４０７からシンボルが出力され始めてから開始する。減算器４０８のシンボル出力は最大で２５０μｓあたり１２８ポイントである。このように、シンボル数がチャネル選択回路４００に入力されたシンボルの半分に減少している。減算器４０８における減算の結果、チャネル２の信号成分（シンボル）が相殺され、チャネル４の信号成分（シンボル）のみが内包されたシンボルを出力する。このように、１／４変調時間遅延メモリ４０７と減算器４０８とで、チャネル４のシンボルを選択出力するフィルタ回路、すなわち、チャネル４シンボル選択出力回路を構成している。

【００６６】

減算器４０８のチャネル４の出力シンボルは、加算器４０９の出力シンボルと比べて８ｋＨｚ（サブキャリア２本分）だけ周波数オフセットをもった信号となっているので、その周波数オフセットを補正するために、乗算器４１３において、－８ｋＨｚの信号（ｅｘｐ（－ｊ２π（２ｉ／Ｋ））））と畳込み乗算を行う。ｉとＫは前述のとおりである。この乗算により、チャネル４の信号成分は周波数オフセットが除去されたものとなる。

【００６７】

以上により、１／４変調時間遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３により、単独のチャネル２とチャネル４を抽出できたことになる。

１／４変調時間遅延メモリ４０７、減算器４０８、加算器４０９および乗算器４１３を偶数チャネルごとシンボル選択回路と呼ぶ。

減算器４０８および加算器４０９最大で２５０μｓあたり１２８ポイントに減少している。

【００６８】
第２段回路：メモリ４１０、加算器４１２、減算器４１１、乗算器４１４
１／４変調時間分遅延メモリ４１０、加算器４１２、乗算器４１３および減算器４１１からなる第３回路の構成は、上述した１／４変調時間遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３からなる第３回路の構成は、１／４変調時間遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３からなる偶数チャネルごとシンボル選択回路と同様の回路構成をしている。ただし、入力されるシンボルは奇数チャネルのシンボルと、偶数チャネルのシンボルとの相違がある。
【００６９】
１／４変調時間分遅延メモリ４１０、加算器４１２、乗算器４１３および乗算器４１４によってチャネル１、３のシンボルが、チャネル１のシンボルと、チャネル３のシンボルに分離される。
【００７０】
セレクタ４１５
セレクタ４１５は、上記のごとく各チャネル１、２、３、４に分離されたシンボルを入力して、入力されたポイントのうち中央に位置する６４ポイント＝１２８ポイント／２のみを抽出し、出力する。これにより、信号線２０４に接続されたＦＦＴ・デスクランブル処理手段４４におけるＦＦＴの分解能は１６ｋＨｚ＝４ｋＨｚ×４で行うことができ、結果的にチャネル選択回路４３（チャネル選択回路４００）内部で周波数軸上でのデシメーションが行われたことになる。
【００７１】
上記例示においては、２段のチャネル選択回路を設けて、2^2 チャネル多重、すなわち、４チャネル多重のチャネル選択回路４００の構成と動作を述べたが、８チャネル多重する場合には、2^3 段、すなわち、チャネル選択回路４００における乗算器４１３、加算器４０９、乗算器４１４、加算器４１２の後段にさらに１段、遅延用メモリ、減算器、加算器および乗算器からなるチャネルシンボル選択回路に相当する回路を４個設ける。ただし、３段目のチャネルシンボル選択回路の１／４変調時間遅延メモリの遅延時間は、１／８変調時間になり、記憶容量も１／８変調分のシンボル数でよい。
【００７２】
このように、マルチキャリア変調による多重通信を行うときに、複数チャネルのサブキャリアが周期的に配置されている場合、受信装置（受信機）４０におけるチャネル選択回路４００において、遅延回路（メモリ）と、加算器と、減算器と、乗算器とで構成されるチャネルシンボル選択回路を、複数段、２分木的に設けることにより、そのチャネルシンボル選択回路に入力された隣接するチャネルを順次、分解していくことができる。
多重化されていて分解すべきチャネル数をＹとした場合、チャネルシンボル選択回路の段数は$\log_2 Y$となり、チャネルシンボル選択回路の総個数は（2^Y-1）となる。ｎ段目のチャネルシンボル選択回路における遅延回路の遅延時間は（$1/2^{n-1}$）変調時間であり、その遅延回路において遅延すべきシンボル数は、（$1/2^{n-1}$）変調時間に存在するシンボル数となる。すなわち、段数が高くなるにつれて、その段のチャネルシンボル選択回路に入力されるチャネル数ならびにシンボル数は減少していくから、その段における遅延回路で遅延するシンボル数も少なくなる。換言すれば、段数が高くなるにつれて、その段の並列に設けられるチャネルシンボル選択回路の数は増加するが、遅延回路の規模は小さくなる。
【００７３】
チャネル選択回路４３の第２実施の形態
図５を参照して図１に図解したチャネル選択回路４３の第２実施の形態としてのチャネル選択回路５００について述べる。
チャネル選択回路５００は、１変調時間遅延用メモリ５０１と、セレクタ５０２と、制御手段５０３と、１／２変調時間分遅延用メモリ５０４と、加算／減算処理回路５０５と、乗算器５０６と、１／４変調時間分遅延用メモリ５０７と、加算／減算処理回路５０８と

、乗算器５０９と、信号選択出力手段５１０とを有する。
チャネル選択回路５００の回路構成は、チャネル選択回路４００と同様、図解のごとく個別回路として構成することもできるし、ＤＳＰなどで一体構成することもできる。
【００７４】
加算／減算処理回路５０５および加算／減算処理回路５０８は共に、制御手段５０３からの選択指令により加算処理または減算処理を行う回路である。
乗算器５０６は、制御手段５０３から出力される４ｋＨｚオフセット補正信号：（ｅｘｐ（－ｊ２π（ｉ／Ｋ））、または、０Ｈｚオフセット補正信号（振幅０の信号、これをヌル（Ｎｕｌｌ）信号という）と、加算／減算処理回路５０５からの信号を畳み込み乗算する。（ｅｘｐ（－ｊ２π（ｉ／Ｋ））は－４ｋＨｚの信号成分に相当する信号であり４ｋＨｚのオフセット補正に用いる。ヌル信号は乗算してもオフセット補正を行われなくするための信号である。その理由は、乗算器５０６において一括してオフセット処理を行うからである。
乗算器５０９は、乗算器５０６と同様、制御手段５０３からの８ｋＨｚオフセット補正信号：（ｅｘｐ（－ｊ２π（２ｉ／Ｋ））））または０Ｈｚオフセット信号と加算／減算処理回路５０８からの信号を畳み込み乗算する。（ｅｘｐ（－ｊ２π（２ｉ／Ｋ））））は－８ｋＨｚの信号に相当する。
以下、図５の回路構成と図４の回路構成とを対比して述べる。
【００７５】
１変調時間遅延用メモリ５０１およびセレクタ５０２
１変調時間遅延用メモリ５０１およびセレクタ５０２は、図４に図解した１変調時間分遅延用メモリ４０１およびセレクタ４０２と同じ回路であり、上述した複数チャネル反復シンボル生成回路（手段）として機能する。
【００７６】
第１段回路：制御手段５０３、１／２変調時間分遅延用メモリ５０４、加算／減算処理回路５０５および乗算器５０６
第１段の、１／２変調時間分遅延用メモリ５０４、加算／減算処理回路５０５および乗算器５０６は、制御手段５０３によって加算／減算処理回路５０５を加算処理と減算処理を切り替え、制御手段５０３から乗算器５０６に与える信号を切り換えることによりオフセット補正を行うか否かを制御しているので、実質的に、図４の１／２変調時間分遅延用メモリ４０３、加算器４０４、減算器４０５および乗算器４０６の処理と同等の処理を行う。すなわち、１／２変調時間分遅延用メモリ５０４、加算／減算処理回路５０５、乗算器５０６は、制御手段５０３と協動して、奇数チャネルシンボル選択出力回路および偶数チャネルシンボル選択出力回路として機能する。ただし、これらの回路は、加算／減算処理回路５０５を切り換えて使用するので、図４に図解した回路と比較して回路が１つ簡略化されている。乗算器５０６からは、図４の信号Ｓ４０６と、信号Ｓ４０４に該当する２種の信号が出力される。
【００７７】
第２段回路：制御手段５０３、１／４変調時間分遅延用メモリ５０７、加算／減算処理回路５０８および乗算器５０９
第２段の、１／４変調時間分遅延用メモリ５０７、加算／減算処理回路５０８および乗算器５０９は、図４の第２段の、１／４変調時間遅延メモリ４０７、加算器４０９、減算器４０８および乗算器４１３、および、１／４変調時間分遅延メモリ４１０、加算器４１２、減算器４１１および乗算器４１４の２系統の回路を１つの回路に統一した回路である。すなわち、図５においては、２系統の回路が１つの回路に簡略化されている。
１／４変調時間分遅延用メモリ５０７、加算／減算処理回路５０８および乗算器５０９は制御手段５０３と協動して各チャネルのシンボル分離回路として機能する。
【００７８】
信号選択出力手段５１０は乗算器５０９で生成された４チャネルのシンボルを選択出力する回路である。

【００７９】
図５のチャネル選択回路５００の動作を述べる。
チャネル選択回路５００には、図１の信号線２０２を介して、周波数軸上で４ｋＨｚおきにサブキャリアの並んだ信号Ｓ２０２が２５０μｓ間で２５６ポイント分入力されてくる。入力されてきた信号をセレクタ５０２に入力すると同時に、前半の１２８ポイントを１変調時間分遅延させる１変調時間遅延用メモリ５０１に入力して記憶させる。セレクタ５０２では、初めの２５０μｓの間（２５６ポイント）、信号線２０２より入力された信号を出力し、その後、１２５μｓの間（１２８ポイント）、１変調時間遅延用メモリ５０１に格納された１変調時間遅延したシンボルを出力する。
【００８０】
セレクタ５０２から出力された信号は加算／減算処理回路５０５に入力されるとともに、１／２変調時間分遅延用メモリ５０４に入力され１／２変調時間（１２５μｓ）分、すなわち１２８ポイント分遅延される。
加算／減算処理回路５０５から奇数チャネルを出力するとき、制御手段５０３は加算処理を示す指令を加算／減算処理回路５０５に印加し、偶数チャネルを出力するとき制御手段５０３は減算処理を示す指令を加算／減算処理回路５０５に出力する。
加算／減算処理回路５０５は、制御手段５０３からの指令に応じて加算または減算を行う。加算または減算の切換えは、１／２変調時間分遅延用メモリ５０４から出力されるシンボルとセレクタ５０２から出力されるシンボルの切換えに応じて行う。加算または減算はメモリ５０４からシンボルが出力され始めてから開始する。加算／減算処理回路５０５における加算処理によって、奇数チャネル、すなわち、チャネル１、３のシンボルが生成され、減算処理によって偶数チャネル、すなわち、チャネル２、４のシンボルが生成される。加算／減算処理回路５０５の出力は２５０μｓあたり２５６ポイント以下である。加算／減算処理回路５０５の出力は乗算器５０６に入力される。
制御手段５０３は偶数チャネルを希望する場合はオフセット補正をしないヌル信号、すなわち、０Ｈｚオフセット信号を乗算器５０６に出力し、奇数チャネルを希望する場合は－４ｋＨｚオフセット信号、すなわち、（ｅｘｐ（－ｊ２π（ｉ／Ｋ））を乗算器５０６に出力する。乗算器５０６は加算／減算処理回路５０５の出力と制御手段５０３のオフセット補正信号との畳み込み乗算を行う。なお、０Ｈｚオフセット信号が印加された場合、乗算器５０６においてこの乗算はスキップされる場合もある。
以上の処理によって、奇数チャネル１、３と偶数チャネル２、４とが分離された。
【００８１】
乗算器５０６の出力は、１／４変調時間（６２．５μｓ）分、すなわち６４ポイント分遅延させる１／４変調時間分遅延用メモリ５０７に入力されると同時に、制御手段５０３からの指示により加算／減算処理回路５０８に入力される。ここで、チャネル１もしくはチャネル２を所望する場合には、制御手段５０３より加算を行う指令が加算／減算処理回路５０８に印加され、チャネル３もしくはチャネル４を所望する場合には、制御手段５０３より減算を行う指令が加算／減算処理回路５０８に印加される。加算／減算処理回路５０８は演算指令に応じて、１／４変調時間分遅延用メモリ５０７から出力されるシンボルと乗算器５０６から出力されるシンボルについて加算または減算を行う。加算／減算処理回路５０８の演算は１／４変調時間分遅延用メモリ５０７からシンボルが出力され始めてから開始する。加算／減算処理回路５０８の出力シンボル数は２５０μｓあたり１２８ポイント以下となる。
加算／減算処理回路５０８の出力は乗算器５０９に入力される。チャネル１または２のシンボル出力のとき制御手段５０３から０Ｈｚオフセット信号が印加され、チャネル３または４のシンボル出力のとき制御手段５０３から－８Ｈｚオフセット信号が印加され、乗算器５０９は、これらオフセット信号のいずれかと加算／減算処理回路５０８の出力シンボルとの畳み込み乗算を行う。この畳み込み乗算処理は、図４の乗算器４１３および乗算器４１４と同様の処理である。なお、０Ｈｚオフセット信号が印加された場合、乗算器５０９においてこの乗算はスキップされる場合もある。

【００８２】
上記の処理により、チャネル１～チャネル４のうち所望のチャネルの信号成分（シンボル）のみが内包された信号が信号選択出力手段５１０に出力される。
信号選択出力手段５１０は入力されたシンボルのうち中央に位置する６４ポイント＝１２８ポイント／２のみを抽出し出力する。これにより、信号線２０４よりも後段で行われる図１のＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理の分解能は１６ｋＨｚ＝４ｋＨｚ×４で充分となり、結果的にチャネル選択回路４３（チャネル選択回路５００）内部で周波数軸上でのデシメーションが行われたことになる。
【００８３】
上記例示においては、４チャネル多重の場合を想定したが、一般的に言えば、多重されているチャネル数がＹの場合、チャネル選択回路５００における、１／２変調時間分遅延用メモリ、加算／減算処理回路、乗算器からなるチャネルシンボル選択回路の段数は（$\log_2 Y$）となるだけの段数で対応可能である。
チャネル選択回路５００においては、制御手段５０３の制御動作が必要であり、加算／減算処理回路における演算の切り替えが必要となるが、段数が増加しても、図４に図解したチャネル選択回路４００の２分木のようにチャネルシンボル選択回路の個数が増加しないという利点がある。
【００８４】
チャネル選択回路４３の第３実施の形態
図６を参照して図１に図解したチャネル選択回路４３の第３実施の形態としてのチャネル選択回路５００Ａについて述べる。
図６に図解したチャネル選択回路５００Ａは、図５に図解したチャネル選択回路５００から、第２段目のチャネルシンボル選択回路（１／４変調時間分遅延用メモリ５０７、加算／減算処理回路５０８、乗算器５０９）を削除した回路である。したがって、制御手段５０３Ａは、図５の制御手段５０３から、加算／減算処理回路５０８および乗算器５０９の処理を排除した残りの処理を行う。また、信号選択出力手段５１０Ａは、乗算器５０６からの信号選択処理が異なる。その他は、図５を参照して述べたチャネル選択回路５００と同じである。
【００８５】
チャネル選択回路５００Ａにおいて、「チャネル１ならびにチャネル３」と「チャネル２ならびにチャネル４」の分離が行われる。
乗算器５０６から出力されるシンボル数は、２５０μｓあたり２５６ポイントであり、信号選択出力手段５１０Ａにおいて、このうち中央に位置する１２８ポイントのみを抽出して出力する。
信号線２０４に出力されるシンボルは２５６μｓの間で１２８個となる。
【００８６】
チャネル選択回路４３をチャネル選択回路５００Ａの構成にすることにより、２チャネル分の信号を抽出することが可能となる。このような場合には、チャネル選択回路４３が２チャネル分の信号成分を出力した後、ＦＦＴ・デスクランブル処理手段４４においてＦＦＴ処理を行うことになり、、ＦＦＴの実行によりシンボルを抽出した後に、チャネル選択回路５００Ａを配置し、再度チャネルの分離を行うことになる。
【００８７】
ＤＡＶシステムにおいて、各ユーザー毎に使用するチャネル数が異なる場合には、図６のチャネル選択回路５００Ａの構成のチャネル選択回路４３を受信装置（受信機）４０に組み込み、所望する必要最低限の複数チャネル分の処理量で、すなわち、簡単な回路構成で、情報を受信することが可能となる。
【００８８】
チャネル選択回路４３の第４実施の形態
図７を参照して図１に図解したチャネル選択回路４３の第４実施の形態としてのチャネル選択回路５００Ｂについて述べる。

チャネル選択回路５００Ｂは、制御手段５０３Ｂと、１／２変調時間分遅延用メモリ５０４と、加算／減算処理回路５０５と、乗算器５０６と、１／４変調時間分遅延用メモリ５０７と、加算／減算処理回路５０８と、乗算器５０９と、シンボル並び替え手段５１２とを有する。
図７のチャネル選択回路５００Ｂと図５のチャネル選択回路５００とを比較すると、図５の１変調時間遅延用メモリ５０１およびセレクタ５０２が削除されて、信号選択出力手段５１０に代えてシンボル並び替え手段５１２が設けられている。
第１段の１／２変調時間分遅延用メモリ５０４、加算／減算処理回路５０５、乗算器５０６の構成および動作は、図５のこれらの回路の構成および動作と同じである。ただし、信号選択出力手段５１０およびセレクタ５０２が存在しないので、処理するシンボルは、図１の高周波受信回路４２の出力シンボルそのものである。
第２段の１／４変調時間分遅延用メモリ５０７、加算／減算処理回路５０８、乗算器５０９の構成および動作は、図５のこれらの回路の構成および動作と同じである。

【００８９】

チャネル選択回路５００Ｂには、信号線２０２を介して、高周波受信回路４２から出力された周波数軸上で４ｋＨｚおきにサブキャリアの並んだ信号が２５０μｓ間で２５６ポイント分入力される。
入力されてきた信号は、１／２変調時間分遅延用メモリ５０４において１／２変調時間（１２５μｓ）分、すなわち１２８ポイント分遅延される。
制御手段５０３Ｂは、偶数チャネルが必要な場合は加算処理を示す指令を加算／減算処理回路５０５に印加し、奇数チャネルが必要な場合減算処理を示す指令を加算／減算処理回路５０５に印加する。
加算／減算処理回路５０５は、信号線２０２から入力されてくるシンボルとメモリ５０４から出力されてくるシンボルとの間で、加算または減算を行う。加算／減算処理回路５０５における加算／減算はメモリ５０４からシンボルが出力され始めてから開始する。加算／減算処理回路５０５における加算処理によりチャネル２、４が選択出力され、減算処理によりチャネル１、３が選択出力される。加算／減算処理回路５０５の出力は２５０μｓあたり１２８ポイント（＝２５６ポイント／２）となる。この出力は、乗算器７０６に入力される。
制御手段５０３Ｂは、奇数チャネル処理の場合は０Ｈｚオフセット信号を乗算器５０６に出力し、偶数チャネル処理の場合は４ｋＨｚオフセット補正信号、すなわち、（ｅｘｐ（－ｊ２π（ｉ／Ｋ））を乗算器５０６に出力する。
乗算器５０６は制御手段５０３Ｂからの信号と加算／減算処理回路５０５からの信号との畳み込み乗算を行う。なお、制御手段５０３Ｂから０Ｈｚオフセット信号が乗算器５０６に出力された場合、乗算器５０６はこの乗算をスキップすることもできる。
以上の第１段の回路の動作により、チャネル１と３、およびチャネル２と４とが分離される。

【００９０】

乗算器５０６の出力は、１／４変調時間分遅延用メモリ５０７に入力されて１／４変調時間（６２．５μｓ）分、すなわち６４ポイント分遅延される。
制御手段５０３Ｂは、チャネル１または２が必要な場合は加算処理を示す指令を加算／減算処理回路５０８に印加し、チャネル３または４が必要な場合減算処理を示す指令を加算／減算処理回路５０８に印加する。
加算／減算処理回路５０８は、乗算器５０６から入力されてくるシンボルと１／４変調時間分遅延用メモリ５０７から出力されてくるシンボルとの間で、加算または減算を行う。加算／減算処理回路５０８における加算／減算はメモリ５０７からシンボルが出力され始めてから開始する。加算／減算処理回路５０８における加算処理によりチャネル２と４が分離して選択出力され、減算処理によりチャネル１と３とが分離して選択出力される。加算／減算処理回路５０８の出力は２５０μｓあたり６４ポイント（＝１２８ポイント／２）となる。この出力は、乗算器５０９に入力される。

制御手段５０３Ｂは、チャネル１または２が必要な場合は０Ｈｚオフセット信号を乗算器５０９に出力し、チャネル３または４が必要な場合８ｋＨｚオフセット補正信号、すなわち、（ｅｘｐ（－ｊ２π（２ｉ／Ｋ））を乗算器５０９に出力する。
乗算器５０９は制御手段５０３Ｂからの信号と加算／減算処理回路５０８からの信号との畳み込み乗算を行う。制御手段５０３Ｂから０Ｈｚオフセット信号が乗算器５０９に出力された場合、乗算器５０９はこの乗算をスキップすることもできる。
以上の第２段の回路の動作により、チャネル１、２、３、４が分離される。

【００９１】

シンボル並び替え手段５１２は、乗算器５０９から出力された６４個のシンボルのうち前半部と後半部を入れ換える作業を行う。結果的に、出力線２０４からは、乗算器５０９が出力したシンボルの後半３２ポイントから前半３２ポイントの順番でシンボルが出力される。
上記の処理により、チャネル１～チャネル４のうち所望のチャネルの信号成分のみが内包された信号が出力線２０４より出力されたことになる。

【００９２】

図７を参照して述べたチャネル選択回路５００Ｂにおいても、信号線２０４よりも後段で行われるＦＦＴ・デスクランブル処理手段４４におけるＦＦＴの分解能は１６ｋＨｚ＝４ｋＨｚ×４で充分となり、結果的にチャネル選択回路５００Ｂ（チャネル選択回路４３）内部で周波数軸上でのデシメーション（ｄｅｃｉｍａｔｉｏｎ）が行われたことになる。

【００９３】

上述した例示においては、４チャネル多重の場合を例示したが、多重されているチャネル数がＹの場合、このチャネル選択回路５００Ｂにおけるチャネルシンボル選択回路の段数は、（$\log_2 Y$）となる段数だけでよく、回路構成が簡単である。

【００９４】

チャネル選択回路４３の第５実施の形態

図８を参照して図１に図解したチャネル選択回路４３の第５実施の形態としてのチャネル選択回路６００について述べる。
チャネル選択回路６００は、制御手段６０１と、乗算器６０２と、１／２変調分遅延用メモリ６０３と、加算器６０４と、１／４変調分遅延用メモリ６０５と、加算器６０６と、シンボル並び替え手段６０７とを有する。
制御手段６０１と乗算器６０２とで、後述する周波数オフセット補正回路を構成する。
１／２変調分遅延用メモリ６０３と加算器６０４とが第１段のチャネルシンボル選択出力回路を構成し、１／４変調分遅延用メモリ６０５と加算器６０６とで第２段のチャネルシンボル選択出力回路を構成している。

【００９５】

チャネル選択回路６００の動作を述べる。
チャネル選択回路６００の乗算器６０２には、信号線２０２を介して、図１の高周波受信回路４２から出力された周波数軸上で４ｋＨｚおきにサブキャリアの並んだ信号が２５０μｓ間で２５６ポイント分入力される。
入力されてきた信号は、乗算器８１１において、制御手段６０１より入力される複素正弦波の信号と乗算される。制御手段６０１から乗算器６０２に印加される複素正弦波信号の周波数はチャネルによって異なる。たとえば、制御手段６０１から乗算器６０２に出力する複素正弦波の周波数は下記にする。

【００９６】

【表１】

表１

チャネル	複素数正弦波の周波数
１	０ｋＨｚ
２	－４ｋＨｚ
３	－８ｋＨｚ
４	－１２ｋＨｚ

【００９７】
制御手段６０１から乗算器６０２に印加されるチャネル毎周波数の異なる複素正弦波信号と、高周波受信回路４２から出力された信号とを乗算器６０２において乗算することにより、高周波受信回路４２から出力された各チャネルの信号はサブキャリア４ｋＨｚごとの周波数オフセットがなくなる。すなわち、本実施の形態においては、制御手段６０１と乗算器６０２とは、サブキャリアごとの周波数オフセットのある各チャネルの信号についてサブキャリアぶんの周波数オフセットを持たない信号に変換する周波数オフセット補正回路として機能している。
【００９８】
周波数オフセット補正回路６０１、６０２によって周波数オフセットを排除しておくと、第１段および第２段のチャネルシンボル選択出力回路において、周波数オフセットを補正するための乗算器が不要となる。
【００９９】
乗算器６０２の出力信号は、１／２変調分遅延用メモリ６０３に入力されて１／２変調時間（１２５μｓ）分、すなわち１２８ポイント分遅延される。乗算器６０２からの出力信号は加算器６０４に入力されて、加算器６０４において乗算器６０２から出力された信号と１／２変調分遅延用メモリ６０３において１／２変調時間分遅延された信号と加算が行われる。加算器６０４における加算は、１／２変調分遅延用メモリ６０３からシンボルが出力され始めてから開始する。
加算器６０４と１／２変調分遅延用メモリ６０３とは、上述したチャネル選択回路４００、５００などにおいて述べたように、フィルタ回路を構成しており、加算器６０４から偶数チャネルのシンボルと、奇数チャネルのシンボルとが分離される。
加算器６０４の出力信号の数は２５０μｓあたり１２８ポイント（＝２５６ポイント／２）となる。
【０１００】
加算器６０４からの出力信号は、１／４変調分遅延用メモリ６０５に入力されて１／４変調時間（６２．５μｓ）分、すなわち６４ポイント分遅延される。加算器６０４からの出力信号は加算器６０６に入力されて、加算器６０４において加算器６０４から出力された信号と１／４変調分遅延用メモリ６０５において１／４変調時間分遅延された信号と加算が行われる。加算器６０６における加算は、１／４変調分遅延用メモリ６０５からシンボルが出力され始めてから開始する。
加算器６０６と１／４変調分遅延用メモリ６０５とは、上述したチャネル選択回路４００、５００などにおいて述べたように、フィルタ回路を構成しており、加算器６０６から各チャネルが分離される。加算器６０６の出力信号数は２５０μｓあたり６４ポイント（＝１２８ポイント／２）となる。
【０１０１】
加算器６０６の出力信号はシンボル並び替え手段６０７に入力され、シンボル並び替え手段６０７において、入力された６４個のシンボルのうち前半部と後半部の入れ換え作業が行われる。その結果として、出力線２０４からは、加算器６０６が出力したシンボルの後半３２ポイントから前半３２ポイントの順番でシンボルが出力される。
【０１０２】

上記の処理により、チャネル１～チャネル４のうち所望のチャネルの信号成分のみが内包された信号が出力線２０４より出力される。
本実施の形態においても、信号線２０４よりも後段のＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理の分解能は１６ｋＨｚ＝４ｋＨｚ×４で充分となり、結果的にチャネル選択回路６００内部で周波数軸上でのデシメーションが行われたことになる。

【０１０３】
上記実施の形態は４チャネル多重の場合を想定したが、多重されているチャネル数がＹの場合、このチャネル選択回路６００におけるメモリ、加算器で構成されるチャネルシンボル選択出力回路の段数は、（$\log_2 Y$）となるだけであり、簡単な回路構成でシンボル数を低減できる。

【０１０４】
図４～図８を参照して図１に図解したチャネル選択回路４３の種々の回路構成とその動作を述べたが、ＤＡＶシステムなどの用途に適した回路構成のチャネル選択回路４３を使用することができる。
上述した種々のチャネル選択回路を用いると、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理を行う希望するチャネルのシンボルを選択的に出力することができ、さらに、シンボルの数を減少させることができる。その結果、ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理の負担が軽減する。

【０１０５】
ＦＦＴ・デスクランブル処理手段４４におけるＦＦＴ処理は例示であり、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６においてＩＦＦＴに代えてＩＤＣＴなどの他の直交変換処理が適用可能と述べたように、ＦＦＴ・デスクランブル処理手段４４においても、ＦＦＴに代えてＤＣＴなどの他の直交変換を適用できる。

【０１０６】
第２実施の形態
図９および図１０を参照して本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法の第２実施の形態を述べる。
図９は第２実施の形態の無線通信システムを示す図である。第２実施の形態は、第１実施の形態を適用したセルラー無線通信システムである。第２実施の形態においては、セルラー無線通信システムにおける下りリンク（基地局から移動局への通信）についての述べる。
図９（Ａ）はセルラー無線通信システムにおける基地局（送信機）５０を示し、図９（Ｂ）は受信機（受信機）６０を示す。
図１０は図９に図解した無線通信システムにおける送信シンボルの並びを示すグラフである。

【０１０７】
基地局（送信機）５０は、トラフィックチャネル１～Ｍの情報ビットストリームに対する符号化回路51_1～51_Mと、シンボルマッピング回路52_1～52_Nと、パイロットチャネルのユニークワードの処理を行うユニークワード用シンボルマッピング回路５３と、シンボルマッピング回路５３、シンボルマッピング回路52_1～52_Nの信号を多重化するマルチプレクサ（信号多重化処理回路）５４と、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５と、送信回路５６と、送信アンテナ５７を有する。
図１（Ａ）に図解した送信装置（送信機）３０と比較すると、ユニークワード用シンボルマッピング回路５３が追加されている。その他の回路は図１（Ａ）の回路構成と同様である。

【０１０８】
受信機（受信機）６０は、受信アンテナ６１と、高周波受信回路６２と、第１および第２のチャネル選択回路６３Ａ、６３Ｂと、第１および第２のＦＦＴ・デスクランブル処理手段６４Ａ、６４Ｂと、チャネルエコライザ（チャネル等化器）６５と、ビット抽出回路６６と、復号回路６７を有する。

図１（Ｂ）に図解した受信装置（受信機）４０と比較すると、チャネル選択回路４３が２系統の第１および第２のチャネル選択回路６３Ａ、６３Ｂとして図解されており、ＦＦＴ・デスクランブル処理手段４４が２系統の第１および第２のＦＦＴ・デスクランブル処理手段６４Ａ、６４Ｂとして図解されており、チャネルエコライザ６５が付加されている。チャネルエコライザ６５は、２系統の第１および第２のＦＦＴ・デスクランブル処理手段６４Ａ、６４Ｂの出力信号を等化するために付加されている。

【０１０９】

基地局（送信機）５０の動作

基地局（送信機）５０は、符号化回路51_1～51_Mおよびシンボルマッピング回路52_1～52_Mを用いて、複数（Ｍ）のトラフィックチャネル（情報チャネル）の送信を一括して行っている。これらの情報チャネルの情報は、それぞれ別個に符号化回路51_1～51_Mにおいて符号化、インターリーブなどが施される。

【０１１０】

その後、シンボルマッピング回路52_1～52_Mにおいて送信シンボルへのマッピングが行われる。このシンボルマッピングとしては、ＱＰＳＫ，８ＰＳＫ，１６ＱＡＭ等などのような一般的な変調方式を用いる。

【０１１１】

基地局（送信機）５０においては、情報チャネルの送信と同時に、情報チャネルとは独立してパイロットチャネルの送信も行っている。パイロットチャネルは、主に、移動体通信機における伝送路推定や、セルサーチ等に用いられるものである。パイロットチャネルでは既知信号としてのユニークワードが送信されており、このユニークワードが送信シンボルにマッピングされて送信される。

【０１１２】

場合によっては、既知信号（ユニークワード）とその基地局を認識するための識別コード（ＩＤ）などを示す信号が多重されて送信することもできる。その場合は、ユニークワード用シンボルマッピング回路５３と同様の識別コード用シンボルマッピング回路（図示せず）を付加する。

【０１１３】

シンボルマッピング回路52_1～52_Mの出力シンボルおよびユニークワード用シンボルマッピング回路５３の出力シンボルは、マルチプレクサ５４において多重化される。

マルチプレクサ５４は、図２（Ａ）～（Ｃ）を参照して述べた、図１（Ａ）のマルチプレクサ（信号多重化処理回路）３４と同様の処理を行う。マルチプレクサ５４によって多重化された送信シンボルの例を図１０に図解する。

図１０に図解した多重化送信シンボルは、チャネル１～３と、チャネル４の部分にパイロットチャネルが置き換えられた例を示している。

【０１１４】

マルチプレクサ５４で多重化されたシンボルは、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５において、スクランブル処理、ＩＦＦＴ処理、ガードタイム付加・窓かけ処理が行われる。スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５におけるこれらの処理は、図１（Ａ）のスクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６の処理と同様である。

たとえば、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５におけるスクランブル処理としては、ランダム位相シフト処理、ランダム直交変換処理などを行う。

スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５においてスクランブル処理したシンボルについて逆高速フーリエ変換（ＩＦＦＴ）処理を行う。すなわち、シンボルストリームを周波数上にならべるためにＩＦＦＴが施される。ＩＦＦＴ処理に代えて、逆離散コサイン変換（ＩＤＣＴ）処理などの他の直交変換処理を適用できることは、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路３６において述べたと同様である。

スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５においてさらに、ＩＦＦＴによって時間軸上での表現にされたシンボルについてガードタイムの付加ならびに窓がけ（ウィンドー）処理を施される。

【０１１５】

その後、送信回路５６において、図１（Ａ）の送信回路３８と同様、スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５からのシンボルが高周波信号と畳込まれ、さらに所望の周波数帯域に周波数変換された後、送信アンテナ５７から送信される。

【０１１６】

生成された多重化されたシンボルストリームは図１０に示すフォーマットになっている。この例示においては、４チャネル分が多重化されており、そのうち１チャネル分がパイロットチャネルとして用いられており、残りの３チャネル分（ＣＨ１～ＣＨ３）が情報チャネルとして用いられる場合を例示している。

【０１１７】

受信機（受信機）６０の動作

図９（Ａ）の基地局（送信機）５０から送出された信号は、受信アンテナ６１で受信され、シンボルマッピング回路５２において高周波信号と畳込まれベースバンド帯域にダウンコンバートされる。さらに、図解しないＡ／Ｄ変換が施されてディジタル信号に変換されて接続線２０２より第１および第２のチャネル選択回路６３Ａ、６３Ｂに入力される。

【０１１８】

第１チャネル選択回路６３Ａは、情報チャネル１～３の信号について選択処理を行い、第２のチャネル選択回路６３Ｂは、パイロットチャネルの信号について選択処理を行う。

第１のチャネル選択回路６３Ａは、図４～図８を参照した述べた種々の回路構成をとることができ、複数の情報チャネルおよびパイロットチャネルのうちの所望するチャネルのシンボルを選択出力することができる。すなわち、第１のチャネル選択回路６３Ａは周波数軸上でのデシメーションを行いながら所望のチャネルの周波数成分（シンボル）のみを抽出する。

第２のチャネル選択回路６３Ｂは、図４～図８を参照した述べた種々の回路構成をとることができ、複数の情報チャネルおよびパイロットチャネルのうちのパイロットチャネルの所望するシンボルを選択出力することができる。すなわち、第２のチャネル選択回路６３Ｂには複数の情報チャネルおよびパイロットチャネルの信号が周波数軸上に並べられているものの時間軸上で表現されたシンボルが入力されると、パイロットチャネルのみ選択し、さらのパイロットチャネル内の信号を周波数軸上でデシメーションして周波数成分（シンボル）のみを抽出する。

このように、第１チャネル選択回路６３Ａは、所望の情報チャネルの信号成分を抽出し、第２のチャネル選択回路６３Ｂはパイロットチャネルを抽出する。

【０１１９】

第１チャネル選択回路６３Ａで抽出されたチャネルの信号（シンボル）は、第１ＦＦＴ・デスクランブル処理手段６４Ａにおいて、情報チャネルのシンボルについて図１（Ｂ）のＦＦＴ・デスクランブル処理手段４４における処理と同様の処理が行われる。すなわち、ＦＦＴ処理によりシンボルストリームを抽出した後、ランダム位相シフト処理、ランダム直交変換処理等などにより基地局（送信機）５０のスクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５において行われたスクランブルが解かれる。

第２のチャネル選択回路６３Ｂで抽出されたパイロットチャネルの信号（シンボル）は、第２のＦＦＴ・デスクランブル処理手段６４Ｂにおいて、パイロットチャネルのシンボルについて図１（Ｂ）のＦＦＴ・デスクランブル処理手段４４における処理と同様の処理が行われる。すなわち、ＦＦＴ処理によりシンボルストリームを抽出した後、ランダム位相シフト処理、ランダム直交変換処理等などにより基地局（送信機）５０のスクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路５５において行われたスクランブルが解かれる。

【０１２０】

チャネルエコライザ（チャネル等化器）６５は、第１および第２のＦＦＴ・デスクランブル処理手段６４Ａ、６４Ｂの出力から、基地局（送信機）５０から受信機（受信機）６０までの伝送路の特性の推定を行い、効果的に情報を受信するための条件を算出する。
チャネルエコライザ６５は、第２のＦＦＴ・デスクランブル処理手段６４Ｂからパイロット信号を用いて、基地局（送信機）５０と受信機（受信機）６０との間の伝送路の特性を推定し、第１ＦＦＴ・デスクランブル処理手段６４Ａからの情報チャネルの受信シンボルを加工する。
同様に、チャネルエコライザ６５において、第２のＦＦＴ・デスクランブル処理手段６４Ｂからのパイロット信号は、推定された伝送路の特性をもとに効果的に復調が行えるように加工が施された後、ビット抽出回路６６に出力される。

【０１２１】
ビット抽出回路６６は、シンボルが変調されている変調方式に応じてビットを抽出し、符号化ビットストリームを復号回路６７に印加する。

【０１２２】
復号回路６７は、基地局（送信機）５０の符号化回路５１で行われた符号化やインターリーブに応じたディンターリーブや復号を行い情報ビットストリームを復元する。

【０１２３】
上述した実施の形態においては、帯域内で４チャネルを多重する場合を例にとって説明したが、本発明はこれに限定されることなく、基本となる多重数を2^nとした場合でも同様の処理手順により、処理することが可能である。

【０１２４】
第３実施の形態
第１実施の形態および第２実施の形態においては、１変調時間分の処理について例示したが、実際には、第１実施の形態および第２実施の形態において、上記の手順が時間軸上で何度も繰り返されることになる。
そこで、１変調時間単位で、論理チャネルと物理チャネルの対応を変化させることも可能である。そのような場合には、受信機は、受信時刻ごとに受信する物理チャネルを制御手段で変更すればよい。

【０１２５】
上述した実施の形態においては、チャネル数を４チャネル、または３チャネルと例示し、１変調時間の具体的な数値を例示し、スクランブル処理の例示、直交変換処理の例示を述べたが、もちろん、本発明はこれらの例示には限定されない。

【０１２６】
さらに上述した実施の形態は、ＤＡＶシステム用ＯＦＤＭ方式の無線通信システム１、セルラー無線通信システムなどを例示したが、本発明はそのよちうな用途に限定されるものでもない。

【０１２７】
本発明の通信装置（通信システム）、および、受信機に用いるチャネル選択回路は用途に応じて種々の形態で回路構成することができる。

【０１２８】
【発明の効果】
本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法によれば、複数のチャネルの情報（シンボル）を多重化して送信する場合、受信機のチャネル選択回路において受信側で希望するチャネルの情報のみを抽出して、その他の情報を周波数軸上でデシメーションすることができ、処理に応じた情報でその後の直交変換処理などの複雑な処理の負担を軽減することができる。その結果、受信機（受信機）の回路を簡単にすることができ、処理速度も速くなる。

【０１２９】
さらに本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法によれば、ユニークワードを用いるパイロットチャネルを付加して多重化して送信装置（送信

機）側から送出し、受信機（受信機）においてチャネルエコライズ（チャネル等化）することにより、上記効果に加えて、受信信号の信頼性を高めることができる。

【図面の簡単な説明】

【図１】図１は本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法の第１実施の形態としてＤＡＶシステムなどに適用するＯＦＤＭ方式を用いたマルチキャリア変調方式によるディジタル無線通信システムにおける送信機と受信機の構成図である。

【図２】図２（Ａ）～（Ｃ）は図１に図解した送信装置（送信機）におけるマルチプレクサ（信号多重化処理回路）の多重化処理の動作形態を図解したグラフである。

【図３】図３は図１に図解したＯＦＤＭ方式の無線通信システムにおける複数チャネルのサブキャリアの配置を図解したグラフである。

【図４】図４は図１に図解した受信装置（受信機）におけるチャネル選択回路の第１実施の形態の回路構成図である。

【図５】図５は図１に図解した受信装置（受信機）におけるチャネル選択回路の第２実施の形態の回路構成図である。

【図６】図６は図１に図解した受信装置（受信機）におけるチャネル選択回路の第３実施の形態の回路構成図である。

【図７】図７は図１に図解した受信装置（受信機）におけるチャネル選択回路の第４実施の形態の回路構成図である。

【図８】図８は図１に図解した受信装置（受信機）におけるチャネル選択回路の第５実施の形態の回路構成図である。

【図９】図９は本発明の通信装置（通信システム）、送信機および受信機、並びに、通信方法の第２実施の形態としてＤＡＶシステムなどに適用するＯＦＤＭ方式を用いたマルチキャリア変調方式によるディジタル無線通信システムにおける送信機と受信機の構成図である。

【図１０】図１０は図１に図解した送信装置（送信機）におけるマルチプレクサ（信号多重化処理回路）の多重化処理の動作形態を図解したグラフである。

【図１１】図１１は従来のＯＦＤＭ方式の無線通信システムの構成図である。

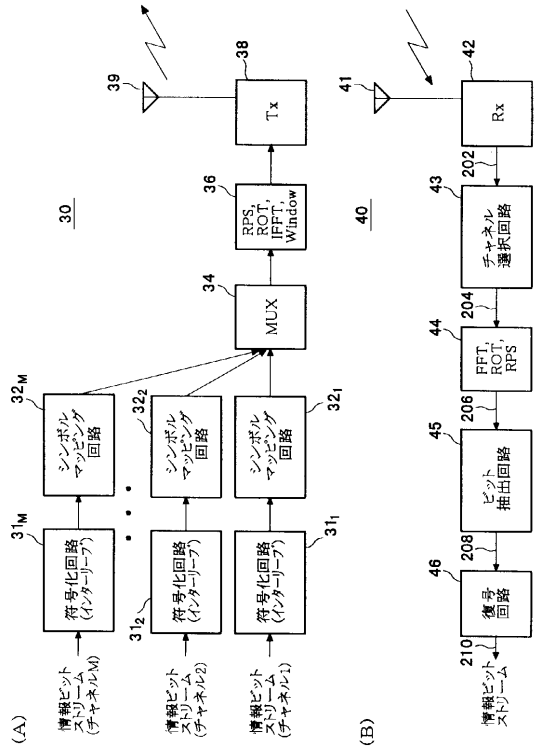
【符号の説明】

１・・ＯＦＤＭ方式の無線通信システム
１０・・送信装置
１１・・符号化回路
１２・・シンボルマッピング回路
１３・・マルチプレクサ（信号多重化処理回路）
１４・・周波数インターリーブ回路
１５・・逆高速フーリエ変換（ＩＦＦＴ）回路
１６・・送信回路
１７・・アンテナ
２０・・受信装置
２１・・アンテナ
２２・・受信回路
２３・・高速フーリエ変換（ＦＦＴ）回路
２４・・シンボル選択回路
２５・・ビット抽出回路
２６・・復号回路
３０・・送信装置（送信機）
３１・・符号化回路
３２・・シンボルマッピング回路
３４・・マルチプレクサ
３６・・スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路

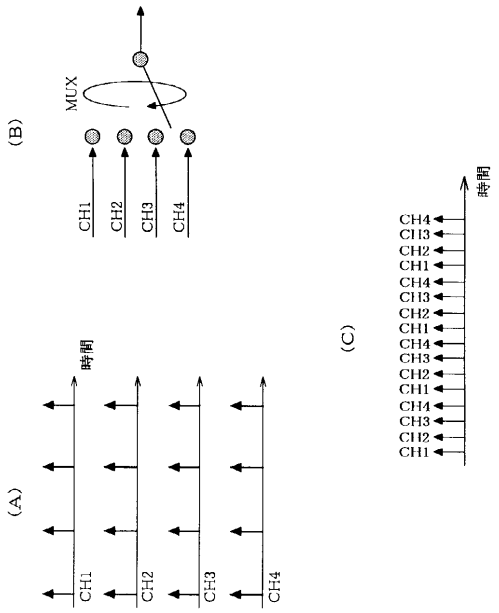
３８・・送信回路
３９・・アンテナ
４０・・受信装置（受信機）
４１・・受信アンテナ
４２・・高周波受信回路
４３・・チャネル選択回路
４４・・ＦＦＴ・デスクランブル処理手段
４５・・ビット抽出回路
４６・・復号回路
４００・・チャネル選択回路
４０１・・１変調時間分遅延用メモリ
４０２・・セレクタ
４０３・・１／２変調時間分遅延用メモリ
４０４・・加算器
４０５・・減算器
４０６・・乗算器
４０７・・１／４変調時間遅延メモリ
４０８・・減算器
４０９・・加算器
４１０・・１／４変調時間分遅延メモリ
４１１・・減算器
４１２・・加算器
４１３・・乗算器
４１４・・乗算器
４１５・・セレクタ
５００・・チャネル選択回路
５０１・・１変調時間遅延用メモリ
５０２・・セレクタ
５０３・・制御手段
５０４・・１／２変調時間分遅延用メモリ
５０５・・加算／減算処理回路
５０６・・乗算器
５０７・・１／４変調時間分遅延用メモリ
５０８・・加算／減算処理回路
５０９・・乗算器
５１０・・信号選択出力手段
５１２・・シンボル並び替え手段
６００・・チャネル選択回路
６０１・・制御手段
６０２・・乗算器
６０３・・１／２変調分遅延用メモリ
６０４・・加算器
６０５・・１／４変調分遅延用メモリ
６０６・・加算器
６０７・・シンボル並び替え手段
５０・・基地局（送信機）
５１・・符号化回路
５２・・シンボルマッピング回路
５３・・ユニークワード用シンボルマッピング回路
５４・・マルチプレクサ（信号多重化処理回路）

５５・・スクランブル処理・ＩＦＦＴ・ガードタイム付加・窓かけ処理回路
５６・・送信回路
５７・・送信アンテナ
６０・・受信機（受信機）
６１・・アンテナ
６２・・高周波受信回路
６３Ａ、６３Ｂ・・チャネル選択回路
６４Ａ、６４Ｂ・・ＦＦＴ・デスクランブル処理手段
６５・・チャネルエコライザ（チャネル等化器）
６６・・ビット抽出回路
６７・・復号回路

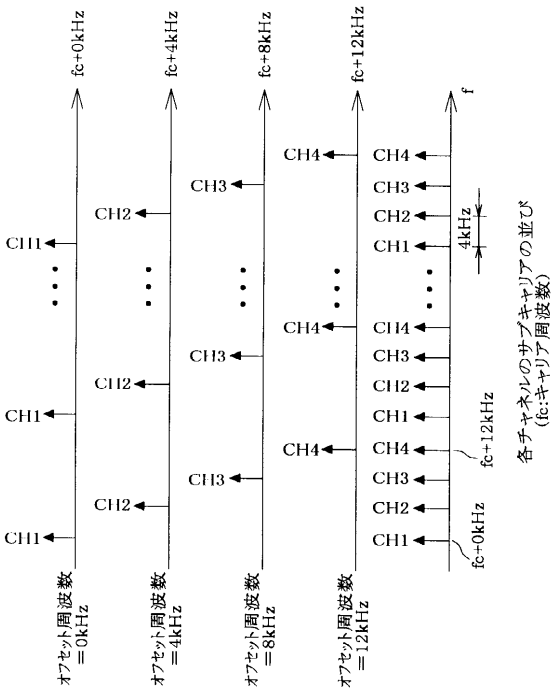
【図１】



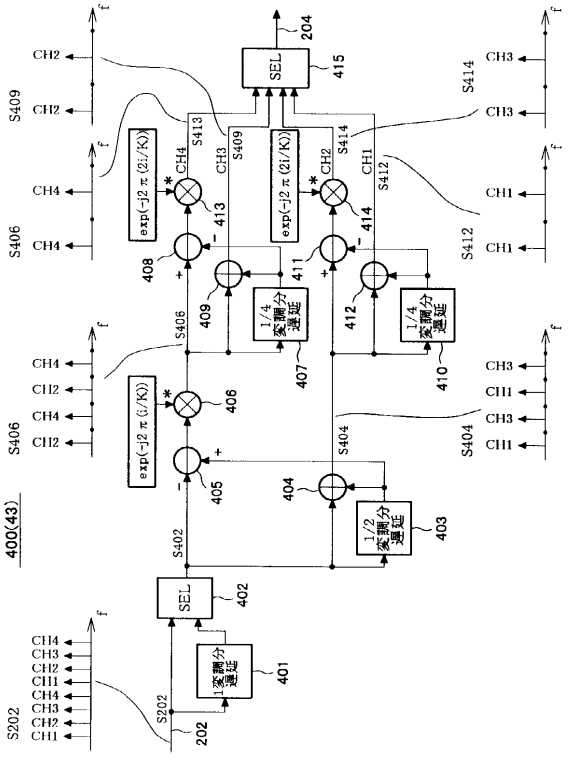
【図２】



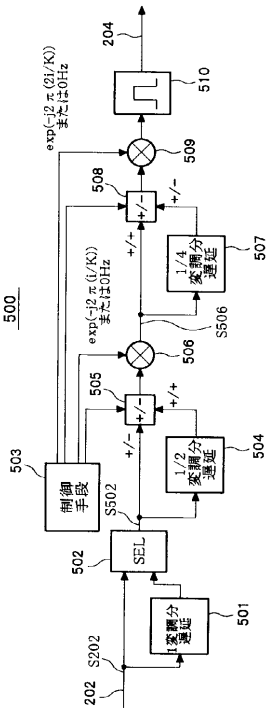
【図３】


fc+0kHz
fc+4kHz
fc+8kHz
fc+12kHz
CH1
CH2
CH3
CH4
オフセット周波数
＝0kHz
オフセット周波数
＝4kHz
オフセット周波数
＝8kHz
オフセット周波数
＝12kHz
4kHz
fc+12kHz
fc+0kHz
f
各チャネルのサブキャリアの並び
(fc:キャリア周波数)

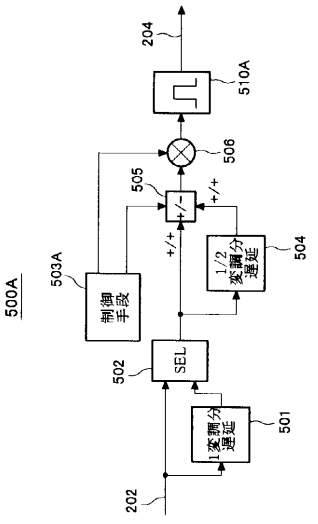
【図４】


400(43)
SEL
204
415
402
401
403
404
405
406
407
408
409
410
411
412
413
414
1/2 変調分 遅延
1/4 変調分 遅延
exp(-j2π(2i/K))
exp(-j2π(i/K))
S202
S402
S404
S406
S409
S412
S413
S414
202

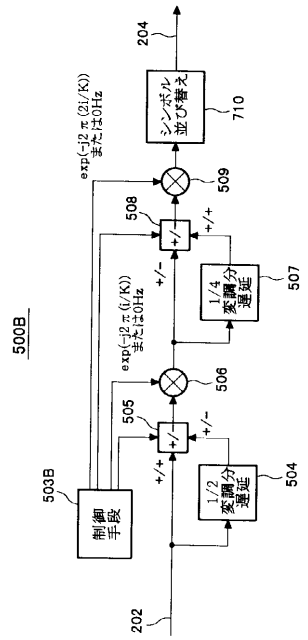
【図５】


500
SEL
制御手段
1/2 変調分 遅延
1/4 変調分 遅延
501
502
503
504
505
506
507
508
509
510
202
S202
S502
S506
exp(-j2π(i/K))
または0Hz
+/+
+/-

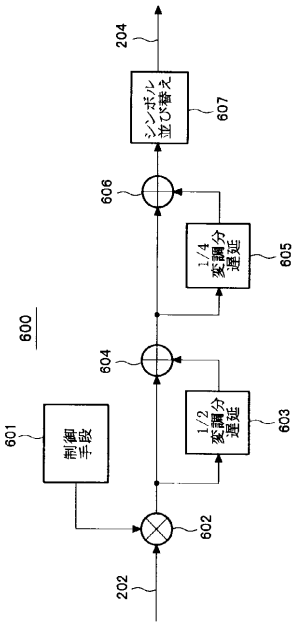
【図６】


500A
SEL
制御手段
1/2 変調分 遅延
501
502
503A
504
505
506
510A
202
+/+
+/-

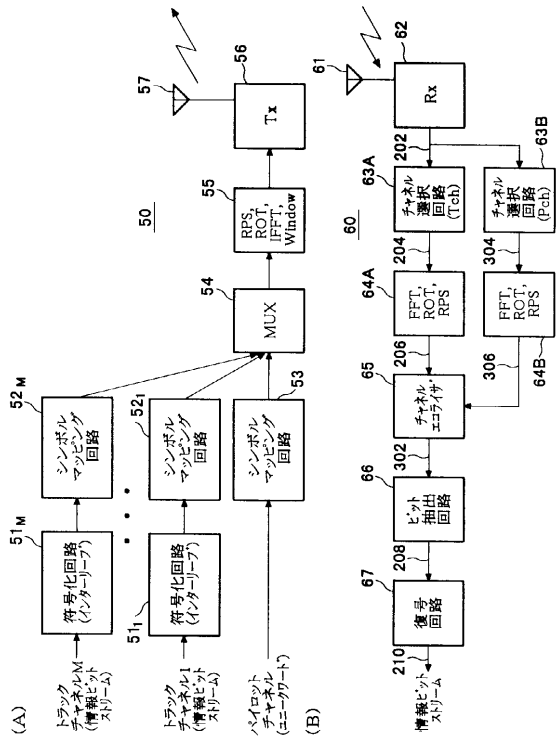
【図７】


500B
503B
制御手段
202
204
シンボル並び替え
710
1/2 変調分遅延
504
1/4 変調分遅延
507
509
508
506
505
+/+
+/-

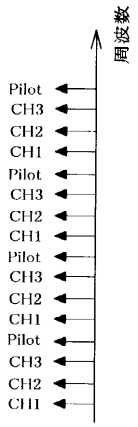
【図８】


600
601
制御手段
202
204
シンボル並び替え
607
1/2 変調分遅延
603
1/4 変調分遅延
605
602
604
606

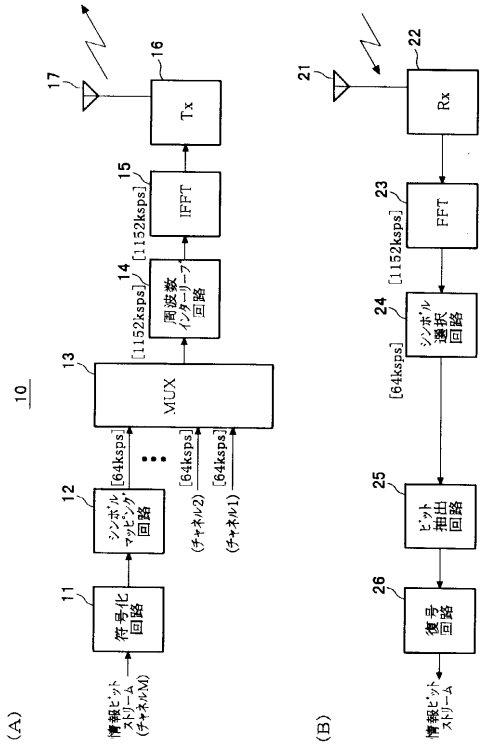
【図９】


(A)
(B)
50
60
トラックチャネルM (情報ビットストリーム)
トラックチャネル1 (情報ビットストリーム)
パイロットチャネル (ユニークワード)
符号化回路 (インターリーブ)
シンボルマッピング回路
MUX
RPS, ROT, IFFT, Window
Tx
Rx
チャネル選択回路 (Tch)
チャネル選択回路 (Pch)
FFT, ROT, RPS
チャネルイコライザ
ビット抽出回路
復号回路
情報ビットストリーム

【図１０】


周波数
Pilot
CH3
CH2
CH1
Pilot
CH3
CH2
CH1
Pilot
CH3
CH2
CH1
Pilot
CH3
CH2
CH1

【図１１】


(A)
10
情報ビットストリーム(チャネルM)
11
符号化回路
12
シンボルマッピング回路
[64ksps]
(チャネル2)
[64ksps]
(チャネル1)
[64ksps]
13
MUX
14
[1152ksps]
周波数インターリーブ回路
15
[1152ksps]
IFFT
16
Tx
17
(B)
21
22
Rx
23
[1152ksps]
FFT
24
[64ksps]
シンボル選択回路
25
ビット抽出回路
26
復号回路
情報ビットストリーム

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
H04J 11/00