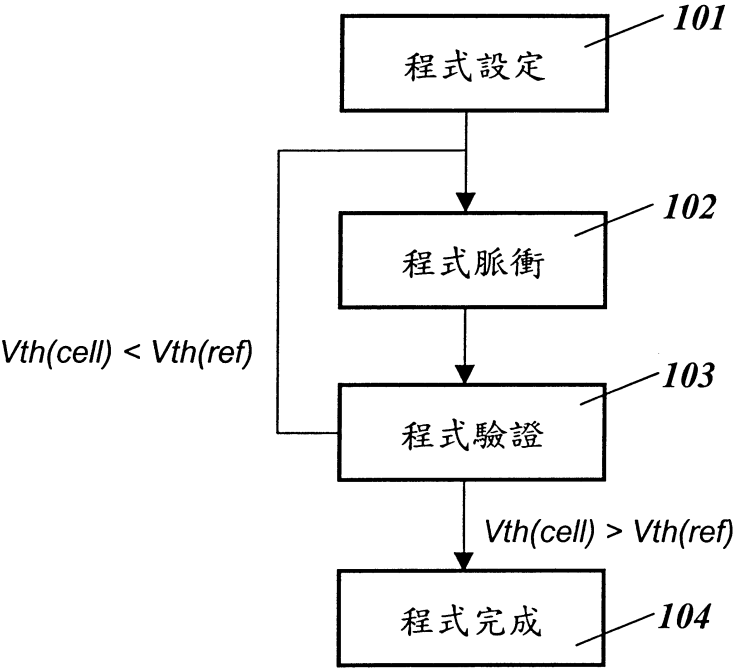
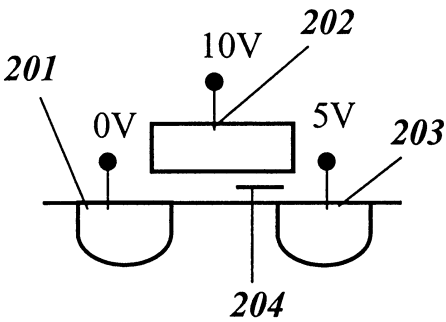
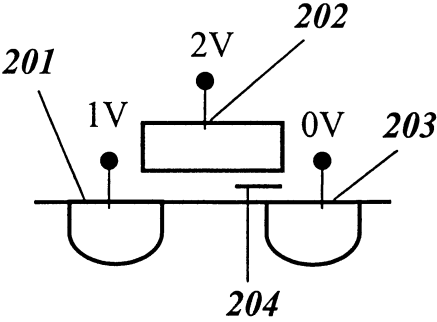




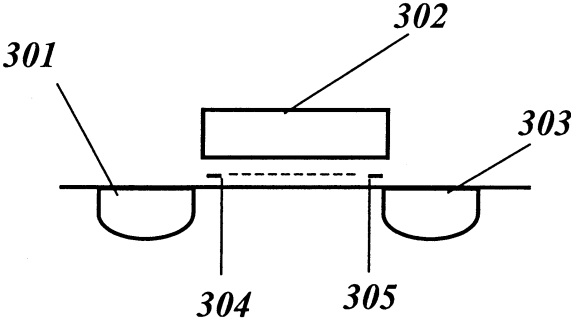
第1圖(習用技藝)



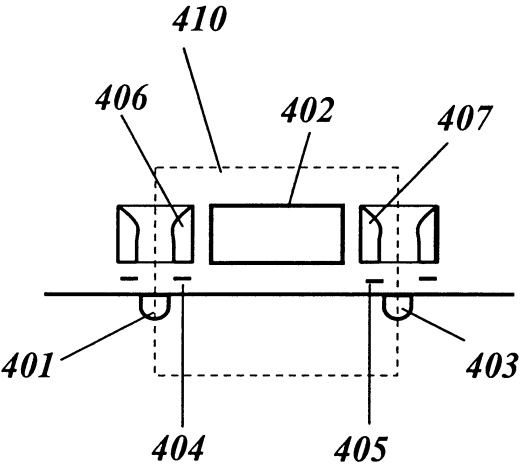
第2A圖 (習用技藝)



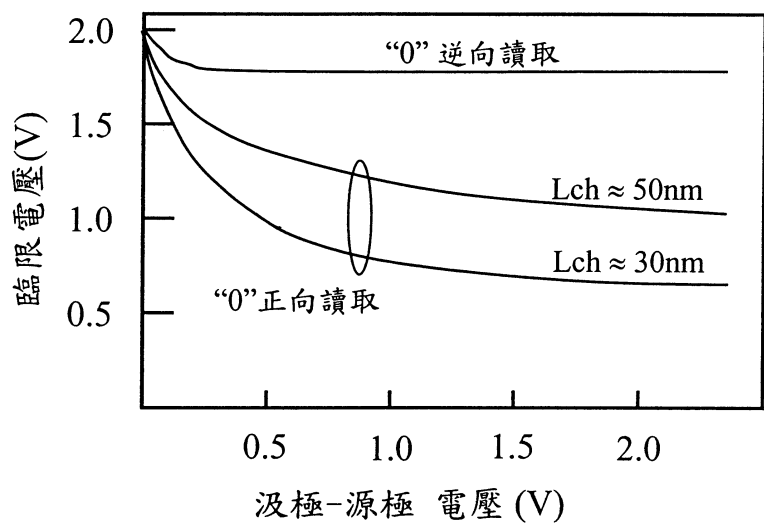
第2B圖(習用技藝)



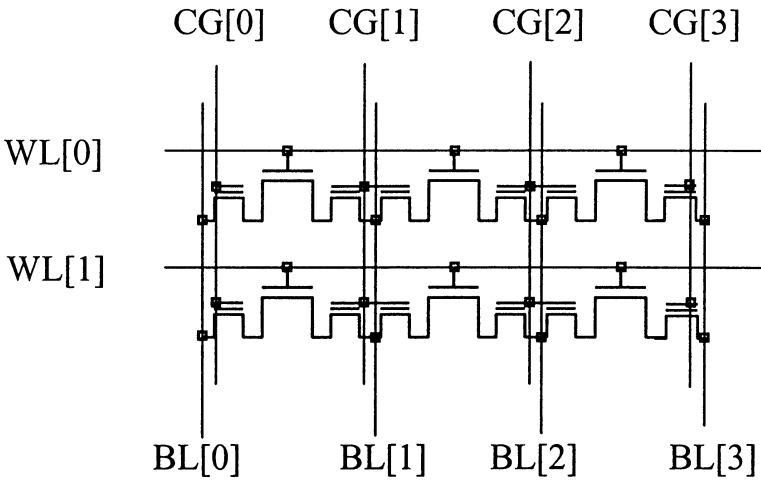
第 3圖(習用技藝)



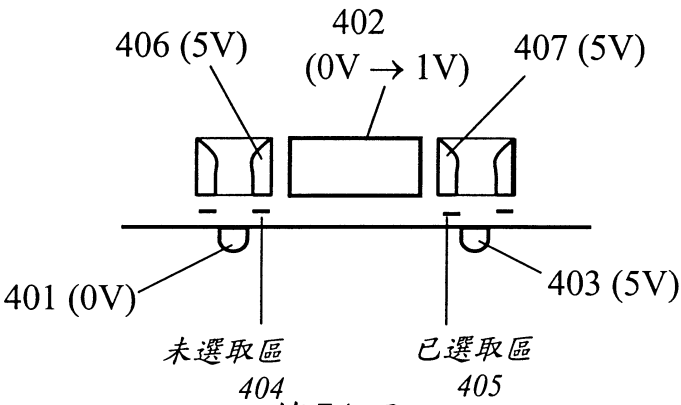
第4A圖(習用技藝)



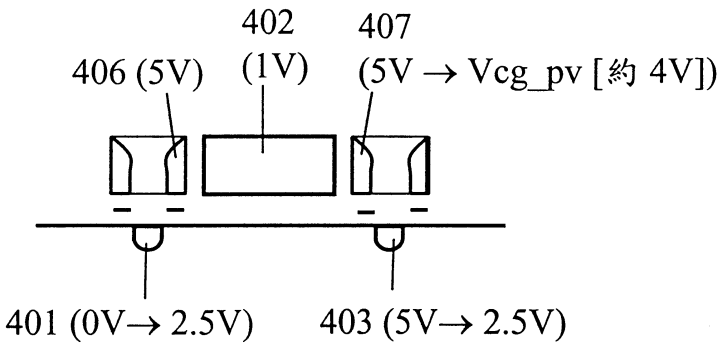
第4B圖(習用技藝)



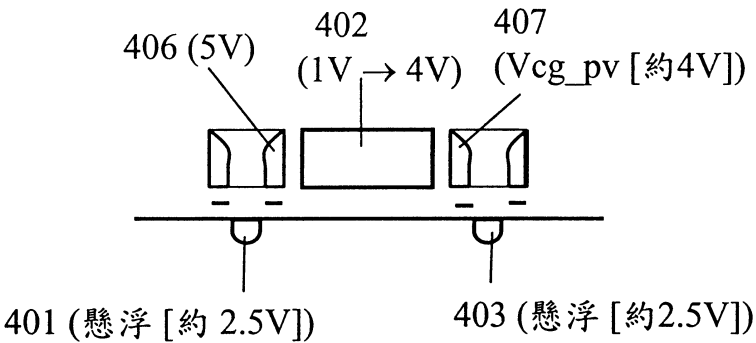
第4C圖(習用技藝)



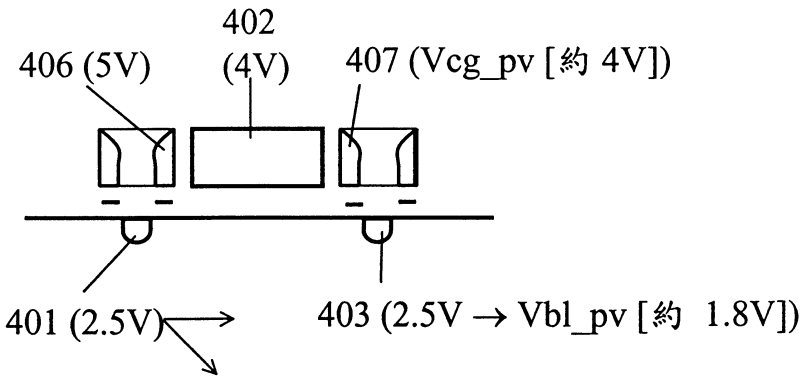
第5A圖



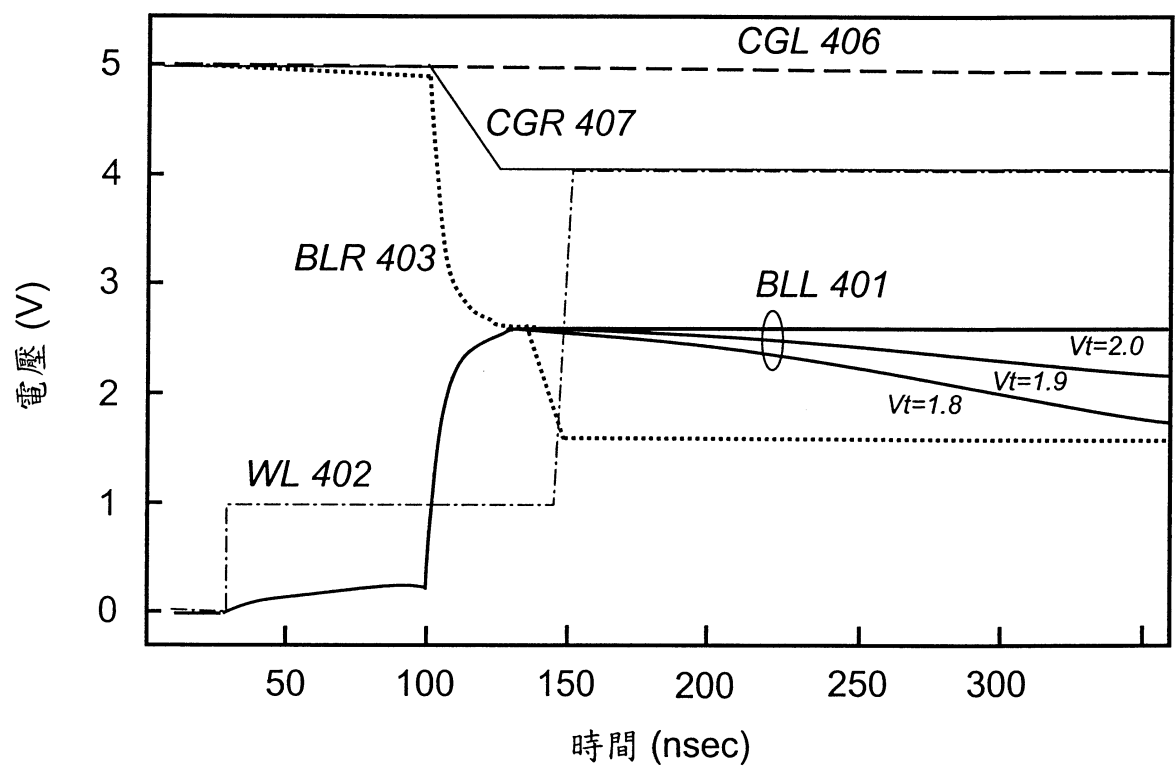
第5B圖



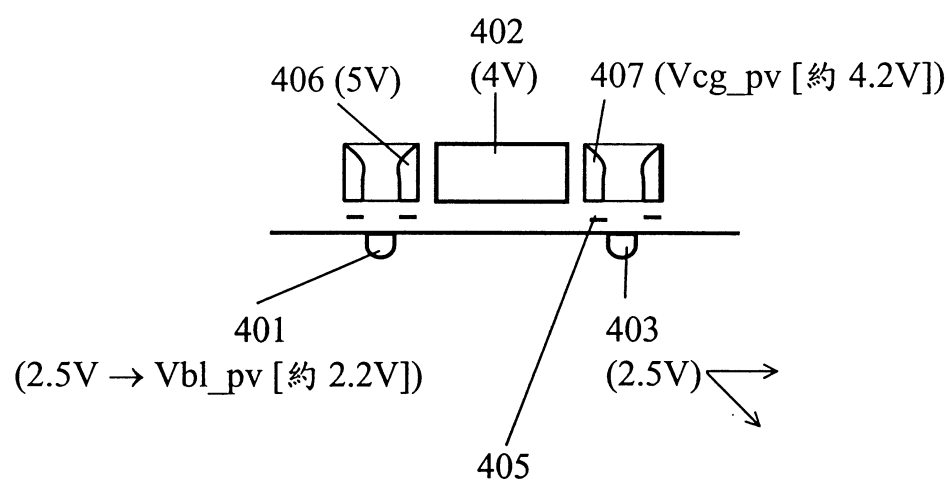
第5C圖



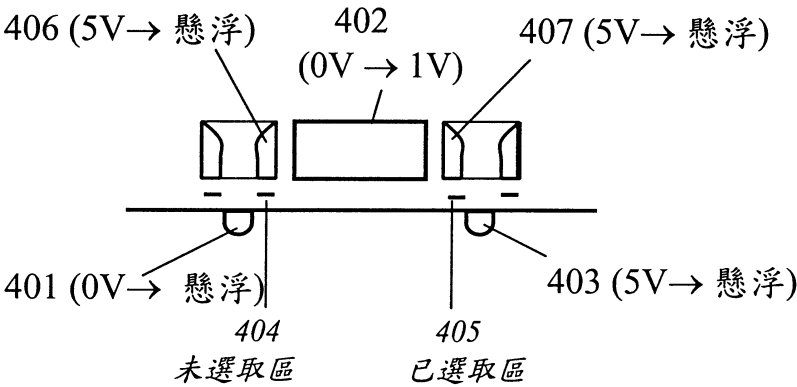
第5D圖



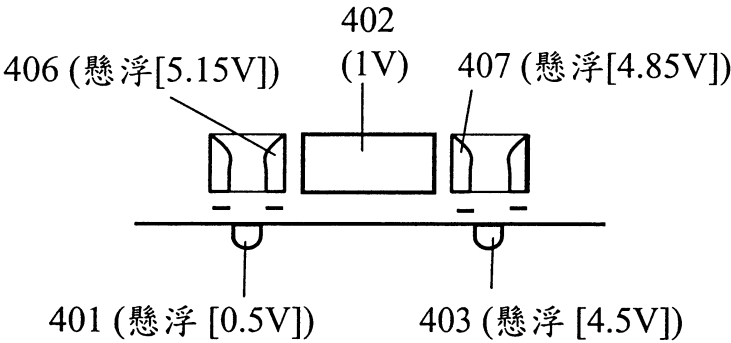
第6圖



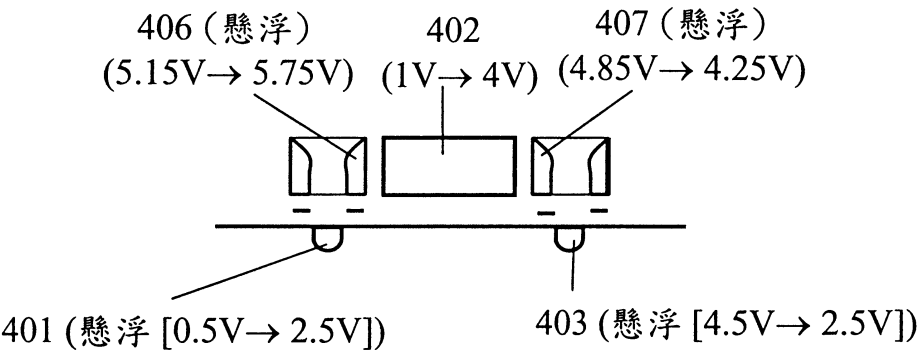
第7圖



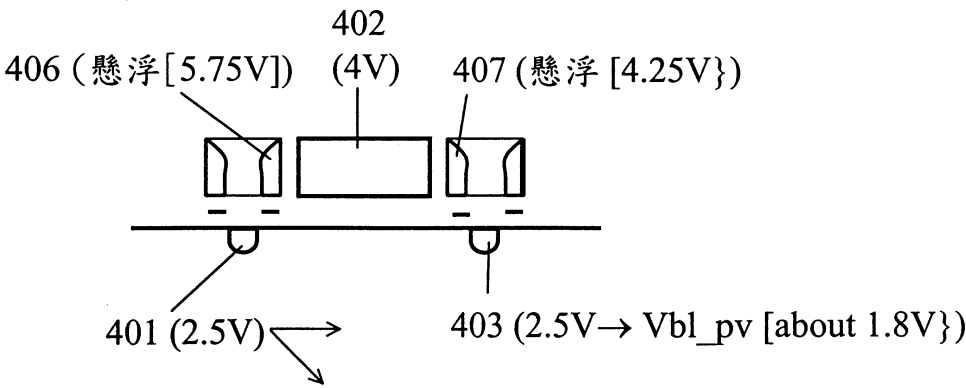
第8A圖



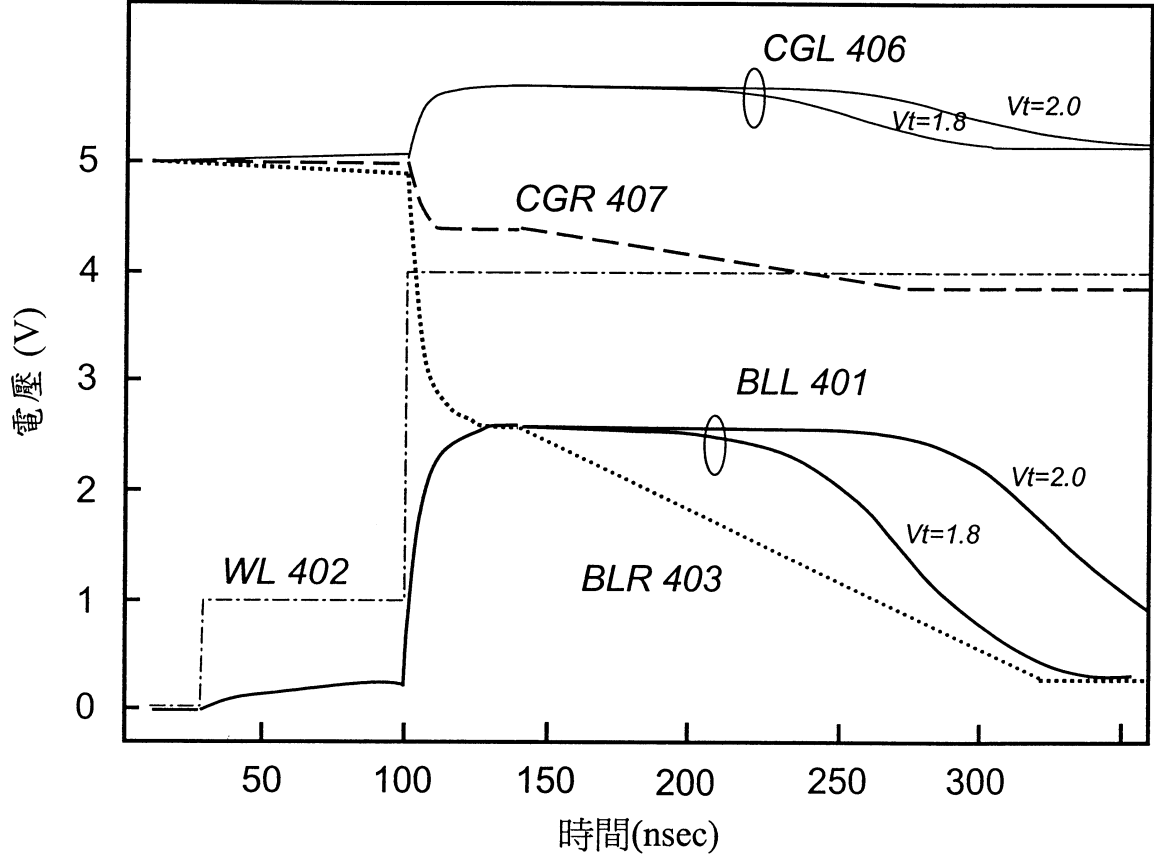
第8B圖



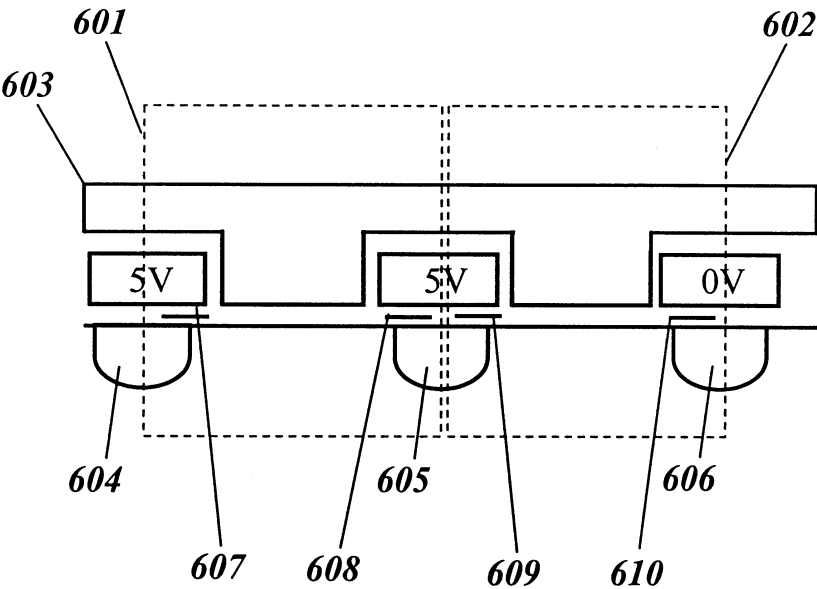
第8C圖



第8D圖



第9圖



第10圖

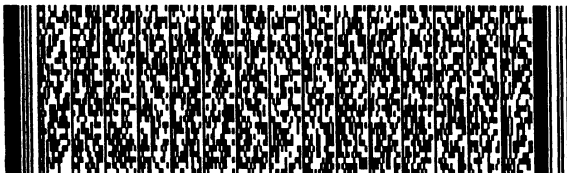
申請日期：90.12.14	IPC分類
申請案號：90131003	G11C16/10

(以上各欄由本局填註)

發明專利說明書

577082

一、 發明名稱	中 文	快速程式對程式驗證之方法
	英 文	Fast Program to Program Verify method
二、 發明人 (共2人)	姓 名 (中文)	1. 大倉世紀
	姓 名 (英文)	1. Seiki Ogura
	國 籍 (中英文)	1. 日本 JP
	住居所 (中 文)	1. 美國紐約州12590瓦賓柏鎮美亞角路169號第230室(169 Myers Corners Road, Suite 230, Wappingers Falls, NY 12590 U.S.A.)
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 美商·哈婁利公司
	名稱或 姓 名 (英文)	1. Halo LSI. Inc
	國 籍 (中英文)	1. 美國 US
	住居所 (營業所) (中 文)	1. 美國紐約州12590瓦賓柏鎮美亞角路169號2樓(169 Myers Corners Road, Floor 2, Wappingers Falls, N.Y. 12590, U.S.A.) (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 大倉世紀
	代表人 (英文)	1. Seiki Ogura



577082

年 月 日 修正

申請日期：

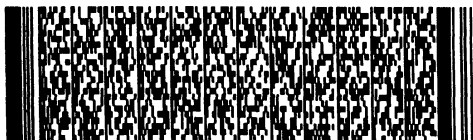
IPC分類

申請案號： 90131003

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 大倉智子
	姓 名 (英文)	2. Tomoko Ogura
	國 籍 (中英文)	2. 美國 US
	住居所 (中 文)	2. 美國紐約州12590瓦賓柏鎮美亞角路169號第230室(169 Myers Corners Road, Suite 230, Wappingers Falls, NY 12590 U.S.A.)
	住居所 (英 文)	2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2000/12/15

60/255,824

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

【發明背景】

(1) 發明領域

本發明係有關於一種半導體非揮發性記憶體，並且特別是有關於一種雙MONOS快閃記憶體的程式化與驗證程式化操作。

(2) 習用技藝之說明

在MONOS快閃記憶體元件中，資料是以電子的形式儲存在控制閘極下的氧化物/氮化物/氧化物(ONO)複合層的氮化物區中，在氮化物區中的電子存在會增加元件的臨限值，一個儲存有邏輯"1"的已清除單元在氮化物區中具有幾個或沒有儲存的電子，而一個儲存有邏輯"0"的已程式化單元則在氮化物區中具有固定範圍的電子。在習用的MONOS記憶體中，為了控制氮化物區中的電子數，程式的操作會因程式驗證循環而中斷，如第1圖係顯示習用具有程式驗證的程式操作之狀態示意圖，在第一個程式建立中，101開始啟動充電幫浦且建立程式操作所需的電壓；在程式脈衝步驟102期間，已選取的記憶體單元受到程式電壓；在一個一定時間之後，於程式驗證步驟103中，測試記憶體單元的臨限值；若記憶體單元的臨限值高於參考臨限值時，則記憶體單元視為已完成程式化，且程式完成104步驟；否則，若已選取記憶體單元並不足夠高時，則記憶體單元回到程式狀態102。

第2a圖提出一種習用程式的MONOS記憶體單元知電壓狀態案例，且第2b圖提出習用的程式驗證，記憶體單元係由一控制閘極202、一源極201與一汲極203所組成，電子



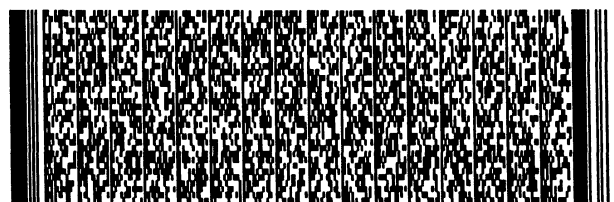
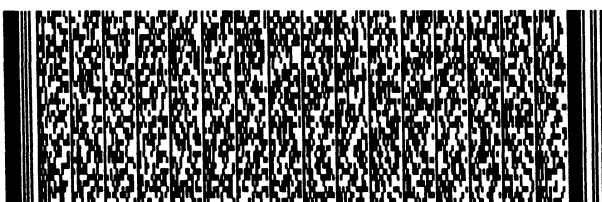
五、發明說明 (2)

係儲存於控制閘極202下的氮化物區204中，值得注意的是，其中所顯示的電壓僅供示意，實際的電壓依規格而有所不同，諸如程式速度、氧化物厚度、及記憶體單元的大小，由於通道熱電子(channel hot electron, CHE)射出程式，一個約10V的電壓施加於控制閘極202上，並且另一個約5V的高電壓施加於汲極203上且將源極201接地。

參閱第2b圖，驗證程式化與一個讀取操作極為相似，因為將會測量出有關於一參考電壓的擴散區，以決定記憶體的狀態，將控制閘極202偏壓成為約2V、將汲極201偏壓成為約1V、及將源極203偏壓成為0V。

每當有一個過渡區在程式對程式驗證程式狀態之間時，必須要交換源極及汲極，並將汲極203的電壓由5V降到0V，若需要執行另一個程式循環，則汲極203需再提升到5V，如此一來電荷的使用是很沒有效率的，因為需要額外的電流來提高與降低在程式對程式驗證循環之間的汲極電壓，當許多記憶體單元的汲極連接到單一高電容性位元線時，會增加在程式對程式驗證循環之間的過渡時間，此增加的過渡時間會增加而增加整個程式操作時間。

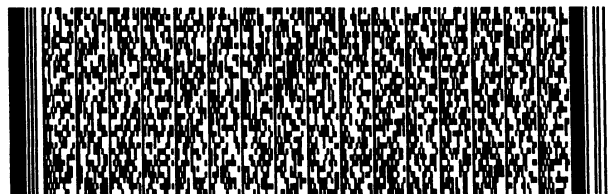
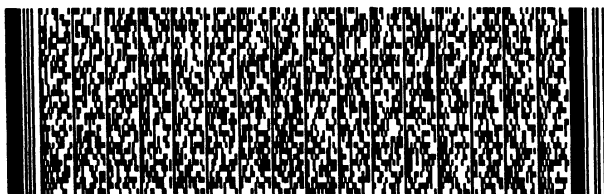
第3圖顯示描述於美國專利第6,011,725號(Eitan)的一個習用技藝雙儲存MONOS記憶體裝置(稱之為NR0M)，其中在一個記憶體單元中有兩個記憶體儲存區304及305，且指向一種稱為"逆向讀取"的讀取方法，於靠近已選取記憶體儲存區305的擴散區303，成為較低的電壓或源極，而相對於選取記憶體儲存區305的擴散區301，則成為較高的電壓或汲極，若是在高臨限"0"記憶體狀態中，為了要在基



五、發明說明 (3)

板中建立一個空乏區，汲極電壓高於源極電壓，且因此跨過可儲存在未被選取儲存記憶體儲存區中的電荷，這種NROM記憶體單元的種類只能在逆向讀取模式下操作，是由於在未被選取記憶體儲存區上需要一個較高的電壓以跨過未被選取記憶體通道，若該元件欲以正向的方向讀取，則較高汲極電壓將可跨過已選取記憶體儲存區，而該單元將一直會被感應到是在低 V_t "1"的記憶體狀態。

另一個習用技藝雙儲存MONOS元件係描述於在1999年10月25日申請的美國申請案號第09/426,692號，稱之為雙MONOS單元且顯示於第4a圖中，在此種類的記憶體單元中，除了有一字閘極402及兩個擴散區401與403，更包括有兩個額外的側壁多晶矽控制閘極結構406與407，和第3圖的控制閘極302不同的是，在第4a圖的字閘極402並沒有記憶體氮化物儲存區在其下，反而記憶體儲存區係置於側壁多晶矽控制閘極結構閘極406及407之下，如第4a圖所示，在兩相鄰記憶體單元之間的兩個側壁多晶矽控制閘極，係以電性連接的方式，以定義出一個等效的控制閘極，因為額外的控制閘極406及407提供另一個選擇，雙MONOS單元，而雙MONOS單元可容易地以逆向及正向的兩個方式被讀取，藉由增加控制閘極的電壓到最高可能臨限電壓上某些增量的電壓(V_{cg} override)，而可增加未選取氮化物區的通道底層。雖然雙MONOS單元可以雙向的方式讀取，由於較低的單元電流、較小的臨限邊界、及有限的電壓範圍，正向讀取的讀取效能較低。第4b圖係顯示汲極電壓對已選取氮化區的臨限之關係圖，且記憶體氮化物通道



五、發明說明 (4)

長度大於50nm及小於50nm，可發現到，在正向讀取期間，在較高汲極-源極電壓上的高 V_t 單元("0")會受到臨限下降，此種效應會因較短的通道長度而更明顯，因此在感應期間儘量維持汲極的電壓較低約0.3~0.5V，以在"1"與"0"單元間保持合理的臨限邊界。

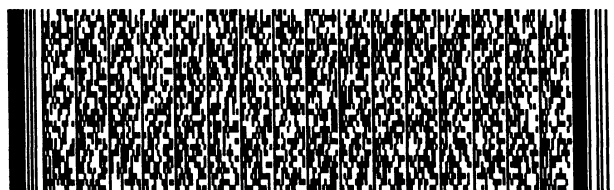
第4c圖為在擴散位元結構中的雙MONOS單元陣列之示意圖，每一個記憶體單元係由一字閘極、兩控制閘極半邊(half)、位於每個控制閘極半邊下的一氮化物儲存區及兩個擴散區半邊。在此陣列中，記憶體單元排列成行成列，其中字閘極以字線WL[0-1]水平地連接在一起，且位元擴散區係以位元線BL[0-3]垂直地連接在一起，且控制閘極係以控制線CG[0-3]垂直地連接在一起，控制線CG[0-3]及位元線BL[0-3]可從彼此的上方穿過，且具有一個約30%的耦合電容。

在高頻寬程式應用中，希望可平行對許多記憶體單元程式化，若許多位元線與控制線在程式對程式驗證循環之間需要被充電與放電，則充電幫浦與電壓調節器所需的電壓與電流將會很高，係影響功率與整體的程式化時間。尤其在多層儲存記憶體中，為了在臨限狀態之間具有較嚴格的控制，通常會提高程式對程式驗證循環的次數，因此此希望使在程式對程式驗證之間的電壓過渡降到最小。

【發明之目的】

本發明之一主要目的，係在於提供一種程式化雙儲存區MONOS記憶體單元之低功率方法。

本發明之另一目的，係在於提供一種雙儲存區MONOS



五、發明說明 (5)

記憶體單元的程式驗證方法。

本發明之又一目的，係在於提供在程式對程式驗證操作之間的有效轉換。

本發明之又一目的，係在於藉由降低擴散位元線的充電與放電，而使程式對程式驗證之間的過渡減到最小。

本發明之又一目的，係在於藉由降低控制閘極電壓的充電與放電，而使程式對程式驗證之間的過渡減到最小。

本發明之又一目的，係在於使程式對程式驗證所需的參考電壓數量減到最小。

本發明之又一目的，係在於使用正向讀取的程式驗證。

本發明之又一目的，係在於使用逆向讀取的程式驗證。

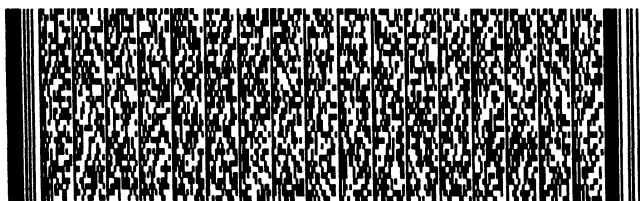
本發明之又一目的，係在控制閘極線及位元線之間使用電容耦合，係藉由使施加於控制閘極線及位元線的電壓減到最小，以獲致一個臨限電壓，。

本發明之又一目的，係在保護相鄰的單元免於受到程式干擾。

本發明之又一目的，係在於藉由連接一負載電晶體到源極擴散區，以控制程式單元電流。

本發明之又一目的，係在於維持達到相同程式對程式驗證的控制閘極電壓。

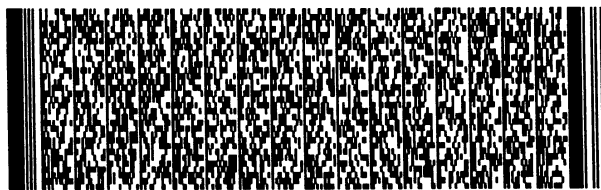
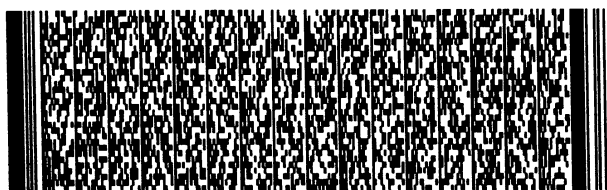
在本發明中，係描述一種製造雙MONOS記憶體元件的程式對程式驗證之間的快速切換方法，將被程式化的單元字閘極係偏壓成為一低電壓，以限制記憶體單元電流為數



五、發明說明 (6)

個微安培(μA)，汲極擴散區係偏壓成為一高電壓，且將源極擴散接地，汲極擴散區係在一個雙儲存區元件中靠近被程式化儲存區的擴散區，儲存區則是一位在控制閘極下方的氮化物區，在一個雙儲存區裝置中，有兩個控制閘極與兩個分開的氮化物區，未選取的控制閘極偏壓成為一個高電壓，以跨過位於未被選取控制閘極下的記憶體儲存區之最高可能臨限電壓，已選取控制閘極係為位於儲存區上方、欲被程式化的控制閘極，且為了讓電子噴射到氮化物儲存區而偏壓成為一個高電壓，源極擴散區連接到一個負載元件，以限制及控制單元電流，且單元電流係以一個低字閘極電壓而被控制。為了控制相鄰單元的程式干擾，相鄰單元的未選取擴散區電壓會稍微地提高，提高未選取相鄰擴散區的電壓會降低閘極到源極的電壓，同時會增加相鄰儲存區的臨限電壓，且保護單元免於到程式干擾。

為了要程式化本發明的一記憶體單元，需要一個程式驗證操作，以決定要被程式化的單元是否已達到一個足夠的程式化電壓，為了達此目的，最少有一個來回從程式操作到一程式驗證操作的轉換器，在一個單元的程式化期間，在操作之間可有數個轉換器，若包含兩個操作的電壓大致上不相同時，會有相當多的多種連接線充電及放電，其中係會導致如此將形成時間延遲。為了使在兩次操作之間的時間延遲減到最小，在兩者程式對程式驗證期間，位元線電壓及控制閘極電壓將會調整成為盡可能一樣多。另外，一個程式對程式驗證的變化使用一個"正向讀取"的方向，係將較低電壓施加於相對已選取氮化物儲存區的擴散

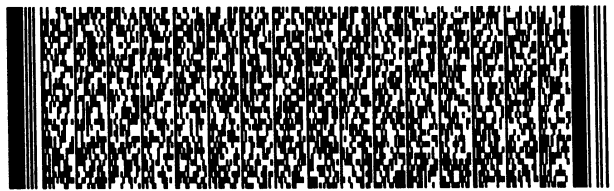
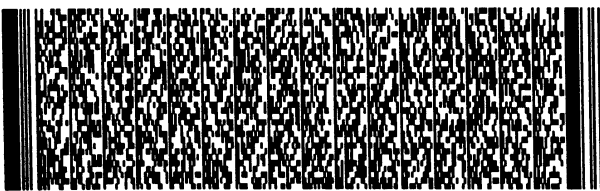


五、發明說明 (7)

區上，"正向讀取"操作將提供最小的位元線及控制閘極的充電及放電，當在氮化物區下的通道長度係為長的及臨限電壓下降量較小時(如第4b圖所示)，此種正向讀取方法是最有效的，其中臨限電壓下降量是汲極-源極電壓的函數。

為了要在一雙MONOS記憶體單元中程式驗證一已選取氮化物區，將源極及汲極位元線調整相等成為一個電壓，該電壓在程式化期間係為一半的高汲極電壓，同時，稍微降低已選取的控制閘極電壓，然後將字線升高成為一個較高電壓，以提供實施字閘極通道，最後，將兩位元線其中一個降至一個較低的電壓，一個感測放大器連接到位元線監測器，另一個位元線則相對於一參考電壓；若該目標氮化物區已充分的被程式化，則將保持該電壓，否則將會再下降，可藉由選擇下降兩位元線或連接到感測放大器，而使驗證可以正向及逆向兩種方式進行。

本發明亦提到另一個程式方法，其中藉由利用BL的電容而進行程式，由於雙MONOS記憶體的通道熱電子(CHE)程式高噴射效率，藉由利用儲存於高電壓汲極端元線電容上的電荷，可在一短時間內有效率的完成程式化，為了增加臨限電壓範圍，藉由利用BL的電容及位元線與控制閘極線之間耦合電容，而進行驗證程式化。首先，適當的電壓施加於控制閘極線及位元線用以程式化，然後將控制閘極線及位元線懸浮，且將字線將提升到一個較低的電壓以限制程式電流，當開啟字線時，則打開在源極與汲極之間的通道，以至於電流將會在兩位元線之間的流動。然而，



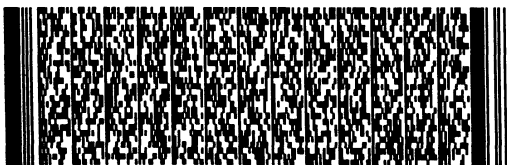
五、發明說明 (8)

字線的低電壓亦限制源極位元線的電壓，當汲極端位元線的電壓下降超過某一個點時，則停止電子噴射。為了要程式化驗證，字線將提升到一個高電壓，以將兩位元線調整相等於一個中等電壓。之後，最靠近已選取氮化物區的位元線將下降到一個較低的電壓，驗證操作的臨限值係由已選取端的控制閘極電壓減去較低位元線電壓而決定之，相對位元線的電壓可監測出來，以決定已選取氮化物區是否已充分的被程式化，以致維持位元線電壓，乃不至於下降。

描述於本發明中的程式對程式驗證的結果，亦可應用在單一氮化物區中多臨限層次儲存的高程式頻寬上。

【圖號對照說明】

- 201 源極
- 202 控制閘極
- 203 汲極
- 204 氮化物區
- 301 擴散區
- 302 控制閘極
- 303 擴散區
- 304 記憶體儲存區
- 305 已選取記憶體儲存區
- 401 左側擴散區
- 402 字閘極
- 403 右擴散區
- 404 氮化物儲存區

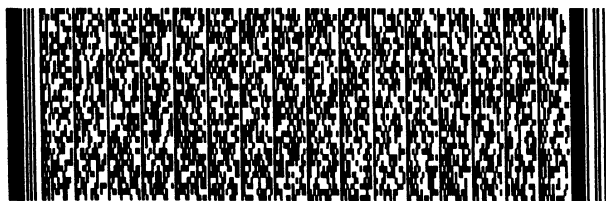


五、發明說明 (9)

405 氮化物儲存區
406 控制閘極
407 控制閘極
410 記憶體單元
BLL 401 左位元線
WL 402 字閘極
BLR 403 右位元線
CGL 406 左控制閘極
CGL 407 右控制閘極
503 字閘極
601 左記憶體單元
602 右記憶體單元
605 高電壓擴散區
606 未被選取相鄰擴散區
607 右記憶體儲存區
608 已選取記憶體儲存區
609 記憶體儲存區
610 右記憶體儲存區

【較佳實施例之說明】

根據第4a圖中的記憶體單元結構，第5a圖至第5d圖顯示1999年10月25日申請的美國專利申請案號第09/426,692號，係有關於雙MONOS記憶體單元的程式化與驗證的情形，記憶體單元410係由一個字閘極402、一左擴散區401、一右擴散區403、兩控制閘極406及407、及兩氮化物儲存區404及405所組成，左氮化物儲存區404係位於左控



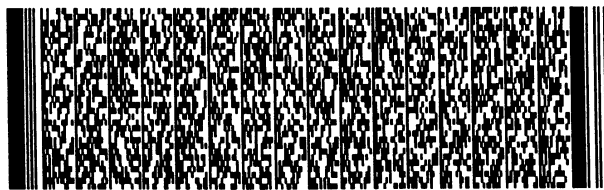
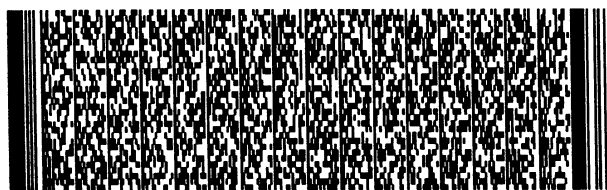
五、發明說明 (10)

制閘極406的下方、左擴散區401的上方，並靠近字閘極402，而右氮化物儲存區405係位於右控制閘極407的下方、右擴散區403的上方，且靠近字閘極402。

值得注意的是，所顯示的程式化狀態係明顯低於習用之MONOS元件程式電壓，此電壓的差異係由於雙MONOS元件中的加強電子注入裝置的關係，然而，亦值得注意的是，所顯示的電壓僅為近似值，實際的電壓需由製程及產品規格參數而決定，諸如臨限變化、氧化物及ONO的厚度、摻雜分布、及程式及清除時間規格。假設在一個"0"狀態下的臨限值為 $V_{th} > 2.0V$ ，在"1"狀態下的臨限值約為0.5V、且字閘極503的臨限值為0.5V。

根據第4a圖的記憶體剖面圖，第5a圖係顯示當選取右氮化物儲存區的本發明電壓狀態，為了要程式化右氮化物儲存區405程式化，一個約5V汲極到源極電壓施加供通過記憶體單元，為了CHE注入，最靠近已選取儲存區的擴散區403成為汲極，在兩擴散區401與403之中，右擴散區403具有約5V的最高汲極電極，而左擴散區401則成為約0V的源極，一個約1V的低字閘極電壓限制程式單元電流，左控制閘極406係偏壓成為一個約5V的高電壓，以跨過一個在未選取記憶體儲存區404的可能臨限狀態，若目標程式臨限值約為2.0V時雖然一個程式操作仍可能為一個3V的較低左控制閘極電壓，選擇與使用於程式驗證期間的跨過電壓相同的5V較高電壓，以減少在程式對程式驗證模式之間的過渡時間，右控制閘極407偏壓成為5V。

第5b圖係提供在程式對程式驗證模式之間的轉換期間



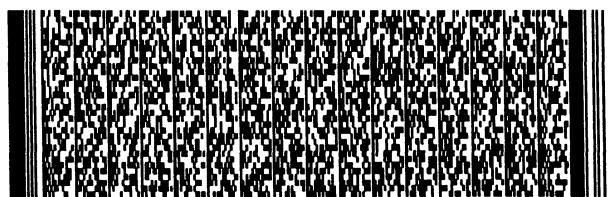
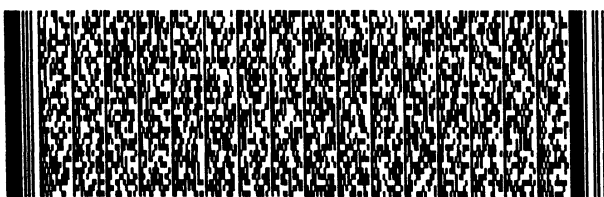
五、發明說明 (11)

的電壓狀態，當程式對程式驗證模式間切換時，高控制閘極電壓無需放電成為一個正常讀取操作的低電壓，係可節省充電幫浦極模式切換時間。反而，控制閘極406保持在5V附近，使源極擴散區401及汲極擴散區403相等於2.5V，其係為用於程式化時高汲極電壓的一半，同時當考慮基板效應時，右控制閘極407的電壓改變成為 V_{cg_pv} ，當目標臨限為2V時其 V_{cg_pv} 約為4V。當左及右擴散區401及403的電壓已設定為2.5V時，則懸浮兩擴散區，如第5圖所示。為了要使2.5V的擴散電壓容易通過，字閘極402然後升高到約4V的高電壓，此亦可能同時將字線偏壓調整與要偏壓的位元線相等。程式驗證結果的最後步驟係顯示於第5d圖，右擴散區403的電壓下降到 V_{bl_pv} ，係可約為1.8V且監測左擴散區401的電壓。若右氮化物區405的臨限值高於目標2.0V，則左擴散區401的電壓將會維持在2.5V，否則，若臨限值低於2.0V，則左擴散區401的電壓將會下降，因為較低的兩擴散區電壓係跟已選取氮化區一樣的相同側，所以讀取方向係為逆向讀取。目標程式化的臨限電壓係由 V_{cg_pv} 及 V_{bl_pv} 的電壓所決定的，其中

$$V_{target_threshold} = V_{cg_pv} - V_{bl_p}$$

而考量到非零的源極-基板電壓會使基板效應成份影響到V目標-臨限值。

第6圖係為描述於第5a圖到第5d圖中第一個實施例的程式驗證的模擬結果，其顯示左控制閘極CGL406、右控制閘極CGL407、字閘極WL402、左位元線BLL401及右位元線BLR403的電壓曲線對時間之關係圖，圖中顯示左位元線BLL401的臨限電壓之效應。

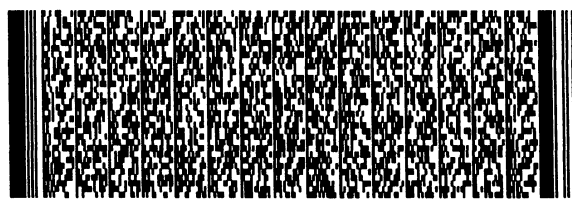


五、發明說明 (12)

在本發明的第二個實施例中，程式驗證可以正向讀取的方向進行，顯示於第5a圖到第5c圖的程式與驗證結果係為相同的，然而，在最後一個步驟中，第7圖的電壓狀態會由第5d圖的電壓所取代，在正向讀取中，與逆向讀取期間相較之下可交換源極及汲極擴散區。離已選取氮化物區405最遠的左擴散區401電壓下降到 $-V_{b1_pv}$ 的電壓，監測靠近已選取氮化物區405的右擴散區403電壓，以決定臨限值，若已選取氮化物區405的臨限值高於2.0V，則將保持右擴散區403的電壓。在正向讀取中，臨限電壓下降的值是汲極-源極電壓的函數，因此將汲極到源極電壓維持在0.3至0.5V是很重要的，為了要驗證-2.0V的目標閾值， V_{cg_pv} 應該為2.0V而大於 V_{b1_pv} (加上一些額外基板效應的電壓加以計算)。

在本發明的第三個實施例中，程式的過程係顯示於第8a圖至第8b圖中，且程式驗證結果係顯示於第8c圖至第8d圖中。

第8a圖係提供為了要程式化第4a圖雙MONOS記憶體單元的右氮化區405之電壓狀態，左控制閘極406係偏壓成為一個約為5V的跨越電壓，右控制閘極407係偏壓成為一個約5V的已選取程式電壓，將左擴散區401接地，且右擴散區403提高成為一個約5V的高汲極電壓，在位元線及控制閘極線分別連接到擴散區401與403、及已選取記憶體單元的控制閘極406及407已設定為其適當的電壓之後，它們與其電壓供應分離且為懸浮的，當電子開始由源極位元線移動到汲極位元線時，連接到字閘極402的字線然後升高且



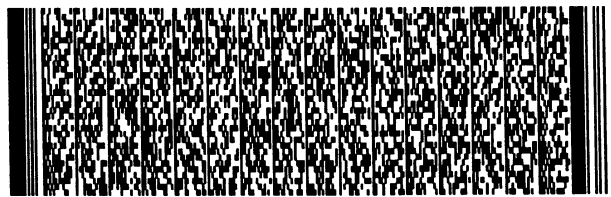
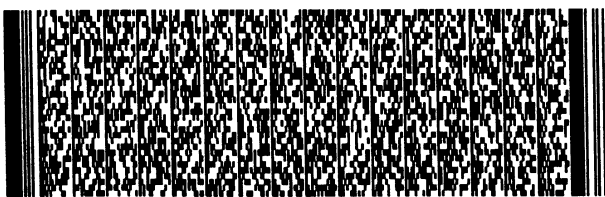
五、發明說明 (13)

開始程式化，本發明雙MONOS單元的高CHE注入效能，使用儲存於高汲極電壓位元線的能量，而提供有效的程式化，而無須實際源極及汲極的偏壓DC，字線電壓亦會限制位元線均等的範圍，因為源極位元線將不會提高超過字線電壓減去字閘極的臨限電壓，其約為0.5V。因此，在源極位元線提高到0.5V、及汲極位元線降至4.5V之後，電荷將不再在兩位元線之間移動，且CHE注入將會停止，位元線電壓的變化亦會影響到兩懸浮控制閘極線的電壓，若我們假設位元線到控制閘極線的耦合率為30%，則一個0.5V位元線電壓變化將導致 $0.15 \times 3 = 0.15V$ 控制閘極線電壓變化，在停止程式化之後位元線及控制閘極電壓顯示於第8b圖。

在第8c圖中，為了要使左及右位元線至-2.5V均等到一個約為2.5V的中等電壓，字閘極402電壓提高到一個約4V的較高電壓，且然後懸浮，同時，位元線會合到2.5V，諸如左控制閘極406的電容耦合的控制閘極電壓提升到5.75V，且右控制閘極407下降到4.25V，此右控制閘極407的電壓等於本發明的第一個實施例中的 V_{cg_pv} 。

如第8d圖所示，當右擴散區403的電壓下降到 V_{bl_pv} 時，然後此可能決定已選取氮化區是否高於目標臨限電壓 $V_{target_threshold}$ (其中 $V_{target_threshold} = V_{cg_pv} - V_{bl_pv}$)，係藉由監測位元線連接到左擴散區404，若維持一定的電壓或保持高於某一電壓，則程式化就足夠了，否則左擴散區404的電壓將會下降。

第三個實施例較第一個實施例好的優點是， V_{cg_pv} 無須外加於記憶體單元上，反而，其可藉由獨特的時間序列



五、發明說明 (14)

及利用在位元線及控制閘極線之間的電容耦合而獲致。

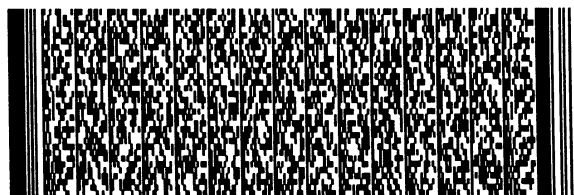
第9圖係顯示第8a圖至第8d圖中第三個實施例的程式驗證結果的模擬結果，其顯示左控制閘極CGL406、右控制閘極CGR407、字閘極WL402、左位元線BLL401及右位元線BLR403的電壓曲線對時間之關係圖，圖中顯示左位元線BLL401及左控制閘極406的臨限電壓之效應。

本發明的第一個與第三個實施例可應用於在單一氮化物區內中多臨限層儲存之高程式頻寬應用上，藉由應用 $V_{\text{target_threshold}} - V_{\text{cg_pv}} - V_{\text{bl_pv}}$ 的公式，可嚴格的控制想要的臨限值(注意：亦需要考慮到由於源極-基板偏壓的基板效應)，根據第6圖與第9圖的模擬資料，小於0.1V的臨限電壓增量可藉由設定 $V_{\text{cg_pv}}$ 、 $V_{\text{bl_pv}}$ 或兩者而決定。

在第一個、第二個及第三個實施例中，程式驗證序列期間，亦可能使用另一個電晶體而均等位元線，其電晶體可連接於左及右位元線之間，在任何時間的均等相及去活化期間，此電晶體的閘極可被激活。

在第一個、第二個及第三個實施例中，藉由設定 $V_{\text{cg_pv}} - V_{\text{bl_pv}} > V_{\text{target_threshold}}$ ，而可縮短程式驗證時間，未被充分程式化的位元線及被充分程式化的位元線電壓兩者將會下降，然而，藉把位元線電壓比作參考電壓或參考單元，有可能區分這兩種情況。若在一個已知的時間間隔內位元線下降仍保持高於參考電壓，則該單元即已充分的被程式化。

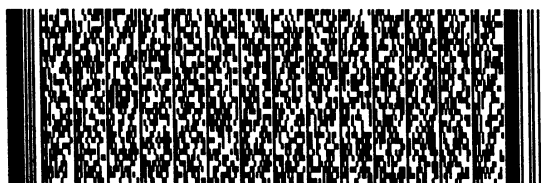
在本發明的另一個實施例中，在程式化期間，藉由稍



五、發明說明 (15)

微提高相對擴散區之電壓，而可保護相鄰單元以免受到程式干擾，第10圖係顯示兩相鄰記憶體單元601及602之剖面圖，當左單元601的右已選取記憶體儲存區608要被程式化時，在相鄰單元602中的相鄰記憶體儲存區609(共享相同高電壓控制閘極及高電壓擴散區605)，將會處於程式干擾的危險之中。若在右側單元儲存區602中的相對右記憶體儲存區610具有一個負的臨限值，則該相鄰右單元602可能會傳導電流，因此，程式化未被選取相鄰單元的記憶體儲存區609。為了保護未被選取相鄰記憶體單元存儲區609免於受到程式干擾，該未被選取相鄰擴散區606係偏壓成為一個約1V的略高電壓，提高未被選取相鄰擴散區606的電壓可有效增加記憶體儲存區610的臨限值，並提升該單元的源極電壓，而很重要的是此不會太高的擴散區電壓或程式干擾會傳導到相鄰單元601。在本發明的另一個實施例中，在程式化期間時，藉由連接一電流負載電晶體到左源極擴散區401，將可控制記憶體的電流。

雖然本發明已被特別地表示，並參考其較佳實施例做說明，惟各種形式上及細節的改變於不背離本發明之精神與範疇下為之，係為熟習本技藝之人士所能瞭解的。



圖式簡單說明

本發明將由下列配合附圖而被描述，其中：

第1圖 係為一種用於程式對程式驗證一非揮發記憶體單元之習用技藝方法。

第2a圖 係為習用技藝一MONOS單元之示意圖，係顯示程式化的電壓。

第2b圖 係為習用技藝一MONOS單元之示意圖，係顯示程式驗證的電壓。

第3圖 係為習用技藝雙儲存MONOS單元的示意圖。

第4a圖 係為習用技藝具有雙控制閘極的雙儲存MONOS單元之示意圖。

第4b圖 係為習用技藝具有雙控制閘極的雙儲存MONOS單元的臨限電壓及汲極-源極電壓之間的關係圖表。

第4c圖 係為習用技藝具有雙控制閘極的雙儲存MONOS單元的一陣列之示意圖。

第5a圖 係為本發明之一雙儲存MONOS單元之示意圖，係顯示第一個實施例程式操作的電壓。

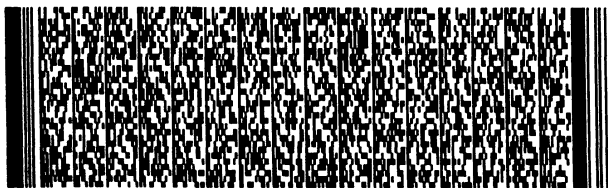
第5b圖到第5d圖係為本發明之一雙儲存MONOS單元之示意圖，係顯示第一個實施例程式驗證操作的電壓。

第6圖 係為第一個實施例程式對程式驗證方法的模擬結果示意圖。

第7圖 係為本發明之雙儲存MONOS單元之示意圖，係顯示第二個實施例程式驗證操作的電壓。

第8a圖到第8b圖係為本發明之一雙儲存MONOS單元之示意圖，係顯示第三個實施例程式操作的電壓。

第8c圖到第8d圖係為本發明之一雙儲存MONOS單元之示意

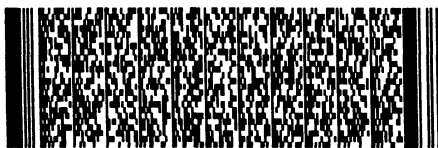


圖式簡單說明

圖，係顯示第三個實施例程式驗證操作的電壓。

第9圖 係為第三個實施例程式對程式驗證方法的模擬結果示意圖。

第10圖 係為本發明之兩相鄰雙儲存MONOS單元的示意圖。



四、中文發明摘要 (發明名稱：快速程式對程式驗證之方法)

在本發明中，係描述一種程式對程式驗證之新穎方法，係轉換記憶體單元的臨限電壓，且然後以最小位元線及控制閘極線的充電及放電測量臨限電壓，位元線到控制閘極線的電容亦可使用於降低所需的電壓參考數，藉由使用一負載元件耦合到源極擴散區，而降低程式化電流，此結果係為增加程式頻寬，及降低高電壓充電泵浦電流消耗，以增加程式化。

六、英文發明摘要 (發明名稱：Fast Program to Program Verify method)

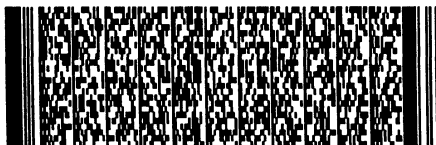
In the present invention a new method for program and program verify is described. The threshold voltage of the memory cell is shifted up and then measured with minimal charging and discharging of the bit lines and control gate lines. Bit line to control gate line capacitance is also used to reduce the number of voltage references needed. Program current is reduced by



四、中文發明摘要 (發明名稱：快速程式對程式驗證之方法)

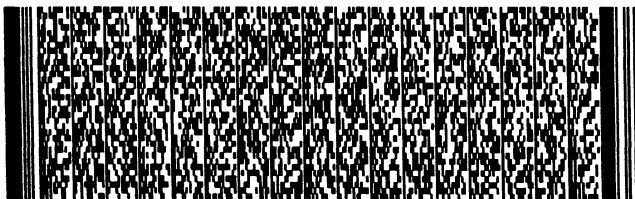
六、英文發明摘要 (發明名稱：Fast Program to Program Verify method)

use of a load device coupled to the source diffusion. The result is increased program bandwidth with lower high voltage charge pump current consumption.



六、申請專利範圍

1. 一種程式化一雙儲存區MONOS記憶體單元之方法，係包括有：
 - a) 將一汲極擴散區偏壓成為一第一高電壓；
 - b) 將一源極擴散區偏壓接地；
 - c) 將一未被選取控制閘極偏壓成為一第二高電壓；
 - d) 將一已選取控制閘極偏壓成為一第三高電壓；及
 - e) 將一字閘極偏壓成為一低電壓。
2. 如申請專利範圍第1項所述之方法，其中該源極擴散區連接到一負載元件以限制電流。
3. 如申請專利範圍第1項所述之方法，其中將該字閘極偏壓成為一低電壓，係限制記憶體單元電流。
4. 如申請專利範圍第3項所述之方法，其中將該字閘極偏壓成為一低電壓，係限制記憶體單元的電流在小於數個微安培。
5. 如申請專利範圍第1項所述之方法，其中將該未被選取的控制閘極偏壓成為該第二高電壓，係跨過一個位於該未被選取控制閘極下的一記憶體儲存區之最高可能臨限值。
6. 如申請專利範圍第1項所述之方法，其中將該已選取的控制閘極偏壓成為該第三高電壓，係促進電子噴射到位於該已選取控制閘極下的記憶體儲存區。
7. 如申請專利範圍第1項所述之方法，其中將該汲極擴散區偏壓成為第一高電壓及將該已選取的控制閘極偏壓成為一第三高電壓，會造成一相鄰單元的干擾狀態



六、申請專利範圍

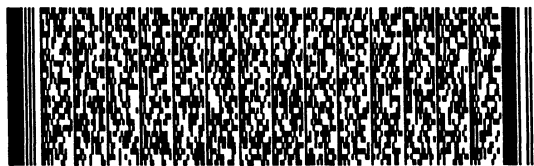
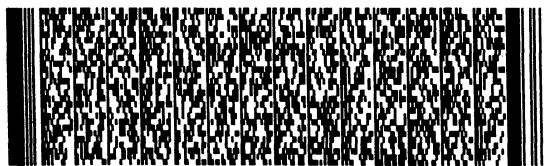
，其係可藉由一個電壓到該相鄰單元的未被選取擴散區上，以抑制相鄰單元。

8．一種使用一逆向讀取操作以程式驗證一雙儲存區 MONOS 記憶體單元之方法，係包括有：

- a) 保持一第一電壓，係耦合到一位在一 MONOS 記憶體單元的未選取儲存區上的第一控制閘極，該第一電壓與係程式操作的電壓相同；
- b) 降低一第二電壓，係耦合到一位在該記憶體單元的一已選取儲存區上的第二控制閘極，該第二電壓係為一個小於使用於該程式干擾的值；
- c) 分離且懸浮該記憶體單元的一汲極擴散區及一源極擴散區；
- d) 使該記憶體單元的該汲極擴散區電壓及該源極擴散區電壓均等；
- e) 將該記憶體單元的一字閘極電壓偏壓成為一個比用於該程式操作高的第三電壓；然後
- f) 降低該汲極擴散區電壓到一個低於該汲極及源極相等電壓的值；及
- g) 把該汲極擴散區電壓作為一個參考電壓。

9．如申請專利範圍第 8 項所述之方法，其中完成降低該汲極擴散區電壓到一第一預設值，其中當該已選取儲存區的臨限電壓高於一第二預設值時，可讓該源極擴散區電壓保持不變。

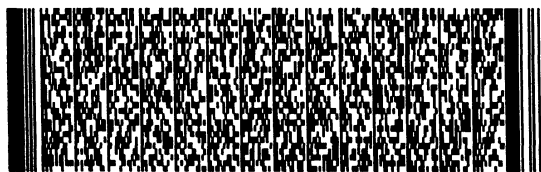
10．如申請專利範圍第 8 項所述之方法，其中完成降低



六、申請專利範圍

該汲極擴散區電壓到一第一預定值，其中當該已選取儲存區的臨限電壓高於一第二預設值時，可讓源極擴散區電壓緩慢地下降。

- 1 1 . 如申請專利範圍第 8 項所述之方法，其中懸浮該汲極及源極擴散區，係提供一個在該汲極及源極擴散區之間的電荷轉移，直到達到一個均衡狀態。
- 1 2 . 如申請專利範圍第 8 項所述之方法，其中均等該源極及汲極係以一分離均衡電晶體而完成。
- 1 3 . 如申請專利範圍第 8 項所述之方法，其中源極及汲極的均衡發生於字線提升到該第三高電壓時。
- 1 4 . 如申請專利範圍第 8 項所述之方法，其中均等該汲極及該源極擴散電壓會導致一個均等電壓，係為在該程式操作期間該汲極擴散電壓的一半。
- 1 5 . 如申請專利範圍第 8 項所述之方法，其中把該源極擴散區電壓作為該參考電壓係以一感測放大器而完成，且在一個固定時間間隔內，當該源極電壓不會下降低於該參考電壓，以決定程式化該已選取儲存區。
- 1 6 . 如申請專利範圍第 8 項所述之方法，其中把該源極擴散區電壓作為該參考電壓係為一個使用一感測放大器的逆向讀取操作。
- 1 7 . 一種使用一正向讀取操作以程式驗證一雙儲存區 MONOS 記憶體單元之方法，係包括有：
 - a) 保持一第一電壓，係耦合到一位在一 MONOS 記憶體



六、申請專利範圍

單元的未選取儲存區上的第一控制閘極，該第一電壓與係程式操作的電壓相同；

- b) 降低一第二電壓，係耦合到一位在該記憶體單元的一已選取儲存區上的第二控制閘極，該第二電壓係為一個小於使用於該程式干擾的值；
- c) 分離且懸浮該記憶體單元的一汲極擴散區及一源極擴散區；然後
- d) 使該記憶體單元的該汲極擴散區電壓及該源極擴散區電壓均等；
- e) 將該記憶體單元的一字閘極電壓偏壓成為一個比用於該程式操作高的第三電壓；然後
- f) 降低該汲極擴散區電壓到一個低於該汲極及源極相等電壓的值；及
- g) 把該源極擴散區電壓作為一個參考電壓。

18．如申請專利範圍第17項所述之方法，其中完成降低該汲極擴散區電壓到一第一預設值，其中當該已選取儲存區的臨限電壓高於一第二預設值時，可讓該源極擴散區電壓保持不變。

19．如申請專利範圍第17項所述之方法，其中懸浮該汲極及源極擴散區，係提供一個在該汲極及源極擴散區之間的電荷轉移，直到達到一個均衡狀態。

20．如申請專利範圍第17項所述之方法，其中均等該源極及汲極係以一分離均衡電晶體而完成。

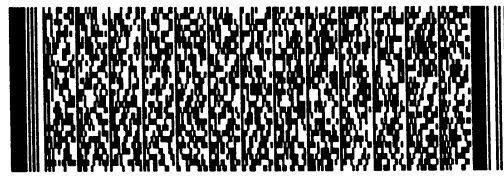
21．如申請專利範圍第17項所述之方法，其中源極及



六、申請專利範圍

汲極的均衡發生於字線提升到該第三高電壓時。

- 2 2 . 如申請專利範圍第 1 7 項所述之方法，其中均等該汲極及該源極擴散電壓會導致一個均等電壓，係為在該程式操作期間該汲極擴散電壓的一半。
- 2 3 . 如申請專利範圍第 1 7 項所述之方法，其中把該源極擴散區電壓作為該參考電壓係以一感測放大器而完成，且在一個固定時間間隔內，當該源極電壓不會下降低於該參考電壓，以決定程式化該已選取儲存區。
- 2 4 . 如申請專利範圍第 1 7 項所述之方法，其中把該汲極擴散區電壓作為該參考電壓係為一個使用一感測放大器的正向讀取操作。
- 2 5 . 一種在CHE程式化期間使用位元線電容提供電荷以程式化一雙儲存區MONOS記憶體單元之方法，係包括有：
- a) 將一第一控制閘極偏壓成為一第一高電壓，該第一高電壓係位於一MONOS記憶體單元的未被選取儲存區上；
 - b) 將一第二控制閘極偏壓成為一第二高電壓，該第二高電壓係為於該MONOS記憶體單元的已選取儲存區上；
 - c) 將位於該第一控制閘極下的一第一擴散區偏壓成為 0V；
 - d) 將位於該第二控制閘極下的一第二擴散區偏壓成為



六、申請專利範圍

一 第三高電壓；

e) 將該記憶體單元的一字閘極偏壓成為0V；

f) 懸浮該第一及第二控制閘極及該第一及第二擴散區；然後

g) 提高該字閘極電壓成為一預設值；然後

h) 以在該第一及第二擴散區之間的一電子流，而程式化該已選取儲存位置。

26. 如申請專利範圍第25項所述之方法，其中偏壓該第二擴散區係提供一耦合到該第二擴散區的一位元線上的電荷，其當提升該字組閘極電壓時，會在該第一及第二擴散之間區產生該電子流。

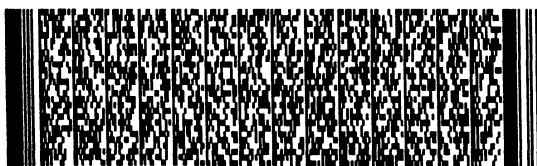
27. 如申請專利範圍第26項所述之方法，其中在該第一及第二擴散之間的該電子，係以CHE注入而程式化該已選取儲存區。

28. 如申請專利範圍第27項所述之方法，其中當該第一擴散區達到一個等於該字閘極電壓減去該字閘極的一臨限電壓時，該字閘極電壓會限制在第一及第二擴散區間的均衡範圍及防止該電子流。

29. 如申請專利範圍第25項所述之方法，其中該第一擴散區係為一源極、及該第二擴散區係為一汲極。

30. 一種利用控制閘極線的電容耦合以程式驗證一雙儲存區MONOS記憶體單元之方法，係包括有：

a) 在CHE程式操作期間，使用位元線電容而程式化一雙儲存區MONOS記憶體單元的一已選取儲存區，以



六、申請專利範圍

提供電荷，之後，一第一控制閘極係以一第一充電電壓而被懸浮、一第二控制閘極係以一第二充電電壓而被懸浮、一第一擴散區係以一第三充電電壓而被懸浮、及一第二擴散區係以一第四充電電壓而被懸浮；

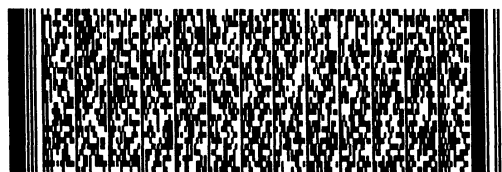
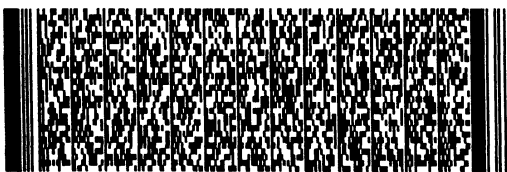
- b) 提升該記憶體單元的一字閘極電壓從一程式電壓層次到一高電壓；
- c) 使該第三及第四充電電壓均等；然後
- d) 將該第二擴散區偏壓成為一個低於該均等的第三及第四充電電壓的值；及
- e) 以一感測放大器測量該第一擴散區電壓，以決定該已選取存區是否已程式化。

3 1 . 如申請專利範圍第 3 0 項所述之方法，其當程式化該儲存區時，偏壓第二擴散區偏壓一個低於該均等的第三及第四充電電壓的值，會產生少量或改變該第一擴散區。

3 2 . 如申請專利範圍第 3 0 項所述之方法，其中該第一及第二控制閘極的該控制線係電容耦合，藉以當該字閘極電壓提升到該高電壓時，可增加該第一充電電壓且降低該第二充電電壓。

3 3 . 如申請專利範圍第 3 2 項所述之方法，其中減去該降低的第二充電電壓的該偏壓第二擴散區電壓，係等於一目標臨限電壓。

3 4 . 如申請專利範圍第 3 2 項所述之方法，其中該目標



六、申請專利範圍

臨限電壓可小於減去該第二充電電壓的該第二擴散區，以減少程式驗證時間。

35．如申請專利範圍第30項所述之方法，其中該第一擴散區係為一源極、該第二擴散區係為該記憶體單元的一汲極。

36．一種雙儲存區MONOS記憶體單元之程式化裝置，係包括有：

- a) 一種藉以偏壓一字閘極以限制記憶體單元電流之裝置；
- b) 一種藉以偏壓一一第一控制閘極偏壓以跨越該第一控制閘極下的一未被選取儲存區臨限電壓之裝置；
- c) 一種藉以耦合到一負載元件之裝置；
- d) 一種藉以偏壓一第二控制閘極以噴射電子到該第二控制閘極下的一已選取儲存位置；及
- e) 一種藉以抑制在一相鄰單元一未被選取擴散區中的干擾狀態之裝置。

37．如申請專利範圍第36項所述之程式化裝置，其中藉以偏壓一字閘極以限制記憶體單元電流之該裝置，係使用一低電壓以將單元電流控制在數個微安培。

38．如申請專利範圍第36項所述之程式化裝置，其中藉以耦合到一負載元件之該裝置，係限制電流流動。

39．如申請專利範圍第36項所述之程式化裝置，其中



六、申請專利範圍

藉以抑制在一相鄰單元一未被選取擴散區中的干擾狀態之該裝置，係增加一電壓耦合至該未被選取擴散區。

4 0．一種雙儲存區MONOS記憶體單元之程式驗證裝置，係包括有：

- a) 一種藉以從一程式驗證操作切換到一程式驗證操作之裝置；
- b) 一種藉以分離偏壓及懸浮一已程式化的單元的一汲極及一源極之裝置；
- c) 一種藉以偏壓一字開極成為一高電壓之裝置；及
- d) 一種藉以測量一源極電壓作為一參考電壓之裝置。

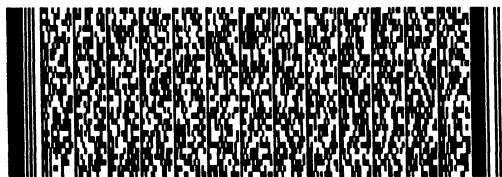
4 1．如申請專利範圍第4 0項所述之程式驗證裝置，其中藉以切換到一程式驗證之該裝置，必須選擇使位元線及控制線的充電及放電減到最小之電壓，以提升效能。

4 2．如申請專利範圍第4 0項所述之程式驗證裝置，其中分離偏壓及懸浮該汲極及源極擴散區之該裝置，係提供一個在該汲極及源極擴散區之間的電荷轉移，直到達到一個均衡狀態。

4 3．如申請專利範圍第4 0項所述之程式驗證裝置，其中完成測量之該裝置係使用一汲極電壓。

4 4．一種藉以在程式及程式驗證操作之間之最少轉換時間裝置，係包括有：

- a) 一種藉以將偏壓電壓設定相同或小於程式及程式驗



六、申請專利範圍

證操作間之裝置；

b) 一種使用一正向或逆向讀取方式藉以讀取一單元的程式化電壓之裝置。

4 5 . 如申請專利範圍第 4 4 項所述之最少轉換時間裝置，其中藉以將偏壓電壓設定相同或小於程式及程式驗證操作間之該裝置，係包括有一位元擴散電壓、一第一控制閘極電壓、及一第二控制閘極電壓。

4 6 . 如申請專利範圍第 4 4 項所述之最少轉換時間裝置，其中使用一正向讀取方式藉以讀取一單元的程式化電壓之該裝置，係耦合一低電壓到一相對於要程式化的已選取氮化物儲存區的擴散區。

4 7 . 如申請專利範圍第 4 4 項所述之最少轉換時間裝置，其中使用一逆向讀取方式藉以讀取一單元的程式化電壓之該裝置，係耦合一低電壓到一緊鄰一相鄰於要程式化的已選取氮化物儲存區的擴散區。

