

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3912024号
(P3912024)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int.C1.

F 1

HO 1 L 31/10 (2006.01)

HO 1 L 31/10

A

請求項の数 4 (全 6 頁)

(21) 出願番号 特願2001-110169 (P2001-110169)
 (22) 出願日 平成13年4月9日 (2001.4.9)
 (65) 公開番号 特開2002-314117 (P2002-314117A)
 (43) 公開日 平成14年10月25日 (2002.10.25)
 審査請求日 平成16年3月18日 (2004.3.18)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅善
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 原田 篤
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 井出 次男
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 PIN構造のラテラル型半導体受光素子

(57) 【特許請求の範囲】

【請求項1】

PIN構造のi層とp層およびn層との界面が半導体基板面に対して垂直に形成され、i層に入射された光を電流に変換して検出するラテラル型半導体受光素子において、光電変換機能を有する色素層を、受光領域をなすi層の上面および/または内部に設けたことを特徴とするPIN構造のラテラル型半導体受光素子。

【請求項2】

電極と、
 前記電極と電気的に接続された半導体基板と、
 前記半導体基板の上方に配置され、PIN構造のi層とp層およびn層との界面が半導体基板面に対して垂直に形成されたラテラル型フォトダイオードと、
 前記p層の上面に設けられたp電極と、
 前記n層の上面に設けられたn電極と、
 前記i層の上面に設けられ、光電変換機能を有する色素層と、
 前記p電極及び前記n電極と前記色素層とを絶縁する絶縁層と、
 を備えたことを特徴とするPIN構造のラテラル型半導体受光素子。

【請求項3】

請求項1又は2において、
 前記色素層は、少なくともポルフィリン類、フタロシアニン類、ロドプシン類のいずれか1つを含むことを特徴とするPIN構造のラテラル型半導体受光素子。

【請求項 4】

請求項 1 ~ 3 のいずれかにおいて、

前記 p 電極及び前記 n 電極は、平面形状が櫛形である、PIN 構造のラテラル型半導体受光素子。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、PIN 構造のラテラル型半導体受光素子に関する。

【0002】**【従来の技術】**

p n 接合面が半導体基板面に対して平行に形成されている縦型フォトダイオードでは、p 層または n 層を通して空乏層に光が入射されるのに対して、p n 接合面が半導体基板面に対して垂直に形成されているラテラル型フォトダイオードでは、空乏層に直接（p 層や n 層を介さずに）光が入射される。そのため、ラテラル型フォトダイオードは縦型フォトダイオードよりも、受光効率の点で有利である。10

【0003】

従来より、フォトダイオードにおいては、p 層と n 層との間に i 層（真性層）を設けて、空乏層を厚くすることが行われている。このような PIN 構造を有する縦型フォトダイオードでは、受光感度を高くするために、i 層を吸収長以上の厚さに形成することが行われている。これにより、波長 700 nm ~ 870 nm 前後において、70 % 以上の量子効率が得られるようになる。20

【0004】

PIN 構造のラテラル型フォトダイオード（PIN 構造の i 層と p 層および n 層との界面が半導体基板面に対して垂直に形成されたフォトダイオード）は、例えば、i 層をなす不純物濃度の極めて薄い領域を半導体基板の表層部に設けた後、この領域の所定間隔を開けた各位置に、上面から p 型不純物及び n 型不純物をそれぞれ添加して拡散させることにより p 層及び n 層を形成し、両層の間を i 層として残すことによって作製される。

【0005】

そのため、PIN 構造のラテラル型フォトダイオードの場合に i 层の厚さ（光入射面からの深さ）を大きくしようとすると、p 層及び n 層を深く形成する必要がある。基板の厚さ方向で i 层の幅（p 層と n 層との距離）を均一に保持しながら、p 層及び n 層を深く形成するためには、基板表面での p 層と n 層との距離を大きくとる必要がある。基板表面での p 層と n 層との距離を大きくとると i 层の幅が大きくなる。i 层の幅が大きいと、i 层の p 層側で生じた電子が n 層の電極に達するまでの移動距離が長くなつて、応答速度が遅くなる。30

【0006】

したがって、PIN 構造のラテラル型フォトダイオードでは、受光感度をより高くする方法として、i 层の厚さ（光入射面からの深さ）を大きくすることを単純に採用することができない。そのため、PIN 構造のラテラル型フォトダイオードの受光感度をより高くする方法としては、i 层の上面に反射防止膜を設けて i 层への入射効率を高くすることが有效である。40

【0007】**【発明が解決しようとする課題】**

しかしながら、i 层の上面に反射防止膜を有する PIN 構造のラテラル型フォトダイオードには、高速の信号を受光する素子とした場合に応答速度が低くなるという問題点がある。

本発明は、このような従来技術の問題点に着目してなされたものであり、PIN 構造のラテラル型半導体受光素子において、応答速度を低下させることなく受光感度を向上させることを課題とする。

【0008】

10

20

30

40

50

【課題を解決するための手段】

上記課題を解決するために、本発明は、P I N構造の*i*層と

層およびn層との界面が半導体基板面に対して垂直に形成され、*i*層に入射された光を電流に変換して検出するラテラル型半導体受光素子において、光電変換機能を有する色素層を、受光領域をなす*i*層の上面および/または内部に設けたことを特徴とするP I N構造のラテラル型半導体受光素子を提供する。

【0009】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

図1は本発明の一実施形態に相当するフォトダイオードを示す断面図である。図2は、この実施形態のフォトダイオードがアレイ状に形成されている場合の平面形状の一例を示す図である。図1は図2のA-A線断面図に相当する。

10

【0010】

このフォトダイオードは、P I N構造がシリコン基板(半導体基板)1の基板面に対して垂直に形成されたラテラル型フォトダイオード(半導体受光素子)であり、*i*層15の受光領域2をなす部分(

層5とn層7とで挟まれた部分)の上面に、光電変換機能を有する色素層4が設けてある。

層5およびn層7の上面には、

電極6およびn電極8がそれぞれ形成されている。両電極6, 8の間の面が受光面3となっており、色素層4は両電極6, 8の間に、絶縁層91を介して形成されている。なお、絶縁層91は、色素層4の光電変換で生じた電子によって両電極6, 8間を導通させないために必要である。

20

【0011】

シリコン基板1の上面の両電極6, 8、色素層4、および絶縁層91の位置を除いた部分に、シリコン酸化膜等からなる素子保護層9が所定の厚さで形成されている。また、シリコン基板1の下面には

電極11が形成されている。

このフォトダイオードは、例えば以下の方法で作製できる。

先ず、

型のシリコン基板1の表層部にnウエル(不純物濃度の極めて薄い領域)10を設ける。次に、nウエル10の所定間隔を開けた2つの領域の一方に

型不純物を、他方にn型不純物をそれぞれ添加して拡散させる。これにより、nウエル10に

層5及びn層7が形成され、nウエル10の

層5とn層7との間の部分が*i*層15として残る。次に、

層5及びn層7の上に電極6, 8を形成した後、素子保護層9を形成する。

30

【0012】

次に、電極6, 8間の素子保護層9を除去した後、電極6, 8に接触する幅の狭い絶縁層91を形成する。或いは素子保護層9を除去する際に、電極6, 8側の素子保護層9を絶縁層91として少し残す。次に、*i*層15の上面の絶縁層91で囲われた部分に、光電変換機能を有する色素層4を形成する。

光電変換機能を有する色素としては、例えば、ポルフィリン類(ヘム等)、フタロシアニン類、ロドプシン類(バクテリオロドプシン等)が挙げられ、応答速度と感度が高いものを使用することが好ましい。色素層4の形成方法としては、ラングミュア・プロジェット法(LB法)、スピンドコート法、或いはインクジェット法が挙げられる。

40

【0013】

このフォトダイオードは、n層7の上面に接触するn電極8と基板1の下面の

電極11との間に、n層7側を正として電源を接続して逆バイアス電圧を付与し、

層5の上面に接触する

電極6を出力回路に接続することにより、受光面3から*i*層15に入射された光を電流に変換して検出することができる。

受光面3に入射された光のうち色素層4で吸収された光は、色素層4の光電変換機能により光電変換されて、生じた電子が*i*層15およびn層7を通ってn電極8に至る。色素層4を透過した光は*i*層15に入射され、*i*層15で光電変換されて、生じた電子がn層7を通ってn電極8に至る。

【0014】

50

したがって、このフォトダイオードによれば、_i層15の上に色素層4が形成されていないものと比較して、受光効率を高くすることができます。また、_i層15の上に色素層4の代わりに反射防止膜が形成されているものと比較して、応答速度が速くなる。

また、このフォトダイオードによれば、色素層4をインクジェット法等で形成することにより、反射防止膜を形成する場合と比較して、容易に製造できるようになるという効果も得られる。さらに、色素層4をなす材料の波長選択性を利用して、所定波長の光のみを検出できるようにすることも可能になる。また、使用する色素の吸収係数や色素層4の膜厚の設定によって、受光感度を容易に向上させることができる。

【0015】

なお、色素層4は、受光領域2をなす_i層15の上面および／または内部に設けてあればよい。例えば、図3に示すように、_p層5および_n層7を形成した後に、_i層15の表層部に凹部41を形成し、この凹部41内と絶縁層91で囲われた領域内に、或いはこの凹部41内にのみ色素層4を設けてもよい。また、図3に2点鎖線で示すように、_i層15の内部に色素層40を設けて、色素層40の上面にも_i層15を有する構造であってもよい。ただし、色素層4を_i層15内に設ける場合には、色素層4と_p層5および_n層7との間に_i層15を存在させて、_p層5と_n層7との間に逆バイアス電圧が付与されるようとする必要がある。

【0016】

また、この実施形態では、PIN構造のラテラル型フォトダイオードについて説明しているが、本発明のPIN構造のラテラル型半導体受光素子はこれに限定されず、ベースとコレクタの部分がPIN構造になっているラテラル型フォトトランジスタ等にも適用される。

【0017】

【発明の効果】

以上説明したように、本発明のPIN構造のラテラル型半導体受光素子によれば、応答速度を低下させることなく受光感度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に相当するフォトダイオードを示す断面図であって、図2のA-A線断面図に相当する図である。

【図2】図1のフォトダイオードがアレイ状に形成されている場合の平面形状の一例を示す図である。

【図3】本発明の別の実施形態に相当するフォトダイオードを示す断面図である。

【符号の説明】

1 シリコン基板(半導体基板)

10 _nウエル

11 _p電極

15 _i層

2 受光領域

3 受光面

4 光電変換機能を有する色素層

40 光電変換機能を有する色素層

5 _p層

6 _p電極

7 _n層

8 _n電極

9 素子保護層

91 絶縁層

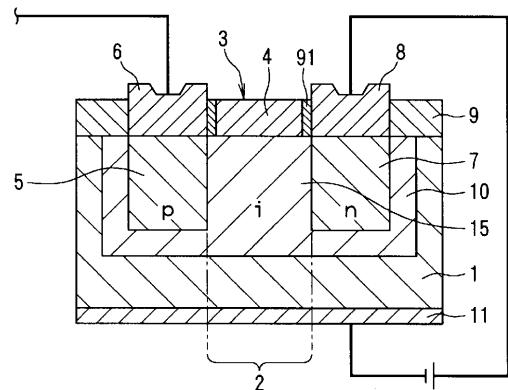
10

20

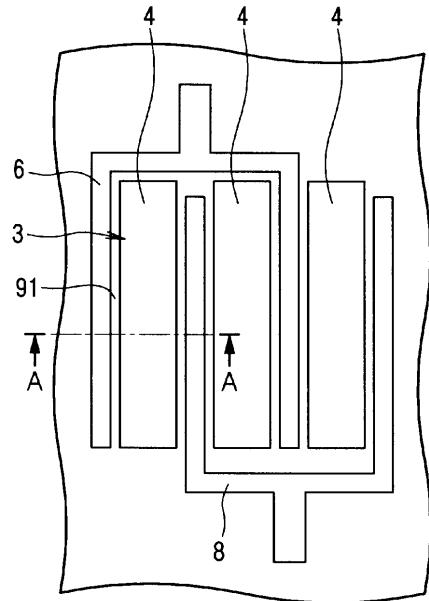
30

40

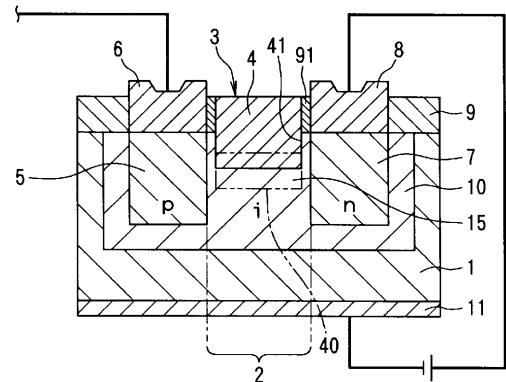
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 北村 昇二郎
長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

審査官 吉野 三寛

(56)参考文献 特開平11-191633(JP,A)
特開昭63-278380(JP,A)
特開平03-262169(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/10-31/119