



등록특허 10-2283078



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월30일
(11) 등록번호 10-2283078
(24) 등록일자 2021년07월23일

(51) 국제특허분류(Int. Cl.)
H01G 4/30 (2006.01) *H01G 4/12* (2006.01)

H01G 4/33 (2006.01)

(52) CPC특허분류

H01G 4/30 (2013.01)

H01G 4/12 (2021.01)

(21) 출원번호 10-2019-0112304

(22) 출원일자 2019년09월10일

심사청구일자 2019년09월10일

(65) 공개번호 10-2021-0030755

(43) 공개일자 2021년03월18일

(56) 선행기술조사문헌

JP2017028013 A*

KR1020150135092 A*

KR1020160084614 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

이은정

경기도 수원시 영통구 매영로 150 (매탄동)

이종호

경기도 수원시 영통구 매영로 150 (매탄동)

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

전체 청구항 수 : 총 28 항

심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 커피시터 및 그 제조 방법

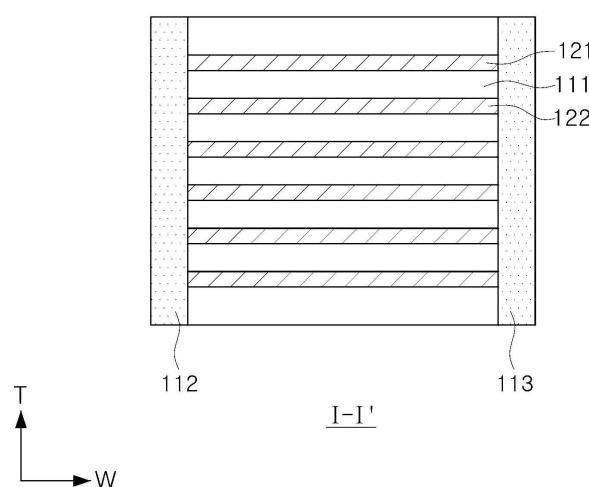
(57) 요 약

본 발명의 일 실시형태는 유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디, 상기 세라믹 바디의 내부에 배치되며, 상기 제1 면 및 제2 면으로 노출되되, 상기 제3 면 또는 제4

(뒷면에 계속)

대 표 도 - 도4

100



면으로 일단이 노출되는 복수의 내부전극 및 상기 제1 면 및 제2 면에 노출된 상기 내부전극의 단부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부를 포함하며, 상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고, 상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커패시터를 제공한다.

(52) CPC특허분류

H01G 4/33 (2013.01)

(72) 발명자

강심충

경기도 수원시 영통구 매영로 150 (매탄동)

홍기표

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디;

상기 세라믹 바디의 내부에 배치되며, 상기 제1 면 및 제2 면으로 노출되되, 상기 제3 면 또는 제4 면으로 일단이 노출되는 복수의 내부전극; 및

상기 제1 면 및 제2 면에 노출된 상기 내부전극의 단부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부; 를 포함하며,

상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고,

상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 이상 3.0 몰 이하인 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.25 몰 이상 3.0 몰 이하인 적층 세라믹 커패시터.

청구항 4

제1항에 있어서,

상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 미만인 적층 세라믹 커패시터.

청구항 5

제1항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레인 사이즈는 상기 액티브부의 유전체층이 포함하는 유전체 그레인 사이즈 보다 작은 적층 세라믹 커패시터.

청구항 6

제5항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레인 사이즈는 100 nm 이상 700 nm 이하인 적층 세라믹 커페시터.

청구항 7

제5항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레인 사이즈는 90 nm 이상 410 nm 이하인 적층 세라믹 커페시터.

청구항 8

제1항에 있어서,

상기 유전체층의 두께는 0.4 μ m 이하이고, 상기 내부전극의 두께는 0.4 μ m 이하인 적층 세라믹 커페시터.

청구항 9

복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계;

상기 제1 내부전극 패턴과 상기 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계;

상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계;

상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계; 및

상기 절단된 적층 바디를 소성하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 바디를 마련하는 단계; 를 포함하며,

상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고,

상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커페시터의 제조방법.

청구항 10

제9항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 이상 3.0 몰 이하인 적층 세라믹 커페시터의 제조방법.

청구항 11

제9항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부가 포함하는 주성

분 티탄산바륨(BaTiO₃) 100 몰 대비 0.25 몰 이상 3.0 몰 이하인 적층 세라믹 커패시터의 제조방법.

청구항 12

제9항에 있어서,

상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주성분 티탄산바륨(BaTiO₃) 100 몰 대비 0.1 몰 미만인 적층 세라믹 커패시터의 제조방법.

청구항 13

제9항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레이인 사이즈는 상기 액티브부의 유전체층이 포함하는 유전체 그레이인 사이즈 보다 작은 적층 세라믹 커패시터의 제조방법.

청구항 14

제13항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레이인 사이즈는 100 nm 이상 700 nm 이하인 적층 세라믹 커패시터의 제조방법.

청구항 15

제13항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레이인 사이즈는 90 nm 이상 410 nm 이하인 적층 세라믹 커패시터의 제조방법.

청구항 16

제9항에 있어서,

상기 유전체층의 두께는 0.4 μm 이하이고, 상기 내부전극의 두께는 0.4 μm 이하인 적층 세라믹 커패시터의 제조방법.

청구항 17

제1항에 있어서,

상기 세라믹 바디의 길이는 400 μm 내지 1400 μm 인 적층 세라믹 커패시터.

청구항 18

제1항에 있어서,

상기 내부전극은 400 μm 이상인 적층 세라믹 커패시터.

청구항 19

제1항에 있어서,

상기 상부 및 하부 커버부는 각각 $20\mu\text{m}$ 이하의 두께를 가지는 적층 세라믹 커패시터.

청구항 20

제1항에 있어서,

상기 사이드 마진부의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하인 적층 세라믹 커패시터.

청구항 21

제1항에 있어서,

상기 유전체층의 두께는 $0.4\mu\text{m}$ 이하인 적층 세라믹 커패시터.

청구항 22

제1항에 있어서,

상기 유전체층은 주석(Sn)을 포함하지 않는 적층 세라믹 커패시터.

청구항 23

제3항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레이인 사이즈는 상기 액티브부의 유전체층이 포함하는 유전체 그레이인 사이즈 보다 작은 적층 세라믹 커패시터.

청구항 24

제3항에 있어서,

상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레이인 사이즈는 90nm 이상 410nm 이하인 적층 세라믹 커패시터.

청구항 25

제3항에 있어서,

상기 유전체층은 주석(Sn)을 포함하지 않는 적층 세라믹 커패시터.

청구항 26

제3항에 있어서,

상기 제1 및 제2 사이드 마진부의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하인 적층 세라믹 커패시터.

청구항 27

제22항에 있어서,

상기 제1 및 제2 사이드 마진부의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하인 적층 세라믹 커패시터.

청구항 28

제23항에 있어서,

상기 제1 및 제2 사이드 마진부의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하인 적층 세라믹 커패시터.

발명의 설명**기술 분야**

[0001]

본 발명은 신뢰성을 향상시킬 수 있는 적층 세라믹 커패시터 및 그 제조방법에 관한 것이다.

배경기술

[0002]

일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 바디, 바디 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 바디 표면에 설치된 외부전극을 구비한다.

[0004]

최근에는 전자제품이 소형화 및 다기능화됨에 따라 칩 부품 또한 소형화 및 고기능화되는 추세이므로, 적층 세라믹 커패시터도 크기가 작고, 용량이 큰 고용량 제품이 요구되고 있다.

[0006]

적층 세라믹 커패시터의 소형 및 고용량화를 위해서는 전극 유효면적의 극대화 (용량구현에 필요한 유효 부피 분율을 증가)가 요구된다.

[0008]

상기와 같이 소형 및 고용량 적층 세라믹 커패시터를 구현하기 위하여, 적층 세라믹 커패시터를 제조함에 있어서, 내부전극이 바디의 폭 방향으로 노출되도록 함으로써, 마진 없는 설계를 통해 내부전극 폭 방향 면적을 극대화하되, 이러한 칩 제작 후 소성 전 단계에서 칩의 폭 방향 전극 노출면에 사이드 마진부를 별도로 부착하여 완성하는 방법이 적용되고 있다.

[0010]

그러나, 상기 방법의 경우, 사이드 마진부의 두께와 면적이 작아지게 되며, 이로 인하여 외부 충격에 의한 깨짐 및 크랙의 위험성이 커지고 있다.

[0012]

따라서, 초소형 및 고용량 제품에서 사이드 마진부의 내충격성 및 내크랙성을 향상시켜줄 수 있는 세라믹 재료의 적용이 필요한 실정이다.

선행기술문헌**특허문헌**

[0014]

(특허문헌 0001) 일본공개특허공보 2014-143392

발명의 내용**해결하려는 과제**

[0015]

본 발명은 신뢰성을 향상시킬 수 있는 적층 세라믹 커패시터 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0016]

본 발명의 일 실시형태는 유전체층을 포함하며, 서로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면을 연결하는 제3 면 및 제4 면과 상기 제1 면 내지 제4 면과 연결되되, 서로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디, 상기 세라믹 바디의 내부에 배치되며, 상기 제1 면 및 제2 면으로 노출되되, 상기 제3 면 또는 제

4 면으로 일단이 노출되는 복수의 내부전극 및 상기 제1 면 및 제2 면에 노출된 상기 내부전극의 단부 상에 배치된 제1 사이드 마진부 및 제2 사이드 마진부를 포함하며, 상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고, 상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커패시터를 제공한다.

[0018] 본 발명의 다른 실시형태는 복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계, 상기 제1 내부전극 패턴과 상기 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계 및 상기 절단된 적층 바디를 소성하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 바디를 마련하는 단계를 포함하며, 상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고, 상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커패시터의 제조방법을 제공한다.

발명의 효과

[0020] 본 발명의 일 실시형태에 의하면, 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많도록 조절함으로써, 내습 신뢰성을 향상시킬 수 있다.

[0021] 또한, 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많도록 조절할 경우, 상기 제1 및 제2 사이드 마진부가 포함하는 유전체 그레인 사이즈가 상기 액티브부의 유전체층이 포함하는 유전체 그레인 사이즈보다 작게 조절할 수 있어, 상기 제1 및 제2 사이드 마진부는 상기 액티브부의 유전체층에 비하여 고인성을 가질 수 있다.

[0022] 이로 인하여, 상기 제1 및 제2 사이드 마진부의 실장 크랙을 개선할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.

도 2는 도 1의 세라믹 바디의 외관을 나타내는 사시도이다.

도 3은 도 2의 세라믹 바디의 소성 전 세라믹 그린시트 적층 바디를 나타내는 사시도이다.

도 4는 도 2의 I-I'선에 따른 단면도이다.

도 5a 내지 도 5f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.

도 6은 본 발명의 실시예와 비교예에 따른 사이드 마진부의 인성(Toughness) 결과를 비교한 그래프이다.

도 7은 본 발명의 실시예와 비교예에 따른 내습 신뢰성 테스트 결과를 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0027] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.

도 2는 도 1의 세라믹 바디의 외관을 나타내는 사시도이다.

- [0029] 도 3은 도 2의 세라믹 바디의 소성 전 세라믹 그린시트 적층 바디를 나타내는 사시도이다.
- [0030] 도 4는 도 2의 I-I'선에 따른 단면도이다.
- [0032] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 세라믹 바디(110), 상기 세라믹 바디(110)의 내부에 형성되는 복수의 내부전극(121, 122) 및 상기 세라믹 바디(110)의 외표면에 형성되는 외부전극(131, 132)을 포함한다.
- [0034] 상기 세라믹 바디(110)는 서로 대향하는 제1 면(1) 및 제2 면(2)과 상기 제1 면 및 제2 면을 연결하는 제3 면(3) 및 제4 면(4)과 상면과 하면인 제5 면(5) 및 제6 면(6)을 가질 수 있다.
- [0035] 상기 제1 면(1) 및 제2 면(2)은 세라믹 바디(110)의 폭 방향으로 마주보는 면으로, 상기 제3 면(3) 및 제4 면(4)은 길이 방향으로 마주보는 면으로 정의될 수 있으며, 상기 제5 면(5) 및 제6 면(6)은 두께 방향으로 마주보는 면으로 정의될 수 있다.
- [0036] 상기 세라믹 바디(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 직방체 형상일 수 있다.
- [0038] 상기 세라믹 바디(110) 내부에 형성된 복수 개의 내부전극(121, 122)은 세라믹 바디의 제3 면(3) 또는 제4 면(4)으로 일단이 노출된다.
- [0039] 상기 내부전극(121, 122)은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있다.
- [0040] 제1 내부전극(121)의 일단은 제3 면(3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 면(4)으로 노출될 수 있다.
- [0041] 상기 제1 내부전극(121) 및 제2 내부전극(122)의 타단은 제3 면(3) 또는 제4 면(4)으로부터 일정 간격을 두고 형성된다.
- [0042] 상기 세라믹 바디의 제3 면(3)에는 제1 외부전극(131)이 형성되어 상기 제1 내부전극(121)과 전기적으로 연결될 수 있으며, 상기 세라믹 바디의 제4 면(4)에는 제2 외부전극(132)이 형성되어 상기 제2 내부전극(122)과 전기적으로 연결될 수 있다.
- [0044] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(100)는, 상기 세라믹 바디(110)의 내부에 배치되며, 상기 제1 면 및 제2 면(1, 2)으로 노출되며, 상기 제3 면(3) 또는 제4 면(4)으로 일단이 노출되는 복수의 내부전극(121, 122) 및 상기 제1 면(1) 및 제2 면(2)에 노출된 상기 내부전극(121, 122)의 단부 상에 배치된 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)를 포함한다.
- [0046] 상기 세라믹 바디(110)의 내부에는 복수의 내부전극(121, 122)이 형성되어 있으며, 상기 복수의 내부전극(121, 122)의 각 말단은 상기 세라믹 바디(110)의 폭 방향 면인 제1 면(1) 및 제2 면(2)에 노출되며, 노출된 단부 상에 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)가 각각 배치된다.
- [0048] 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하일 수 있다.
- [0050] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)는 복수의 유전체층(111)이 적층된 적층체와 상기 적층체의 양 측면에 배치되는 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)로 구성될 수 있다.
- [0052] 상기 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0053] 상기 세라믹 바디(110)의 길이는 세라믹 바디의 제3 면(3)에서 제4 면(4)까지의 거리에 해당한다.
- [0054] 상기 유전체층(111)의 길이는 세라믹 바디의 제3 면(3)과 제4 면(4) 사이의 거리를 형성한다.
- [0055] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 세라믹 바디의 길이는 400 내지 $1400\mu\text{m}$ 일 수 있다. 보다 구체적으로, 세라믹 바디의 길이는 400 내지 $800\mu\text{m}$ 이거나, 600 내지 $1400\mu\text{m}$ 일 수 있다.
- [0057] 상기 유전체층(111) 상에 내부전극(121, 122)이 형성될 수 있으며, 내부전극(121, 122)은 소결에 의하여 일 유전체층을 사이에 두고, 상기 세라믹 바디 내부에 형성될 수 있다.
- [0059] 도 3을 참조하면, 유전체층(111)에 제1 내부전극(121)이 형성되어 있다. 상기 제1 내부전극(121)은 유전체층의 길이 방향에 대해서는 전체적으로 형성되지 않는다. 즉, 제1 내부전극(121)의 일단은 세라믹 바디의 제4 면(4)

으로부터 소정의 간격을 두고 형성될 수 있고, 제1 내부전극(121)의 타단은 제3 면(3)까지 형성되어 제3 면(3)으로 노출될 수 있다.

[0060] 세라믹 바디의 제3 면(3)으로 노출된 제1 내부전극의 단부는 제1 외부전극(131)과 연결된다.

[0061] 제1 내부전극과 반대로 제2 내부전극(122)의 일단은 제3 면(3)으로부터 소정의 간격을 두고 형성되고, 제2 내부전극(122)의 타단은 제4 면(4)으로 노출되어 제2 외부전극(132)과 연결된다.

[0062] 상기 내부전극은 고용량 적층 세라믹 커패시터 구현을 위해 400층 이상 적층될 수 있으나 반드시 이에 제한되는 것은 아니다.

[0064] 상기 유전체층(111)은 제1 내부전극(121)의 폭과 동일한 폭을 가질 수 있다. 즉, 상기 제1 내부전극(121)은 유전체층(111)의 폭 방향에 대해서는 전체적으로 형성될 수 있다.

[0065] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 유전체층의 폭 및 내부전극의 폭은 100 내지 900 μm 일 수 있다. 보다 구체적으로, 유전체층의 폭 및 내부전극의 폭은 100 내지 500 μm 이거나, 100 내지 900 μm 일 수 있다.

[0067] 세라믹 바디가 소형화될수록 사이드 마진부의 두께가 적층 세라믹 커패시터의 전기적 특성에 영향을 미칠 수 있다. 본 발명의 일 실시형태에 따르면 사이드 마진부의 두께가 15 μm 이하로 형성되어 소형화된 적층 세라믹 커패시터의 특성을 향상시킬 수 있다.

[0068] 즉, 사이드 마진부의 두께가 15 μm 이하로 형성됨으로써, 용량을 형성하는 내부전극의 중첩 면적을 최대로 확보함으로써, 고용량 및 소형 적층 세라믹 커패시터를 구현할 수 있다.

[0070] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부와, 상하 마진부로서 액티브부의 상하부에 각각 형성된 상부 및 하부 커버부로 구성될 수 있다.

[0072] 상기 액티브부는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.

[0074] 상기 상부 및 하부 커버부는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.

[0075] 즉, 상기 상부 및 하부 커버부는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨(BaTiO_3)계 세라믹 재료를 포함할 수 있다.

[0076] 상기 상부 및 하부 커버부는 각각 20 μm 이하의 두께를 가질 수 있으나, 반드시 이에 제한되는 것은 아니다.

[0078] 본 발명의 일 실시형태에서 내부전극과 유전체층은 동시에 절단되어 형성되는 것으로, 내부전극의 폭과 유전체층의 폭은 동일하게 형성될 수 있다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.

[0080] 본 실시형태에서, 유전체층의 폭은 내부전극의 폭과 동일하게 형성되며, 이로 인하여 세라믹 바디(110)의 폭 방향 제1 면 및 제2 면(1, 2)으로 내부전극(121, 122)의 말단이 노출될 수 있다.

[0081] 상기 내부전극(121, 122)의 말단이 노출된 세라믹 바디(110)의 폭 방향 양 측면에는 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)가 형성될 수 있다.

[0083] 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 15 μm 이하일 수 있다. 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께가 작을수록 상대적으로 세라믹 바디 내에 형성되는 내부전극의 중첩 면적이 넓어질 수 있다.

[0084] 상기 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 세라믹 바디(110)의 측면으로 노출되는 내부전극의 쇼트를 방지할 수 있는 두께를 가지면 특별히 제한되지 않으나, 예를 들면 제1 사이드 마진부(112) 및 제2 사이드 마진부(113)의 두께는 2 μm 이상일 수 있다.

[0085] 상기 제1 및 제2 사이드 마진부의 두께가 2 μm 미만이면 외부 충격에 대한 기계적 강도가 저하될 우려가 있고, 상기 제1 및 제2 사이드 마진부의 두께가 15 μm 를 초과하면 상대적으로 내부전극의 중첩 면적이 감소하여 적층 세라믹 커패시터의 고용량을 확보하기 어려울 수 있다.

[0087] 적층 세라믹 커패시터의 용량을 극대화하기 위해서 유전체층을 박막화하는 방법, 박막화된 유전체층을 고적층화

하는 방법, 내부전극의 커버리지를 향상시키는 방법 등이 고려되고 있다.

[0088] 또한, 용량을 형성하는 내부전극의 중첩 면적을 향상시키는 방법이 고려되고 있다.

[0089] 내부전극의 중첩 면적을 늘리기 위해서는 내부전극이 형성되지 않은 마진부 영역이 최소화되어야 한다.

[0090] 특히, 적층 세라믹 커패시터가 소형화될수록 내부전극의 중첩 영역을 늘리기 위해서는 마진부 영역이 최소화되어야 한다.

[0092] 본 실시형태에 따르면, 유전체층의 폭 방향 전체에 내부전극이 형성되고, 사이드 마진부의 두께가 $15\mu m$ 이하로 설정되어 내부전극의 중첩 면적이 넓은 특징을 갖는다.

[0094] 일반적으로, 유전체층이 고적층화 될수록 유전체층 및 내부 전극의 두께는 얇아지게 된다. 따라서 내부 전극이 쇼트되는 현상이 빈번하게 발생할 수 있다. 또한, 유전체층 일부에만 내부전극이 형성되는 경우 내부전극에 의한 단차가 발생하여 절연 저항의 가속 수명이나 신뢰성이 저하될 수 있다.

[0096] 그러나, 본 실시형태에 따르면 박막의 내부전극 및 유전체층을 형성하더라도, 내부전극이 유전체층의 폭방향에 대하여 전체적으로 형성되기 때문에 내부전극의 중첩 면적이 커져 적층 세라믹 커패시터의 용량을 크게 할 수 있다.

[0097] 또한, 내부 전극에 의한 단차를 감소시켜 절연 저항의 가속 수명이 향상되어 용량 특성이 우수하면서도 신뢰성이 우수한 적층 세라믹 커패시터를 제공할 수 있다.

[0099] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부(112, 113)는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많다.

[0101] 상기 제1 및 제2 사이드 마진부(112, 113)는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많게 조절함으로써, 내습 신뢰성을 향상시킬 수 있다.

[0103] 특히, 본 발명의 일 실시형태에 따르면, 상기 액티브부의 유전체층(111)은 주석(Sn)을 포함하지 않을 수 있으며, 포함하더라도 극소량만을 포함할 수 있다.

[0104] 반면에, 상기 제1 및 제2 사이드 마진부(112, 113)는 내습 신뢰성을 향상시키고, 내충격성 및 내크랙성을 갖도록 하기 위하여 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많도록 조절한다.

[0106] 또한, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많도록 조절할 경우, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 그레인 사이즈가 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈보다 작게 조절할 수 있어, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 액티브부의 유전체층(111)에 비하여 고인성을 가질 수 있다.

[0107] 이로 인하여, 적층 세라믹 커패시터를 기판에 실장시 상기 제1 및 제2 사이드 마진부(112, 113)의 크랙을 개선 할 수 있다.

[0109] 일반적인 적층 세라믹 커패시터의 경우에는 내부전극이 서로 중첩되어 용량을 형성하는 액티브 영역과, 내부전극이 중첩되지 않거나 내부전극 미형성 영역인 마진부를 포함하는 세라믹 바디를 제작할 때, 동일한 유전체 조성을 갖는 세라믹 그린시트를 적층하여 형성하기 때문에, 액티브 영역의 유전체 조성과 마진부 유전체 조성이 동일한 것이 일반적이다.

[0111] 이러한 종래의 적층 세라믹 커패시터의 경우에는 동일한 유전체 조성을 갖는 세라믹 그린시트를 적층하여 액티브 영역과 마진부를 포함하는 세라믹 바디를 제작하기 때문에, 양 영역의 유전체 조성이 다르게 적용될 수 없는 구조이다.

[0113] 한편, 본 발명의 일 실시형태와 같이 소형 및 고용량 적층 세라믹 커패시터를 구현하기 위하여, 적층 세라믹 커패시터를 제조함에 있어서, 내부전극이 바디의 폭 방향으로 노출되도록 함으로써, 마진 없는 설계를 통해 내부전극 폭 방향 면적을 극대화하되, 이러한 칩 제작 후 소성 전 단계에서 칩의 폭 방향 전극 노출면에 마진부를 별도로 부착하여 완성하는 방법이 적용되고 있다.

- [0115] 그러나, 상기와 같이 적층 세라믹 커패시터를 제작할 경우 종래에는 사이드 마진부 형성용 유전체 조성을 세라믹 바디의 유전체 조성과 차별화하지 않고 세라믹 바디의 유전체 조성물을 그대로 사용하였다.
- [0116] 이와 같이 종래에는 사이드 마진부 형성용 유전체 조성을 세라믹 바디의 유전체 조성과 차별화하지 않고 세라믹 바디의 유전체 조성물을 그대로 사용하기 때문에 양 영역의 유전체 조성이 동일하며, 다르게 적용되지 않았다.
- [0118] 그러나, 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 조성과 상기 액티브부의 유전체층(111)의 유전체 조성은 서로 다르며, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많은 것을 특징으로 한다.
- [0120] 상기 제1 및 제2 사이드 마진부(112, 113)와 상기 액티브부의 유전체층(111)이 포함하는 유전체 자기 조성물은 Ba 및 Ti를 포함하는 모재 주성분을 포함할 수 있다.
- [0121] 상기 모재 주성분은 $BaTiO_3$ 또는 Ca, Zr, Sn 등이 일부 고용된 $(Ba,Ca)(Ti,Ca)O_3$, $(Ba,Ca)(Ti,Zr)O_3$, $Ba(Ti,Zr)O_3$, $(Ba,Ca)(Ti,Sn)O_3$ 로 표현되는 주성분을 포함한다. 상기 모재 주성분은 분말 형태로 포함될 수 있다.
- [0123] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 Ba 및 Ti를 포함하는 모재 주성분 외에 주석(Sn)을 더 포함한다.
- [0125] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 이상 3.0 몰 이하일 수 있다.
- [0126] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 이상 3.0 몰 이하로 조절함으로써, 내습 신뢰성을 향상시킬 수 있다.
- [0127] 또한, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 액티브부의 유전체층(111)에 비하여 고인성을 가질 수 있으며, 이로 인하여, 적층 세라믹 커패시터를 기판에 실장시 상기 제1 및 제2 사이드 마진부(112, 113)의 크랙을 개선할 수 있다.
- [0128] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 미만일 경우에는 주석(Sn)의 함량이 적어 외부 충격에 의한 깨짐 및 크랙이 발생할 수 있다.
- [0129] 반면, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 3.0 몰을 초과할 경우에는, 주석(Sn) 간 네트워크 형성으로 인해 내 충격성 열화가 문제될 수 있다.
- [0130] 또한, 내습 신뢰성 불량도 발생할 수 있다.
- [0132] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.25 몰 이상 3.0 몰 이하일 수 있다.
- [0133] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량을 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.25 몰 이상 3.0 몰 이하로 조절할 경우, 내습 신뢰성, 내충격성 및 내크랙성 효과가 우수할 수 있다.
- [0134] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량을 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.25 몰 미만의 경우에는 상기 제1 및 제2 사이드 마진부(112, 113)가 고인성을 가질 수 없어, 크랙 등의 불량이 발생할 수 있다.
- [0136] 본 발명의 일 실시형태에 따르면, 상기 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량은 상기 상기 액티브부의 유전체층(111)이 포함하는 주성분 티탄산바륨($BaTiO_3$) 100 몰 대비 0.1 몰 미만일 수 있다.

- [0137] 특히, 본 발명의 일 실시형태에 따르면, 상기 액티브부의 유전체층(111)은 주석(Sn)을 포함하지 않을 수 있으며, 포함하더라도 극소량만을 포함할 수 있다.
- [0139] 한편, 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부 (112, 113)가 포함하는 유전체 그레인 사이즈는 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈 보다 작을 수 있다.
- [0141] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많도록 조절할 경우, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 그레인 사이즈가 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈보다 작게 조절할 수 있어, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 액티브부의 유전체층(111)에 비하여 고인성을 가질 수 있다.
- [0142] 이로 인하여, 적층 세라믹 커패시터를 기판에 실장시 상기 제1 및 제2 사이드 마진부(112, 113)의 크랙을 개선 할 수 있다.
- [0144] 구체적으로, 상기 제1 및 제2 사이드 마진부 (112, 113)가 포함하는 유전체 그레인 사이즈는 100 nm 이상 700 nm 이하일 수 있다.
- [0145] 보다 바람직하게는, 상기 제1 및 제2 사이드 마진부 (112, 113)가 포함하는 유전체 그레인 사이즈는 90 nm 이상 410 nm 이하일 수 있다.
- [0146] 즉, 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부 (112, 113)가 포함하는 유전체 그레인 사이즈는 100 nm 이상 700 nm 이하, 바람직하게는 90 nm 이상 410 nm 이하로 조절함으로써, 상기 액티브부의 유전체층(111)에 비하여 고인성을 가질 수 있다.
- [0147] 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈는 일반적인 적층 세라믹 커패시터의 유전체층이 포함하는 유전체 그레인 사이즈를 가지며, 예를 들어 300 nm 이상 900 nm 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0149] 특히, 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 증가함에 따라, 사이드 마진부의 외측 경계면에서 내부 전극에 인접한 내부 영역으로 갈수록 유전체 그레인 사이즈가 감소할 수 있다.
- [0150] 즉, 상기 제1 및 제2 사이드 마진부(112, 113) 내에서 주석(Sn)은 유전체 그레인의 입경을 감소시키며, 내부전극에 인접한 내부 영역쪽 유전체 그레인의 입경을 더욱 감소시켜 사이드 마진부가 고인성을 갖도록 할 수 있다.
- [0152] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 그레인 사이즈는 각각 해당 영역에서 추출된 유전체 그레인의 장축과 단축 길이를 측정하여 그 평균 사이즈를 계산함으로써, 구할 수 있다.
- [0153] 상기 유전체 그레인의 장축 길이는 상기 유전체 그레인의 형상을 타원형으로 가정할 경우, 유전체 그레인의 입경으로 측정되는 여러 지점 중 가장 길게 측정되는 지점에서의 유전체 그레인의 입경에 해당하며, 상기 유전체 그레인의 단축 길이는 유전체 그레인의 입경으로 측정되는 여러 지점 중 가장 짧게 측정되는 지점에서의 유전체 그레인의 입경에 해당한다.
- [0155] 하기 [표 1]에서는 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량에 따른 사이드 마진부의 포어 개수와 사이드 마진부의 내측과 외측에서의 유전체 그레인 사이즈를 나타내고 있다.

표 1

[0157]	Sn 함량 (몰)	포어 개수 (개)	사이드 마진부의 내측 유전체 그레인 사이즈 (nm)	사이드 마진부의 외 측 유전체 그레인 사 이즈 (nm)	신뢰성 평가
1*	0.00	22	495	248	X
2	0.10	24	215	227	0
3	0.25	29	195	176	0
4	1.00	21	231	243	0
5	2.50	12	217	326	0
6*	3.50	73	199	149	X

[0158] * : 비교예

[0160] 상기 샘플 1은 제1 및 제2 사이드 마진부가 주석(Sn)을 포함하지 않는 종래의 비교예로서, 사이드 마진부 내의 유전체 그레인 사이즈가 큰 것을 알 수 있으며, 이로 인하여 내습 신뢰성 및 내충격성, 내크랙성 테스트에서 불량이 다수 발생하였다.

[0161] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 본 발명의 수치범위를 만족하는 샘플 2 내지 5의 경우에는 본 발명의 실시예로서, 사이드 마진부 내의 유전체 그레인 사이즈가 작아, 내습 신뢰성 및 내충격성, 내크랙성을 모두 만족하였다.

[0162] 반면, 상기 제1 및 제2 사이드 마진부가 주석(Sn)을 과량 포함하는 비교예인 샘플 6의 경우에는 포어의 개수가 많아 내습 신뢰성에 문제가 있으며, 주석(Sn) 간 네크워크 형성에 의해 내 충격성 열화가 발생하였다.

[0164] 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)의 두께는 0.4 μm 이하이고, 상기 내부전극(121, 122)의 두께는 0.4 μm 이하의 초소형 적층 세라믹 커패시터를 특징으로 한다.

[0166] 본 발명의 일 실시형태와 같이, 상기 유전체층(111)의 두께는 0.4 μm 이하이고, 상기 내부전극(121, 122)의 두께는 0.4 μm 이하인 박막의 유전체층과 내부전극이 적용된 경우에 사이드 마진부에서 발생하는 내습 신뢰성 저하 및 크랙에 따른 신뢰성 문제가 매우 중요한 이슈다.

[0168] 즉, 종래의 적층 세라믹 커패시터의 경우에는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터가 포함하는 사이드 마진부 각 영역의 유전체 그레인 사이즈를 조절하지 않더라도 신뢰성에 큰 문제는 없었다.

[0170] 그러나, 본 발명의 일 실시형태와 같이 박막의 유전체층 및 내부전극이 적용되는 제품에 있어서는 사이드 마진부에서 발생하는 내습 신뢰성 저하 및 크랙을 막기 위하여, 사이드 마진부가 포함하는 유전체 그레인 사이즈를 조절하여야 한다.

[0172] 즉, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층(111)이 포함하는 주석(Sn)의 함량보다 더 많도록 조절할 경우, 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 그레인 사이즈가 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈보다 작게 조절할 수 있어, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 액티브부의 유전체층(111)에 비하여 고인성을 가질 수 있다.

[0173] 이로 인하여, 적층 세라믹 커패시터를 기판에 실장시 상기 제1 및 제2 사이드 마진부(112, 113)의 크랙을 개선 할 수 있다.

[0175] 본 발명의 일 실시형태에서는 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 유전체 그레인 사이즈가 상기 액티브부의 유전체층(111)이 포함하는 유전체 그레인 사이즈보다 작게 조절할 수 있어, 유전체층(111)과 제1 및 제2 내부전극(121, 122)의 두께가 0.4 μm 이하인 박막의 경우에도 내습 신뢰성을 향상시킬 수 있다.

[0177] 다만, 상기 박막의 의미가 유전체층(111)과 제1 및 제2 내부전극(121, 122)의 두께가 0.4 μm 이하인 것을 의미하는 것은 아니며, 종래의 제품보다 얇은 두께의 유전체층과 내부전극을 포함하는 개념으로 이해될 수 있다.

[0179] 도 5a 내지 도 5f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.

[0181] 본 발명의 다른 실시형태에 따르면, 복수 개의 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계, 상기 제1 내부전극 패턴과 상기 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층 바디를 형성하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 폭 방향으로 노출된 측면을 갖도록 상기 세라믹 그린시트 적층 바디를 절단하는 단계, 상기 제1 내부전극 패턴과 제2 내부전극 패턴의 말단이 노출된 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계 및 상기 절단된 적층 바디를 소성하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 바디를 마련하는 단계를 포함하며, 상기 세라믹 바디는 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극을 포함하여 용량이 형성되는 액티브부와 상기 액티브부의 상부 및 하부에 형성된 커버부를 포함하고, 상기 제1 및 제2 사이드 마진부는 주석(Sn)을 포함하고, 상기 제1 및 제2 사이드 마진부가 포함하는 주석(Sn)의 함량은 상기 액티브부의 유전체층이 포함하는 주석(Sn)의 함량보다 더 많은 적층 세라믹 커패시터의 제조방법을 제공한다.

- [0183] 이하, 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 설명한다.
- [0185] 도 5a에 도시된 바와 같이, 세라믹 그린시트(211) 위에 소정의 간격을 두고 복수 개의 스트라이프형 제1 내부전극 패턴(221)을 형성한다. 상기 복수 개의 스트라이트형 제1 내부전극 패턴(221)은 서로 평행하게 형성될 수 있다.
- [0186]
- [0187] 상기 세라믹 그린시트(211)는 세라믹 파우더, 유기 용체 및 유기 바인더를 포함하는 세라믹 페이스트로 형성될 수 있다.
- [0189] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨($BaTiO_3$)계 재료, 납복합 페로브스카이트계 재료 또는 티탄산스트론튬($SrTiO_3$)계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨($BaTiO_3$) 파우더가 사용될 수 있다. 상기 세라믹 그린시트(211)가 소성되면 세라믹 바디(110)를 구성하는 유전체층(111)이 된다.
- [0191] 스트라이프형 제1 내부전극 패턴(221)은 도전성 금속을 포함하는 내부전극 페이스트에 의하여 형성될 수 있다. 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있다.
- [0193] 상기 세라믹 그린시트(211) 상에 스트라이프형 제1 내부전극 패턴(221)을 형성하는 방법은 특별히 제한되지 않으나, 예를 들면 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통해 형성될 수 있다.
- [0195] 또한, 도시되지 않았으나, 또 다른 세라믹 그린시트(211) 위에 소정의 간격을 두고 복수 개의 스트라이프형 제2 내부전극 패턴(222)을 형성할 수 있다.
- [0197] 이하, 제1 내부전극 패턴(221)이 형성된 세라믹 그린시트는 제1 세라믹 그린시트로 지칭될 수 있고, 제2 내부전극 패턴(222)이 형성된 세라믹 그린시트는 제2 세라믹 그린시트로 지칭될 수 있다.
- [0199] 다음으로, 도 5b에 도시된 바와 같이, 스트라이프형 제1 내부전극 패턴(221)과 스트라이프형 제2 내부전극 패턴(222)이 교차 적층되도록 제1 및 제2 세라믹 그린시트를 번갈아가며 적층할 수 있다.
- [0200] 이후, 상기 스트라이프형 제1 내부전극 패턴(221)은 제1 내부전극(121)이 되고, 스트라이프형 제2 내부전극 패턴(222)은 제2 내부전극(122)이 될 수 있다.
- [0202] 본 발명의 다른 실시형태에 따르면, 상기 제1 및 제2 세라믹 그린시트의 두께(td)는 $0.6 \mu m$ 이하이고, 제1 및 제2 내부전극 패턴의 두께(te)는 $0.5 \mu m$ 이하이다.
- [0204] 본 발명은 유전체층의 두께가 $0.4 \mu m$ 이하이고, 내부전극의 두께는 $0.4 \mu m$ 이하인 박막을 갖는 초소형 고용량 적층 세라믹 커패시터를 특징으로 하기 때문에, 상기 제1 및 제2 세라믹 그린시트의 두께(td)는 $0.6 \mu m$ 이하이고, 제1 및 제2 내부전극 패턴의 두께(te)는 $0.5 \mu m$ 이하인 것을 특징으로 한다.
- [0206] 도 5c는 본 발명의 일 실시예에 따라 제1 및 제2 세라믹 그린시트가 적층된 세라믹 그린시트 적층 바디(220)를 도시하는 단면도이고, 도 5d는 제1 및 제2 세라믹 그린시트가 적층된 세라믹 그린시트 적층 바디(220)를 도시하는 사시도이다.
- [0208] 도 5c 및 도 5d를 참조하면, 복수 개의 평행한 스트라이프형 제1 내부전극 패턴(221)이 인쇄된 제1 세라믹 그린시트와 복수 개의 평행한 스트라이프형 제2 내부전극 패턴(222)이 인쇄된 제2 세라믹 그린시트는 서로 번갈아가며 적층되어 있다.
- [0209] 보다 구체적으로, 제1 세라믹 그린시트에 인쇄된 스트라이프형 제1 내부전극 패턴(221)의 중앙부와 제2 세라믹 그린시트에 인쇄된 스트라이프형 제2 내부전극 패턴(222) 사이의 간격이 중첩되도록 적층될 수 있다.
- [0211] 다음으로, 도 5d에 도시된 바와 같이, 상기 세라믹 그린시트 적층 바디(220)는 복수 개의 스트라이프형 제1 내부전극 패턴(221) 및 스트라이프형 제2 내부전극 패턴(222)을 가로지르도록 절단될 수 있다. 즉, 상기 세라믹 그린시트 적층 바디(210)는 서로 직교하는 C1-C1 및 C2-C2 절단선을 따라 절단된 적층 바디(210)가 될 수 있다.
- [0212] 보다 구체적으로, 스트라이프형 제1 내부전극 패턴(221) 및 스트라이프형 제2 내부전극 패턴(222)은 길이 방향으로 절단되어 일정한 폭을 갖는 복수 개의 내부전극으로 분할될 수 있다. 이때, 적층된 세라믹 그린시트도 내

부전극 패턴과 함께 절단된다. 이에 따라 유전체층은 내부전극의 폭과 동일한 폭을 갖도록 형성될 수 있다.

[0213] 또한, C2-C2 절단선을 따라 개별적인 세라믹 바디 사이즈에 맞게 절단할 수 있다. 즉, 제1 사이드 마진부 및 제2 사이드 마진부를 형성하기 전에 막대형 적층체를 C2-C2 절단선을 따라 개별적인 세라믹 바디 사이즈로 절단하여 복수 개의 적층 바디(210)를 형성할 수 있다.

[0214] 즉, 막대형 적층체를 중첩된 제1 내부전극의 중심부와 제2 내부전극 간에 형성된 소정의 간격이 동일한 절단선에 의하여 절단되도록 절단할 수 있다. 이에 따라, 제1 내부전극 및 제2 내부전극의 일단은 절단면에 교대로 노출될 수 있다.

[0215] 이후, 상기 적층 바디(210)의 제1 및 제2 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성할 수 있다.

[0217] 다음으로, 도 5e에 도시된 바와 같이, 상기 적층 바디(210)의 제1 측면에 제1 사이드 마진부(212)을 형성할 수 있다.

[0219] 구체적으로, 제1 사이드 마진부(212)의 형성방법은 측면용 세라믹 그린시트를 러버 재질의 편침 탄성재(300) 상부에 배치한다.

[0220] 다음으로, 상기 적층 바디(210)의 제1 측면이 상기 측면용 세라믹 그린시트와 마주하도록 상기 적층 바디(210)를 90도 회전한 후, 상기 적층 바디(210)를 상기 측면용 세라믹 그린시트에 가압 밀착시킨다.

[0221] 상기 적층 바디(210)를 상기 측면용 세라믹 그린시트에 가압 밀착시켜 측면용 세라믹 그린시트를 상기 적층 바디(210)에 전사할 경우, 상기 러버 재질의 편침 탄성재(300)로 인하여 상기 측면용 세라믹 그린시트는 상기 적층 바디(210)의 측면 모서리부까지 형성되고, 나머지 부분은 절단될 수 있다.

[0222] 이로 인하여, 도 5f에 도시된 바와 같이, 적층 바디(210)의 제1 측면에 제1 사이드 마진부(212)을 형성할 수 있다.

[0224] 그 이후 상기 적층 바디(210)를 회전함으로써, 적층 바디(210)의 제2 측면에 제2 사이드 마진부를 형성할 수 있다.

[0226] 다음으로, 상기 적층 바디(210)의 양 측면에 제1 및 제2 사이드 마진부가 형성된 적층 바디를 가소 및 소성하여 유전체층과 제1 및 제2 내부전극을 포함하는 세라믹 바디를 형성할 수 있다.

[0228] 이후, 상기 제1 내부전극이 노출된 세라믹 바디의 제3 측면과 상기 제2 내부전극이 노출된 세라믹 바디의 제4 측면에 각각 외부전극을 형성할 수 있다.

[0230] 본 발명의 다른 실시형태에 따르면, 측면용 세라믹 그린시트는 얇고 두께의 편차가 작아 용량 형성부의 사이즈를 크게 확보할 수 있다.

[0231] 구체적으로, 소성 이후 제1 및 제2 사이드 마진부(112, 113)의 평균 두께가 $2\mu\text{m}$ 이상 $15\mu\text{m}$ 이하이고, 위치별 두께의 편차가 적어서 용량 형성부의 사이즈를 크게 확보할 수 있다.

[0232] 이로 인하여, 고용량 적층 세라믹 커패시터의 구현이 가능하다.

[0234] 또한, 상기 제1 및 제2 사이드 마진부(112, 113)는 상기 Ba 및 Ti를 포함하는 모재 주성분 외에 주석(Sn)을 더 포함한다.

[0235] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량은 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨(BaTiO₃) 100 몰 대비 0.1 몰 이상 3.0 몰 이하일 수 있다.

[0236] 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주석(Sn)의 함량이 상기 제1 및 제2 사이드 마진부(112, 113)가 포함하는 주성분 티탄산바륨(BaTiO₃) 100 몰 대비 0.1 몰 이상 3.0 몰 이하로 조절함으로써, 내습 신뢰성을 향상시킬 수 있다.

[0238] 그 외 상술한 본 발명의 일 실시형태에서의 특징과 동일한 부분에 대한 설명은 중복을 피하기 위하여 여기서는 생략하도록 한다.

[0240] 이하, 실험 예를 통하여 본 발명을 더욱 상세히 설명하지만, 이는 발명의 구체적인 이해를 돋기 위한 것으로 본 발명의 범위가 실험 예에 의해 한정되는 것은 아니다.

[0242] 실험 예

[0243] 본 발명의 일 실시형태에 따라, 종래와 같이 주석(Sn)을 포함하지 않은 유전체 조성을 갖는 사이드 마진부를 형성한 비교예와 주석(Sn)을 포함하는 유전체 조성을 갖는 사이드 마진부를 형성한 실시예를 각각 마련하였다.

[0245] 그리고, 폭 방향으로 내부전극이 노출되어 마진이 없는 그린 칩의 전극 노출부에 상기 비교예와 실시예와 같이 측면용 세라믹 그린시트를 부착하여 사이드 마진부를 형성할 수 있도록 세라믹 그린시트 적층 바디를 형성하였다.

[0246] 칩의 변형을 최소화한 조건으로 일정 온도와 압력을 가하여 세라믹 그린시트 적층 바디의 양면에 측면 형성용 세라믹 그린시트를 부착하여 0603 사이즈 (가로x세로x높이 : 0.6mm x 0.3mm x 0.3mm)의 적층 세라믹 커페시터 그린 칩을 제작하였다.

[0247] 이렇게 제작이 완료된 적층 세라믹 커페시터 시편은 400°C 이하, 질소 분위기에서 가소 공정을 거쳐 소성온도 1200°C 이하, 수소농도 0.5% H₂ 이하 조건에서 소성 후 외관 불량, 절연 저항 및 내습 특성 등의 전기적 특성을 종합적으로 확인하였다.

[0249] 도 6은 본 발명의 실시예와 비교예에 따른 사이드 마진부의 인성(Toughness) 결과를 비교한 그래프이다.

[0251] 도 6을 참조하면, 종래와 같이 주석(Sn)을 포함하지 않은 유전체 조성을 갖는 사이드 마진부를 형성한 비교예에 비하여, 주석(Sn)을 포함하는 유전체 조성을 갖는 사이드 마진부를 형성한 실시예의 경우 고인성을 갖는 것을 알 수 있다.

[0253] 도 7은 본 발명의 실시예와 비교예에 따른 내습 신뢰성 테스트 결과를 비교한 그래프이다.

[0255] 도 7에서, 도 7(a)는 종래와 같이 주석(Sn)을 포함하지 않은 유전체 조성을 갖는 사이드 마진부를 형성한 비교예이며, 도 7(b)는 실시예로서 주석(Sn)을 포함하는 유전체 조성을 갖는 사이드 마진부를 형성한 경우이다.

[0257] 비교예의 경우 내습 신뢰성에 문제가 있음을 알 수 있으며, 실시예의 경우 내습 신뢰성이 우수함을 알 수 있다.

[0259] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

[0261] 110: 세라믹 바디

111: 유전체층

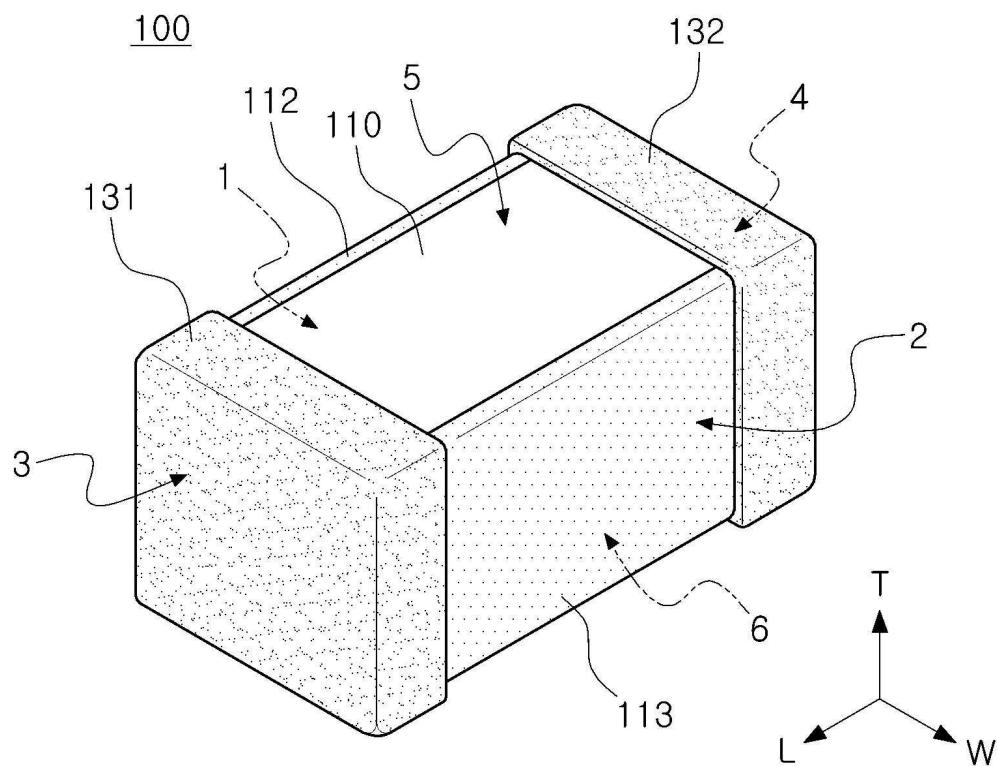
112, 113: 제1 및 제2 사이드 마진부

121, 122: 제1 및 제2 내부전극

131, 132: 제1 및 제2 외부전극

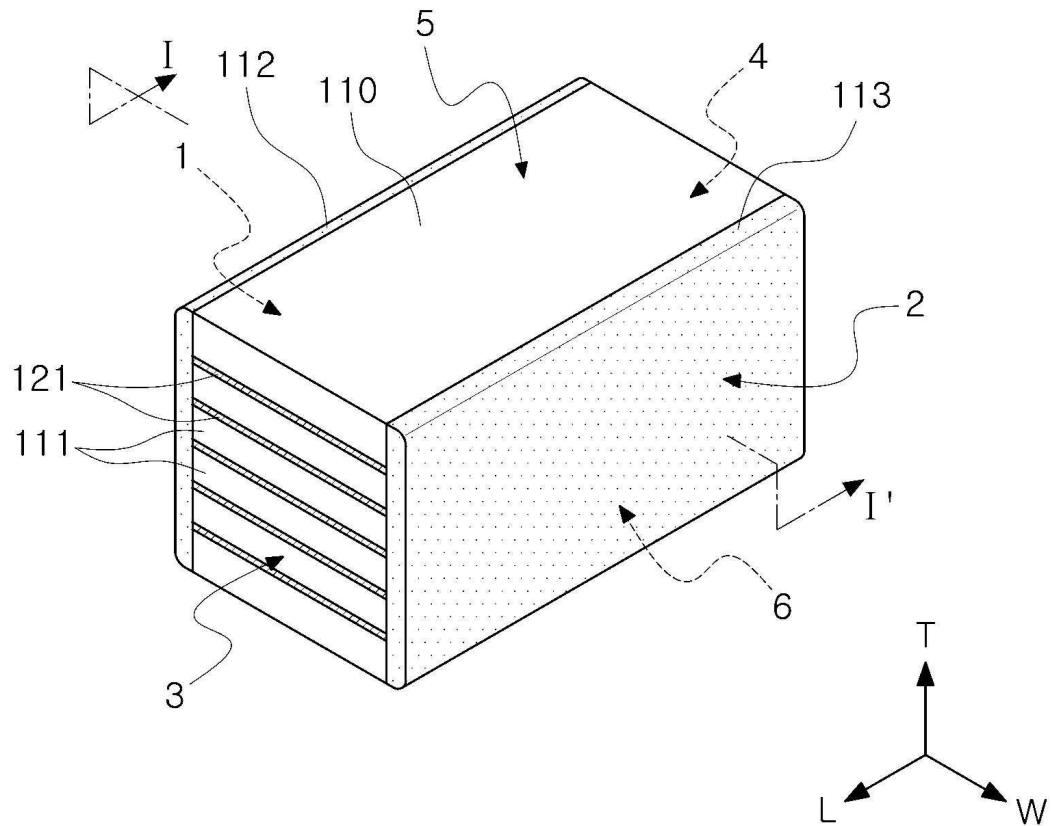
도면

도면1

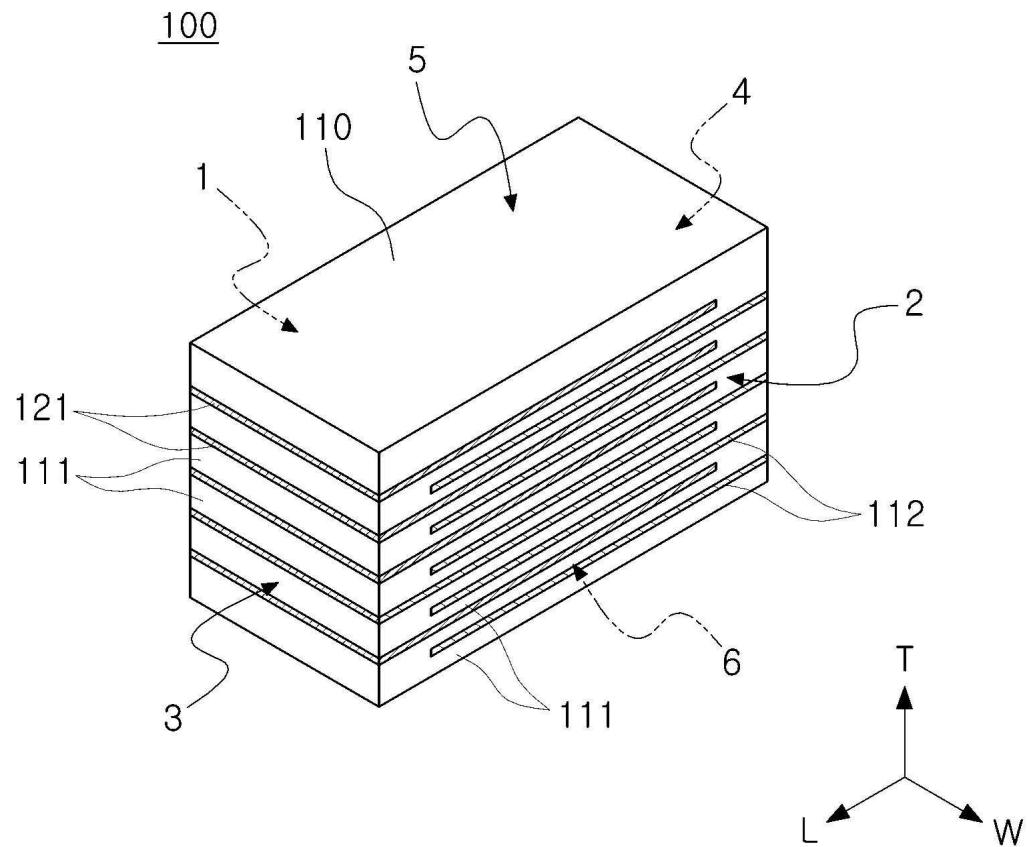


도면2

100

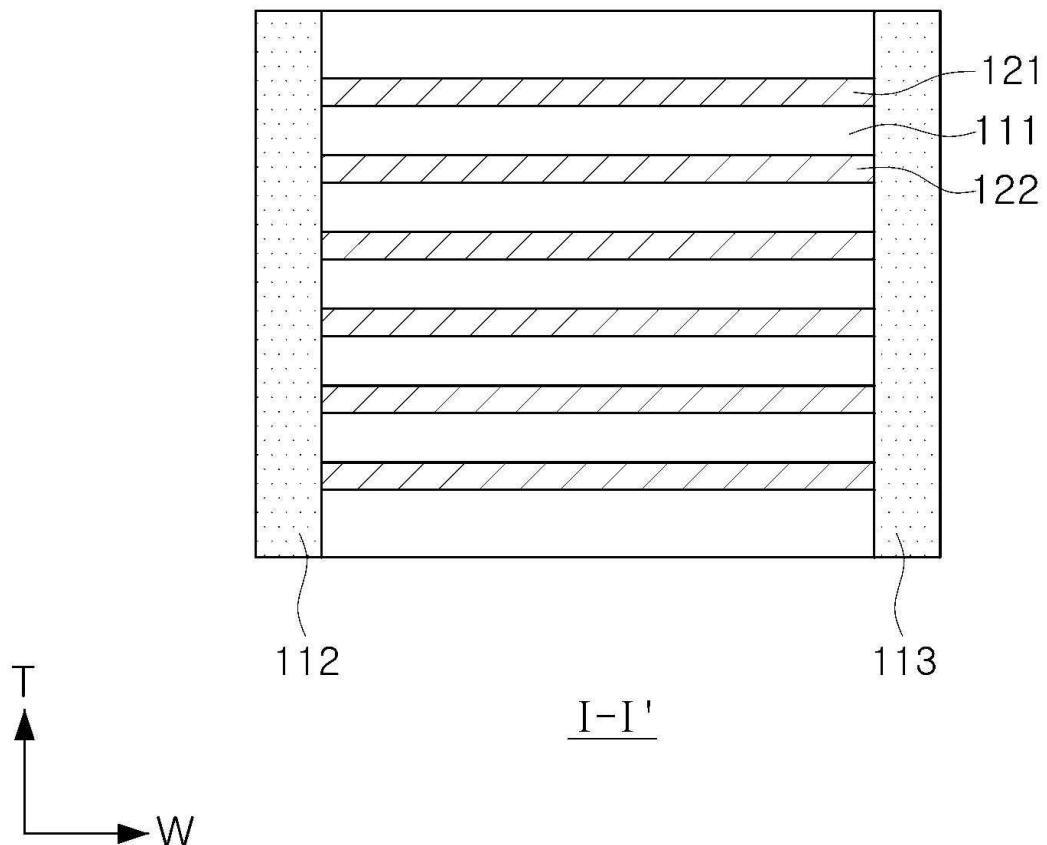


도면3

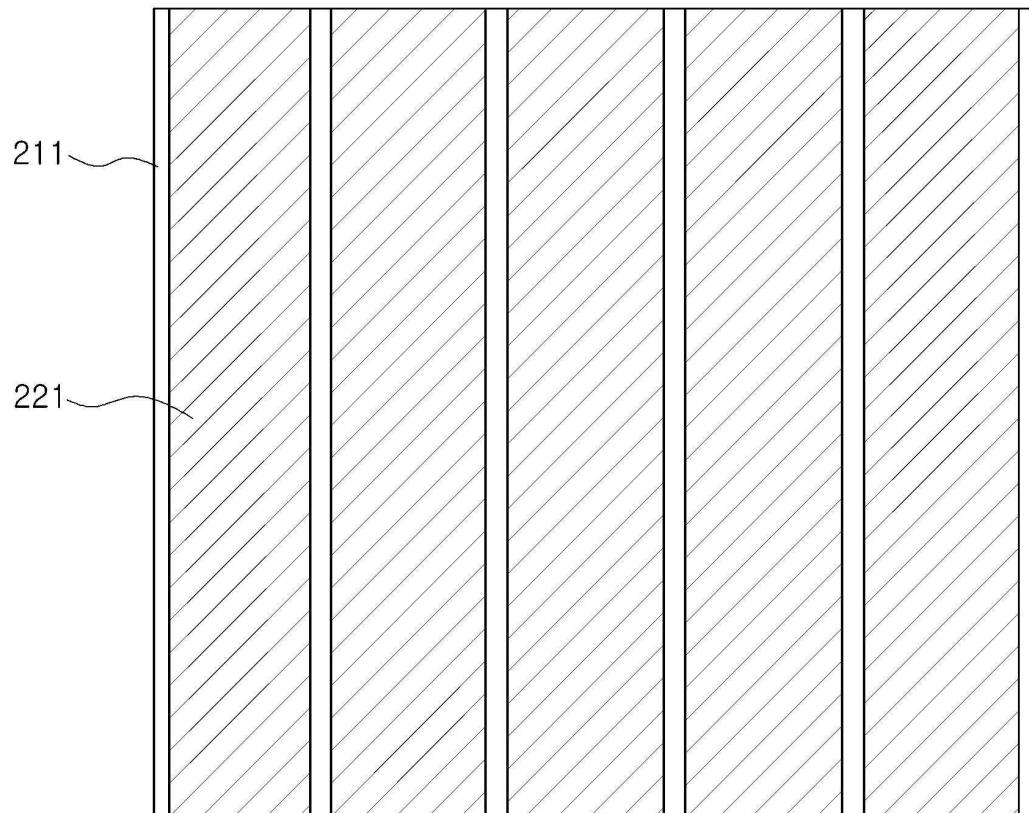


도면4

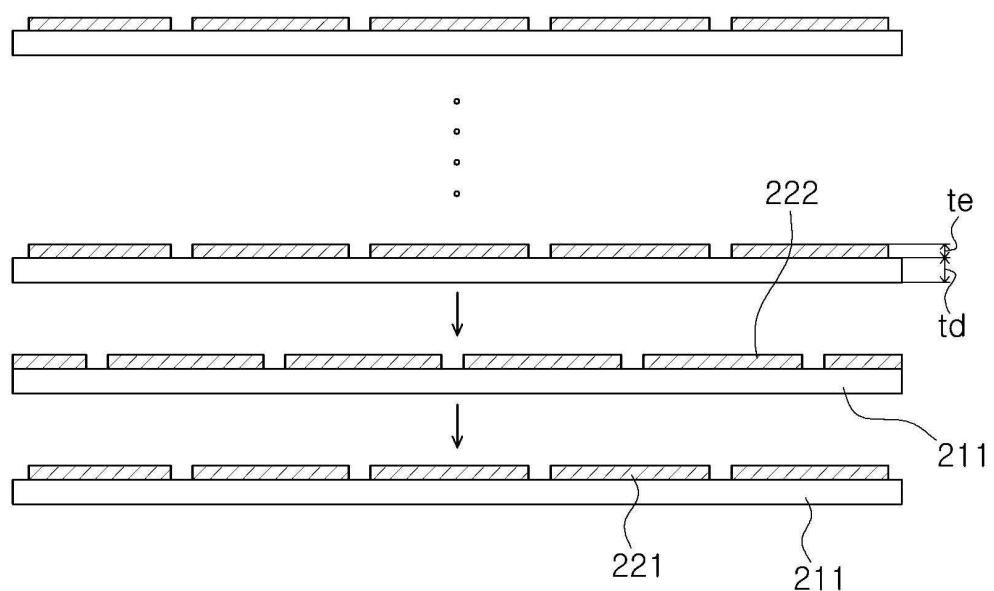
100



도면5a

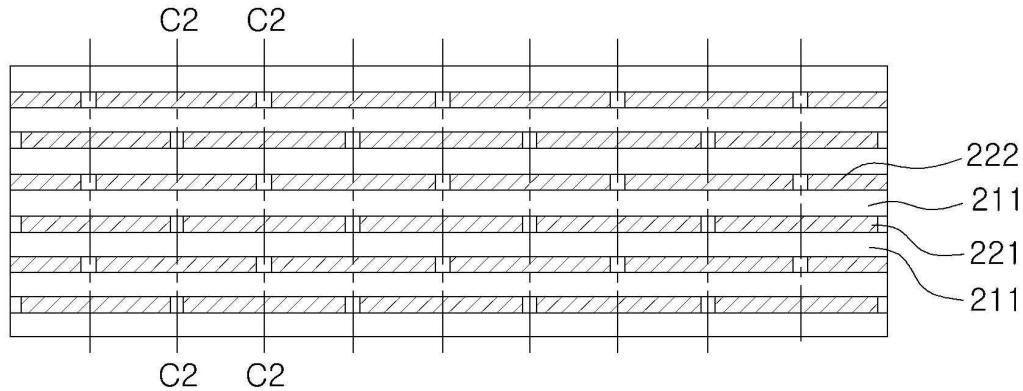


도면5b



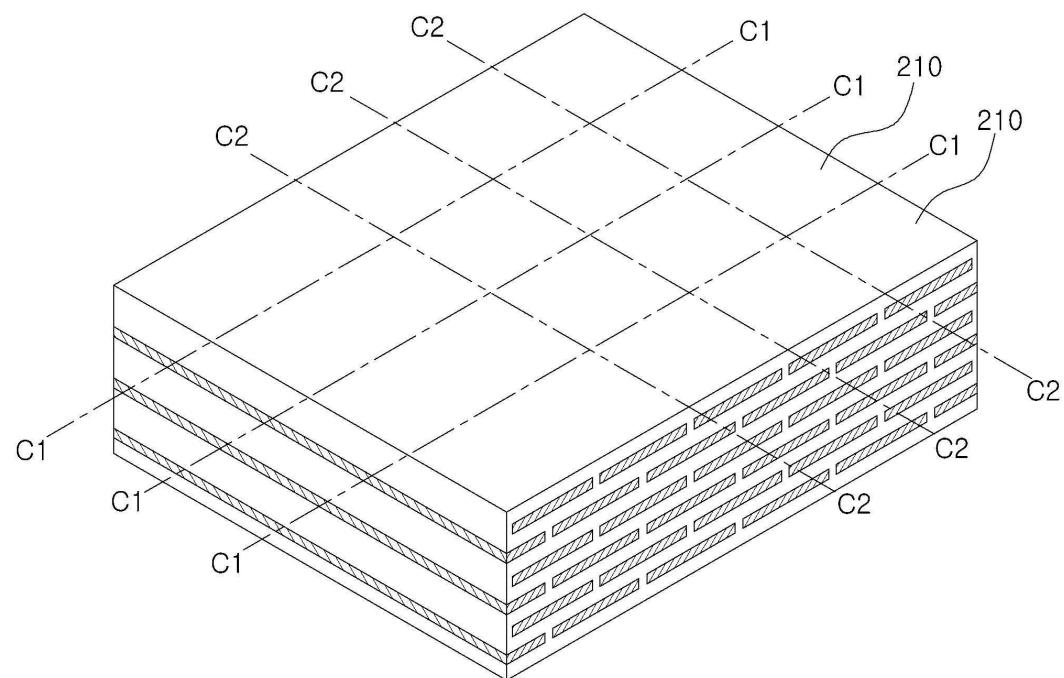
도면5c

220

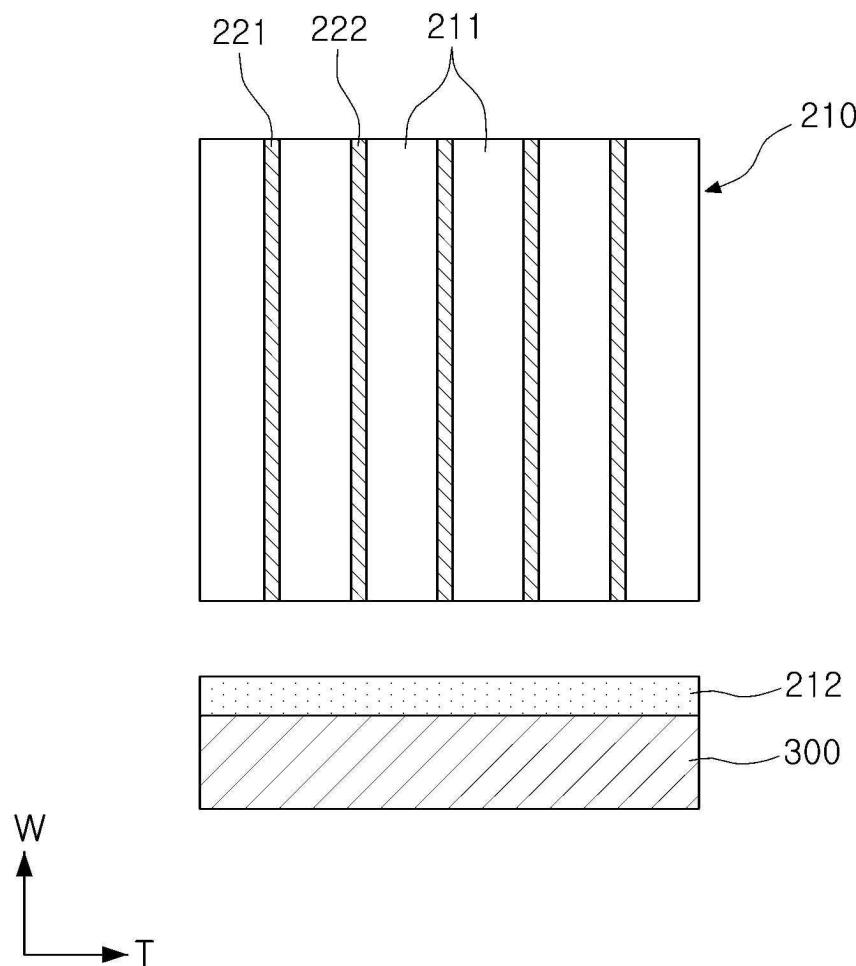


도면5d

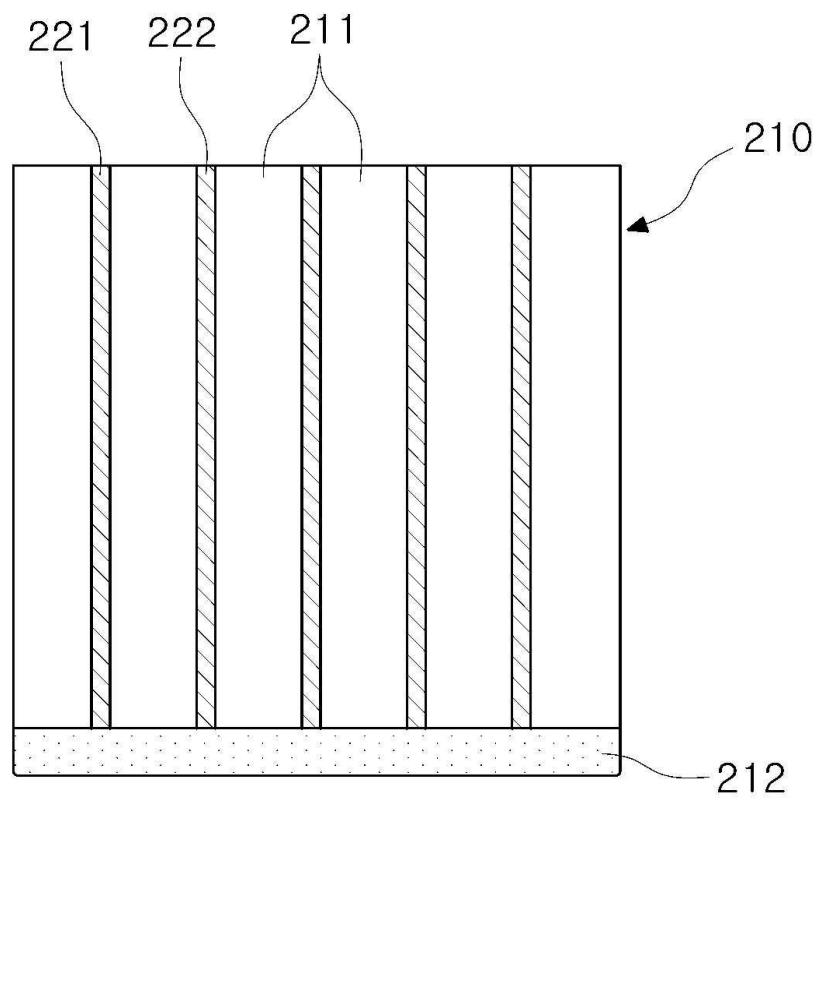
220



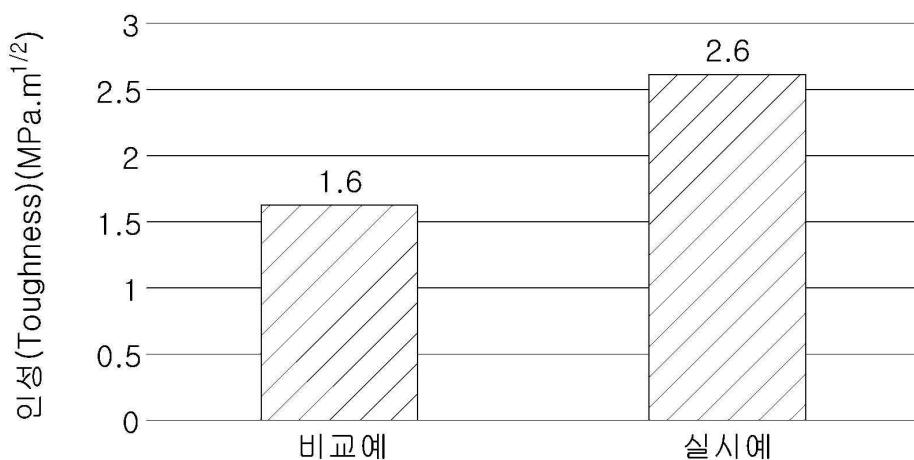
도면5e



도면5f



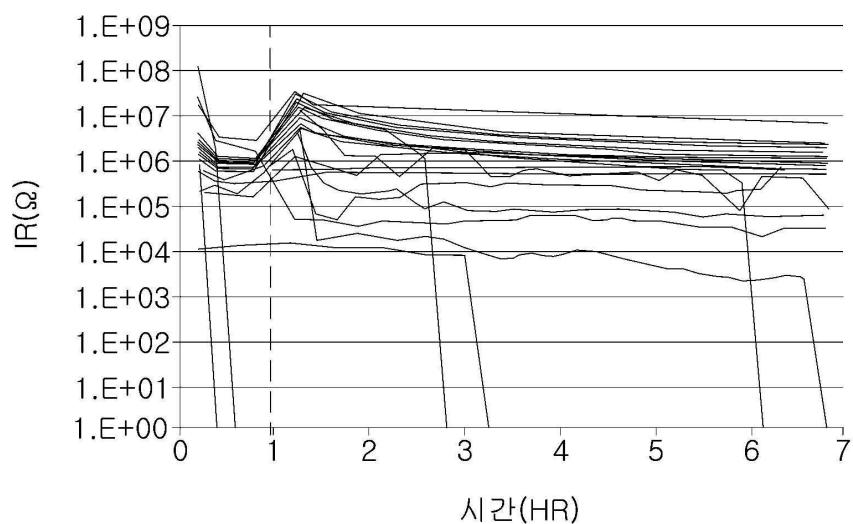
도면6



도면7

(a)

Ref.



(b)

Sn 첨가

