



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0005064

(43) 공개일자 2016년01월13일

(51) 국제특허분류(Int. Cl.)
H03H 7/46 (2006.01) H03H 7/01 (2006.01)
H03H 7/25 (2006.01)
(52) CPC특허분류
H03H 7/463 (2013.01)
H03H 7/256 (2013.01)
(21) 출원번호 10-2015-7033907
(22) 출원일자(국제) 2014년05월02일
심사청구일자 없음
(85) 번역문제출일자 2015년11월27일
(86) 국제출원번호 PCT/US2014/036524
(87) 국제공개번호 WO 2014/182556
국제공개일자 2014년11월13일
(30) 우선권주장
13/887,568 2013년05월06일 미국(US)

(71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
드라이브 5775
(72) 발명자
추오, 쉐지에
미국 92121 캘리포니아주 샌 디에고 모어하우스
드라이브 5775
김, 데익, 디.
미국 92121 캘리포니아주 샌 디에고 모어하우스
드라이브 5775
(74) 대리인
(뒷면에 계속)
특허법인 남앤드남

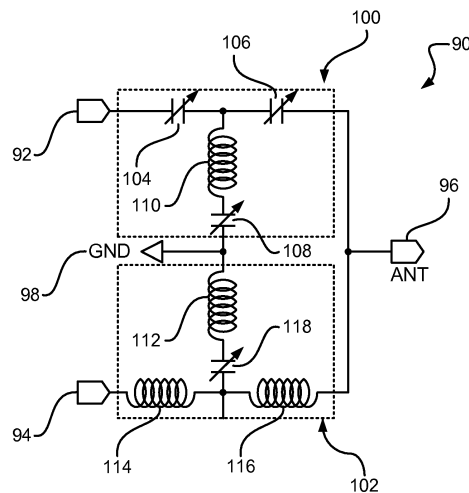
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 3-차원(3D) 집적 회로들(IC) 내의 튜닝가능한 다이플렉서들 및 관련 컴포넌트들 및 방법들

(57) 요약

3차원(3D) 집적 회로들(IC)(3DIC) 내의 튜닝가능한 다이플렉서들을 포함한다. 일 실시예에서, 튜닝가능한 다이플렉서는, 다이플렉서 내에 버랙터 또는 가변 인덕터 중 어느 하나를 제공함으로써 형성될 수도 있다. 버랙터 또는 가변 인덕터의 가변 속성은, 원하는 주파수의 고조파들을 제거하기 위한 대역 저지를 선택할 뿐만 아니라 통과 대역의 차단 주파수를 제어하도록, 다이플렉서 내의 노치가 튜닝되게 한다. 다이플렉서의 엘리먼트들을 3차원으로 적층시킴으로써, 공간이 절약되고 다양한 버랙터들 및 인덕터들이 사용가능해질 수 있다.

대표도 - 도2a



(52) CPC특허분류

H03H 2007/013 (2013.01)

(72) 발명자

란, 제-송

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

김, 종해

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

베레즈, 마리오, 프란시스코

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

윤, 창환

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

베디, 데이비드, 에프.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

미쿨카, 로버트, 피.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

노왁, 매튜, 엠.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

창, 시양둥

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

시, 푸아이, 에이치.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

명세서

청구범위

청구항 1

3차원(3D) 집적 회로(IC)(3DIC)로서,

적어도 하나의 인덕터를 포함하는 제 1 티어(tier);

상기 적어도 하나의 인덕터에 커플링되는 적어도 하나의 버랙터(varactor)를 포함하는 제 2 티어를 포함하며,

상기 적어도 하나의 인덕터와 상기 적어도 하나의 버랙터는 집합적으로, 튜닝가능한(tunable) 다이플렉서(diplexer)를 형성하는, 3차원 집적 회로.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 버랙터는 SOG(silicon on glass) 버랙터를 포함하는, 3차원 집적 회로.

청구항 3

제 1 항에 있어서,

상기 적어도 하나의 인덕터는 유리 관통 비아(through glass via)(TGV) 인덕터를 포함하는, 3차원 집적 회로.

청구항 4

제 1 항에 있어서,

상기 적어도 하나의 인덕터 및 상기 적어도 하나의 버랙터는 상기 튜닝가능한 다이플렉서 내에 저역 통과(LP) 필터를 포함하는, 3차원 집적 회로.

청구항 5

제 1 항에 있어서,

상기 제 1 티어 내의 복수의 제 2 인덕터들에 커플링되어 상기 제 2 티어 내에 포지셔닝되는 제 2 버랙터를 더 포함하며,

상기 제 2 버랙터와 상기 복수의 제 2 인덕터들은 집합적으로, 상기 튜닝가능한 다이플렉서의 LP 필터를 형성하는, 3차원 집적 회로.

청구항 6

제 1 항에 있어서,

상기 적어도 하나의 버랙터는, 상기 튜닝가능한 다이플렉서 내의 필터의 노치(notch) 주파수를 조절하도록 구성되는, 3차원 집적 회로.

청구항 7

제 1 항에 있어서,

상기 적어도 하나의 인덕터는, 상기 튜닝가능한 다이플렉서 내의 필터에 대한 차단(cutoff) 주파수를 제어하도록 구성되는, 3차원 집적 회로.

청구항 8

제 1 항에 있어서,

반도체 다이에 집적되는, 3차원 집적 회로.

청구항 9

제 1 항에 있어서,

셋 톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어에 이루어지는 그룹으로부터 선택되는 디바이스를 더 포함하며, 상기 디바이스에는 상기 3DIC가 통합되는, 3차원 집적 회로.

청구항 10

튜닝가능한 다이플렉서를 형성하는 방법으로서,

3차원(3D) 집적 회로(IC)(3DIC)의 제 1 티어 내에 인덕터를 형성하는 단계;

상기 3DIC의 제 2 티어 내에 버랙터를 형성하는 단계; 및

상기 인덕터 및 상기 버랙터가 상기 튜닝가능한 다이플렉서에 대한 필터를 형성하도록, 상기 3DIC 내의 상기 인덕터에 상기 버랙터를 전기적으로 커플링시키는 단계를 포함하는, 튜닝가능한 다이플렉서를 형성하는 방법.

청구항 11

제 10 항에 있어서,

상기 인덕터에 상기 버랙터를 전기적으로 커플링시키는 단계는, 기판 이송(substrate transfer)을 실시하는 단계 및 금속-금속 본딩(metal-to-metal bonding)을 사용하는 단계를 포함하는, 튜닝가능한 다이플렉서를 형성하는 방법.

청구항 12

제 10 항에 있어서,

상기 인덕터에 상기 버랙터를 전기적으로 커플링시키는 단계는, 상기 제 1 티어 상에 상기 제 2 티어를 다이 적층(die stacking)하는 단계 및 플립-칩 범프(flip-chip bump)를 사용하는 단계를 포함하는, 튜닝가능한 다이플렉서를 형성하는 방법.

청구항 13

제 10 항에 있어서,

상기 인덕터를 형성하는 단계는, 유리 관통 비아(TGV) 인덕터를 형성하는 단계를 포함하는, 튜닝가능한 다이플렉서를 형성하는 방법.

청구항 14

제 10 항에 있어서,

상기 제 2 티어 내에 버랙터를 형성하는 단계는, SOG(silicon on glass) 버랙터를 형성하는 단계를 포함하는, 튜닝가능한 다이플렉서를 형성하는 방법.

청구항 15

3차원(3D) 집적 회로(IC)(3DIC)로서,

인덕팅(inducting)을 위한 적어도 하나의 수단을 포함하는 제 1 티어;

상기 인덕팅을 위한 적어도 하나의 수단에 커플링되는 가변 커패시턴스를 제공하기 위한 적어도 하나의 수단을 포함하는 제 2 티어를 포함하며,

상기 인덕팅을 위한 적어도 하나의 수단과 상기 가변 커패시턴스를 제공하기 위한 적어도 하나의 수단은 집합적으로, 튜닝가능한 다이플렉서를 형성하는, 3차원 집적 회로.

청구항 16

튜닝가능한 다이플렉서 집적 회로(IC)로서,

제 1 주파수 대역을 갖는 제 1 신호들을 트랜시브(transceive)하도록 구성되는 제 1 주파수 포트;

상기 제 1 주파수 대역 밖의 제 2 주파수 대역을 갖는 제 2 주파수 신호들을 트랜시브하도록 구성되는 제 2 주파수 포트;

안테나 포트;

상기 제 1 주파수 포트와 상기 안테나 포트 사이에서 상기 제 1 주파수 대역 내의 신호들을 통과시키도록 구성되는 제 1 통과 필터;

상기 제 2 주파수 포트와 상기 안테나 포트 사이에서 상기 제 2 주파수 대역 내의 신호들을 통과시키도록 구성되는 제 2 통과 필터;

버랙터 및 가변 인덕터 중 적어도 하나를 포함하는 적어도 하나의 노치 필터를 포함하며,

상기 적어도 하나의 노치 필터는, 상기 제 1 주파수 포트, 상기 제 2 주파수 포트, 및 상기 안테나 포트 중 적어도 2개 사이에서, 튜닝가능한 노치 대역을 제공하도록 구성되는, 튜닝가능한 다이플렉서 집적 회로.

청구항 17

제 16 항에 있어서,

상기 버랙터는 높은 Q 버랙터를 포함하며, Q는 2 GHz에서 100과 동일하거나 그보다 더 큰, 튜닝가능한 다이플렉서 집적 회로.

청구항 18

제 16 항에 있어서,

상기 인덕터는 높은 Q 인덕터를 포함하며, Q는 1 GHz에서 30과 동일하거나 그보다 더 큰, 튜닝가능한 다이플렉서 집적 회로.

청구항 19

제 16 항에 있어서,

상기 노치 필터는, 상기 제 1 주파수 대역에서 신호들의 고조파들을 차단하도록 구성되는, 튜닝가능한 다이플렉서 집적 회로.

청구항 20

제 16 항에 있어서,

상기 인덕터는 유리 관통 비아(TGV) 인덕터를 포함하는, 튜닝가능한 다이플렉서 집적 회로.

발명의 설명

기술 분야

우선권 주장

[0001] 본 출원은, 발명의 명칭이 "TUNABLE DIPLEXERS IN THREE-DIMENSIONAL (3D) INTEGRATED CIRCUITS (IC) (3DIC) AND RELATED COMPONENTS AND METHODS,"으로 2013년 5월 6일자로 출원된 미국 특허 출원 일련번호 제 13/887,568호를 우선권으로 주장하며, 상기 특허 출원은 그 전체가 인용에 의해 본 명세서에 포함된다.

관련 출원들

- [0004] [0002] 본 출원은, 발명의 명칭이 "DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY,"으로 2013년 1월 11일자로 출원된 미국 가특허출원 일련번호 제 61/751,539호에 관한 것이며, 상기 가특허출원은 그 전체가 인용에 의해 본 명세서에 포함된다.
- [0005] [0003] 본 출원은 또한, '539 출원의 전환 특허(utility conversion), 즉, 발명의 명칭이 "DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY,"으로 2013년 3월 13일자로 출원된 미국 특허 출원 일련번호 제 13/798,733호에 관한 것이며, 상기 특허 출원은 또한 그 전체가 인용에 의해 본 명세서에 포함된다.
- [0006] [0004] 본 개시의 기술은 일반적으로 집적 회로들에 관한 것으로, 더 상세하게는, 집적 회로 내의 다이플렉서(diplexer) 설계들에 관한 것이다.

배경 기술

- [0007] [0005] 무선 통신 산업은 소비자들에게 가급적 많은 대역폭을 제공하는 것을 지향하여 계속 노력하고 있다. 이러한 목적을 위해, 현 세대의 통신에 대해 많은 무선 캐리어(wireless carrier)들이 캐리어 어그리게이션(carrier aggregation) 정책들을 채택했다. 즉, AT&T®와 같은 무선 캐리어는 특정한 지리적 영역에서 2개의 주파수 대역들(예를 들어, 700 MHz 및 2 GHz)에 대한 권리들을 소유할 수도 있다. 이용가능한 대역폭을 최대화하기 위해, 무선 캐리어는 단일 통신 스트림에 대해 주파수들 둘 모두를 동시에 사용할 수도 있다. 이것은 최종 사용자에게 제공될 수 있는 데이터의 양을 증가시키지만, 데이터를 송신하기 위해 사용되는 주파수들 각각이 고조파(harmonic) 주파수들의 잡음을 생성한다는 점에서 복잡한 문제들이 존재한다. AT&T의 예에서, 700 MHz 송신들은, 2 GHz 주파수들로 브로드캐스팅되는 데이터와 간섭할 수도 있는 2.1 GHz의 고조파들을 생성한다. 그러한 상황에서, 다이플렉서는, 캐리어 어그리게이션 시스템에서 반송되는 신호들을 프로세싱하는 것을 도울 수 있다. 그러한 캐리어 어그리게이션 시스템을 사용하는 디바이스에 대한 칩셋에서, 다이플렉서는 일반적으로, 높은 성능을 보장하기 위해 안테나와 튜너(tuner)(또는 라디오 주파수(RF) 스위치) 사이에 삽입된다. 일반적으로, 다이플렉서 설계는 인덕터들 및 커패시터들을 포함한다. 다이플렉서들은, 높은 품질(Q) 팩터를 갖는 인덕터들 및 커패시터들을 사용함으로써 고성능을 달성할 수 있다. 고성능 다이플렉서들은 또한 컴포넌트들 사이의 전자기 커플링을 감소시킴으로써 달성될 수 있으며, 이는, 컴포넌트들의 방향 및ジオ메트리(geometry)의 어레인지먼트(arrangement)를 통해 달성될 수도 있다. 다이플렉서 성능은, 특정한 주파수들에서의 삽입 손실(insertion loss) 및 리젝션(rejection)(예를 들어, 데시벨(dB) 단위로 표현되는 양들임)을 측정함으로써 정량화(quantify)될 수도 있다.
- [0008] [0006] 효율적이고 비용-효과적인 방식으로 고성능 다이플렉서를 제조하는 것은, 높은 Q를 달성하기 위해 요구되는 물질들이, 용이한 제조 프로세스들에 적합하지 않을 수도 있는 경우 문제가 있다. 다이플렉서의 사이즈를 감소시키고 자원들을 가장 경제적으로 사용하면서, 다이플렉서 내의 다양한 컴포넌트들 사이의 전자기 커플링을 감소시키는 것이 유익할 것이다.
- [0009] [0007] 앞서 포함된 관련 출원은, 다이플렉서들을 단일 무선 캐리어에 대해 적절하게 하는 수 개의 방식들을 제공한다. 그러나, 무선 디바이스 제조자들은, 다수의 캐리어들에 대해 작동하는 무선 디바이스들을 제조하기를 원할 수도 있다. 불운하게도, 무선 캐리어들은 동일한 주파수 대역들을 다루지 않으며, 일 세트의 주파수 대역들에 대해 작동하도록 최적화된 다이플렉서는 상이한 세트의 주파수 대역들에 대해 부적절할 수도 있다. 따라서, 트랜시버가 다수의 캐리어 어그리게이션 방식들에 대한 다수의 주파수 대역들에 대해 작동되게 하기 위한 방식일 필요성이 존재한다.

발명의 내용

- [0010] [0008] 상세한 설명에 기재된 실시예들은, 3차원(3D) 집적 회로들(IC)(3DIC) 내의 튜닝가능한(tunable) 다이플렉서들을 포함한다. 관련 컴포넌트들 및 방법들이 또한 기재된다. 튜닝가능한 다이플렉서는, 다이플렉서 내에 버랙터(varactor) 또는 가변 인덕터 중 어느 하나를 제공함으로써 형성될 수도 있다. 버랙터 또는 가변 인덕터의 가변 속성은, 원하는 주파수의 고조파들을 제거하기 위한 대역 저지(band stop)를 선택할 뿐만 아니라 통과 대역의 차단(cutoff) 주파수를 제어하도록, 다이플렉서 내의 노치(notch)가 튜닝되게 한다. 다이플렉서의 엘리먼트들을 3차원으로 적층(stack)시킴으로써, 공간이 절약되고 다양한 버랙터들 및 인덕터들이 사용가능할 수 있다. 제 1 실시예에서, 3DIC는 기판 이송(transfer)을 통해 생성된다. 제 2 실시예에서, 3DIC는 다이 적층 프로세스를 통해 생성된다.
- [0011] [0009] 이와 관련하여 일 실시예에서, 3DIC가 기재된다. 3DIC는 적어도 하나의 인덕터를 포함하는 제 1 티어

(tier)를 포함한다. 3DIC는 또한, 적어도 하나의 인덕터에 커플링되는 적어도 하나의 버랙터를 포함하는 제 2 티어를 포함하며, 적어도 하나의 인덕터와 적어도 하나의 버랙터는 집합적으로, 튜닝가능한 다이플렉서를 형성한다.

[0012] [0010] 다른 실시예에서, 튜닝가능한 다이플렉서를 형성하는 방법이 기재된다. 방법은, 3DIC의 제 1 티어에 인덕터를 형성하는 단계를 포함한다. 방법은 또한, 3DIC의 제 2 티어에 버랙터를 형성하는 단계를 포함한다. 방법은 또한, 인덕터 및 버랙터가 튜닝가능한 다이플렉서에 대한 필터를 형성하도록, 3DIC 내의 인덕터에 버랙터를 전기적으로 커플링시키는 단계를 포함한다.

[0013] [0011] 다른 실시예에서, 3DIC가 기재된다. 3DIC는 인덕팅(inducting)을 위한 적어도 하나의 수단을 포함하는 제 1 티어를 포함한다. 3DIC는 또한, 인덕팅을 위한 적어도 하나의 수단에 커플링되는 가변 커패시턴스를 제공하기 위한 적어도 하나의 수단을 포함하는 제 2 티어를 포함하며, 인덕팅을 위한 적어도 하나의 수단과 가변 커패시턴스를 제공하기 위한 적어도 하나의 수단은 집합적으로, 튜닝가능한 다이플렉서를 형성한다.

[0014] [0012] 다른 실시예에서, 튜닝가능한 다이플렉서 IC가 기재된다. 튜닝가능한 다이플렉서 IC는, 제 1 주파수 대역을 갖는 제 1 신호들을 트랜시브(transceive)하도록 구성되는 제 1 주파수 포트를 포함한다. 튜닝가능한 다이플렉서 IC는 또한, 제 1 주파수 대역 밖의 제 2 주파수 대역을 갖는 제 2 주파수 신호들을 트랜시브하도록 구성되는 제 2 주파수 포트를 포함한다. 튜닝가능한 다이플렉서 IC는 또한 안테나 포트를 포함한다. 튜닝가능한 다이플렉서 IC는 또한, 제 1 주파수 포트와 안테나 포트 사이에, 제 1 주파수 대역 내의 신호들을 통과시키도록 구성되는 제 1 통과 필터를 포함한다. 튜닝가능한 다이플렉서 IC는 또한, 제 2 주파수 포트와 안테나 포트 사이에, 제 2 주파수 대역 내의 신호들을 통과시키도록 구성되는 제 2 통과 필터를 포함한다. 튜닝가능한 다이플렉서 IC는 또한, 버랙터 및 가변 인덕터 중 적어도 하나를 포함하는 적어도 하나의 노치 필터를 포함하며, 적어도 하나의 노치 필터는, 제 1 주파수 포트, 제 2 주파수 포트, 및 안테나 포트 중 적어도 2개 사이에서 튜닝가능한 노치 대역을 제공하도록 구성된다.

도면의 간단한 설명

[0015] [0013] 도 1a는 일 예시적인 종래의 다이플렉서의 개략도이다.

[0014] 도 1b는, 도 1a의 다이플렉서에 대한 통상적인 주파수 응답의 그래프이다.

[0015] 도 1c는, 다이플렉서를 이용하는 예시적인 칩 셋의 개략도이다.

[0016] 도 2a는 본 개시의 예시적인 실시예에 따른 다이플렉서의 개략도이다.

[0017] 도 2b는, 도 2a의 다이플렉서에 대한 통상적인 주파수 응답의 그래프이다.

[0018] 도 3은 본 개시의 대안적인 예시적 실시예에 따른 다이플렉서의 개략도이다.

[0019] 도 4는 본 개시의 실시예들에 따른, 다이플렉서의 어셈블리(assembly) 동안의 3차원(3D) 집적 회로(IC)(3DIC)의 예시적인 실시예의 간략화된 측면도이다.

[0020] 도 5는 본 개시의 실시예들에 따른, 어셈블리의 추가적인 스테이지에서의 3DIC의 간략화된 측면도이다.

[0021] 도 6은 본 개시의 실시예들에 대한 예시적인 제조 프로세스를 표현하는 흐름도이다.

[0022] 도 7은 본 개시의 실시예들에 따른, 다이플렉서의 어셈블리 프로세스의 제 2 예시적인 실시예의 간략화된 측면도이다.

[0023] 도 8은, 도 2a 또는 3의 다이플렉서를 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016] [0024] 이제, 도시한 도면들을 참조하여, 본 개시의 몇몇 예시적인 실시예들이 설명된다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인"것으로서 본 명세서에 설명된 임의의 실시예는 다른 실시예들에 비해 바람직하거나 유리한 것으로서 해석될 필요는 없다.

[0017] [0025] 상세한 설명에 기재된 실시예들은, 3차원(3D) 집적 회로들(IC)(3DIC) 내의 튜닝가능한 다이플렉서들을 포함한다. 관련 컴포넌트들 및 방법들이 또한 기재된다. 튜닝가능한 다이플렉서는, 다이플렉서 내에 버랙터 또는 가변 인덕터 중 어느 하나를 제공함으로써 형성될 수도 있다. 버랙터 또는 가변 인덕터의 가변 속성은,

원하는 주파수의 고조파들을 제거하기 위한 대역 저지를 선택할 뿐만 아니라 통과 대역의 차단 주파수를 제어하도록, 다이플렉서 내의 노치가 튜닝되게 한다. 다이플렉서의 엘리먼트들을 3차원으로 적층시킴으로써, 공간이 절약되고 다양한 버랙터들 및 인덕터들이 사용가능해질 수 있다. 제 1 실시예에서, 3DIC는 기판 이송을 통해 생성된다. 제 2 실시예에서, 3DIC는 다이 적층 프로세스를 통해 생성된다.

- [0018] [0026] 가변 인덕터 또는 버랙터를 갖는 다이플렉서를 제공함으로써, 다이플렉서가 다수의 캐리어 어그리게이션 시스템들에 대해 작동할 수도 있도록, 대역저지의 노치 주파수 및 통과대역의 차단 주파수가 원하는 바와 같이 조절될 수도 있다. 따라서, 예를 들어, 상이한 무선 캐리어들에 대한 캐리어 어그리게이션 시스템들에 대해 동작되는 셀 폰과 같은 모바일 단말이 제조될 수 있다.
- [0019] [0027] 3DIC 내의 튜닝가능한 다이플렉서들의 예시적인 실시예들을 다루기 전에, 종래의 다이플렉서의 간략한 개관이 도 1a-1c를 참조하여 제공된다. 본 개시의 예시적인 실시예들에 따른 튜닝가능한 다이플렉서들의 실시예들은 아래에서 도 2a를 참조하여 시작된다.
- [0020] [0028] 이와 관련하여, 도 1a는, 제 1 포트(12), 제 2 포트(14), 및 안테나 포트(16)를 포함하는 종래의 다이플렉서(10)의 개략도이다. 접지(18)로의 부가적인 포트가 제공될 수도 있다. 제 1 포트(12)와 안테나 포트(16) 사이에 고역 통과(high pass)(HP) 필터(20)가 있다. 유사하게, 제 2 포트(14)와 안테나 포트(16) 사이에 저역 통과(low pass)(LP) 필터(22)가 있다. HP 필터(20)는 제 1 HP 커패시터(24), 제 2 HP 커패시터(26), 제 3 HP 커패시터(28), 및 HP 인덕터(30)를 포함한다. 제 1 HP 커패시터(24) 및 HP 인덕터(30)는 함께, HP 필터(20)의 고주파수들을 정의한다. 유사하게, 제 3 HP 커패시터(28) 및 HP 인덕터(30)는 대역저지의 노치 주파수를 정의한다. 제 2 HP 커패시터(26)는, 통과대역에 대한 차단 주파수의 경사도(steeptness)를 정의하는 것을 돕는다. 본 명세서에 설명된 인덕터들은 종종 인덕팅을 위한 수단으로 지칭됨을 유의한다. 유사하게, 설명된 커패시터들은 종종 본 명세서에서 커패시턴스를 제공하기 위한 수단으로 지칭되고, 본 명세서에 설명된 버랙터들은 종종 본 명세서에서 가변 커패시턴스를 제공하기 위한 수단으로 지칭된다.
- [0021] [0029] 도 1a를 계속 참조하면, LP 필터(22)는 제 1 LP 인덕터(32), 제 2 LP 인덕터(34), 제 3 LP 인덕터(36), 및 LP 커패시터(38)를 포함한다. 제 2 LP 인덕터(34) 및 LP 커패시터(38)는 함께, LP 필터(22)의 저주파수들을 정의한다. 유사하게, 제 1 LP 인덕터(32) 및 LP 커패시터(38)는 대역저지의 노치 주파수를 정의한다. 제 3 LP 인덕터(36)는 통과대역에 대한 차단 주파수의 경사도를 정의하는 것을 돕는다.
- [0022] [0030] 앞서 포함된 출원에 따른 다이플렉서로부터의 예시적인 주파수 응답 그래프(40)가 도 1b에 제공된다. 용이하게 관측될 바와 같이, HP 필터(20)는 대역저지(44)에 대해 710 MHz에서 노치(42)를 갖는다. HP 통과대역(46)은 대략적으로 1.710 GHz에서 시작된다. 유사하게, LP 필터(22)는 대역저지(50)에 대해 2.130 GHz에서 노치(48)를 갖는다. LP 통과대역(52)은 약 1.040 GHz에서 종료된다. 앞서 포함된 출원에서 기재된 개념들에 따라 이루어진 다이플렉서에 대한 예시적인 주파수 응답을 그래프(40)가 표현하지만, 그러한 다이플렉서는 오직 하나의 무선 캐리어 어그리게이션 시스템에 대해 작동한다. 즉, 그 다이플렉서는 하나의 캐리어에 대해 잘 작동할 수도 있지만, 제 2 캐리어는 원하지 않은 고조파들을 차단하기 위해 상이한 주파수들에서의 노치들을 필요로 할 수도 있다. 따라서, 다수의 무선 캐리어들에 걸쳐 칩 셋의 사용을 용이하게 하고, 복수의 무선 캐리어 어그리게이션 시스템들에 대해 적응가능한 다이플렉서에 대한 필요성이 남아있다.
- [0023] [0031] 완전성의 이익들을 위해, 다이플렉서(10)와 같은 다이플렉서는, 도 1c에 예시된 바와 같이, 트랜시버에 대한 칩 셋(60) 내에 포지셔닝(position)될 수도 있음이 인식되어야 한다. 칩 셋(60)은, 전력 증폭기(62), 듀플렉서/필터(64), 라디오 주파수(RF) 스위치 모듈(66), 수동 결합기(68), 수신기(70), 튜너 회로(72)(예를 들어, 제 1 튜너 회로(72A) 및 제 2 튜너 회로(72B)), 다이플렉서(10), 커패시터(74), 인덕터(76), 접지 단자(78), 및 안테나(80)를 포함한다. 전력 증폭기(62)는 송신을 위해 신호(들)를 특정한 전력 레벨로 증폭한다. 듀플렉서/필터(64)는, 주파수, 삽입 손실, 리렉션 또는 다른 유사한 파라미터들을 포함하는 다양한 상이한 파라미터들에 따라 입력/출력 신호들을 필터링한다. RF 스위치 모듈(66)은, 칩 셋(60)의 나머지 부분에 전달할 입력 신호들의 특정 부분들을 선택할 수도 있다. 수동 결합기(68)는, 제 1 튜너 회로(72A) 및 제 2 튜너 회로(72B)로부터의 검출된 전력을 결합한다. 수신기(70)는, 수동 결합기(68)로부터의 정보를 프로세싱하고, 칩 셋(60)을 추가로 동작시키기 위해 그 정보를 사용한다. 튜너 회로(72)는, 튜너, PDET(portable data entry terminal), 및 HKADC(house keeping analog to digital converter)와 같은 컴포넌트들을 포함한다. 튜너 회로(72)는 안테나(80)에 대한 임피던스 튜닝(예를 들어, 전압 정재파 비(voltage standing wave ratio)(VSWR) 최적화)을 수행할 수도 있다.
- [0024] [0032] 도 1c에 도시된 바와 같이, 다이플렉서(10)는, 튜너 회로(72)의 튜너 컴포넌트와 커패시터(74), 인덕터

(76), 및 안테나(80) 사이에 있다. 다이플렉서(10)는, 칩 셋(60)에 대해 높은 시스템 성능을 제공하기 위해, 안테나(80)와 튜너 회로(72) 사이에 배치될 수도 있다. 다이플렉서(10)는 또한, 고대역 주파수들 및 저대역 주파수들 둘 모두에서 주파수 도메인 멀티플렉싱을 수행한다. 다이플렉서(10)가 입력 신호들에 대해 자신의 주파수 멀티플렉싱 기능들을 수행한 이후, 다이플렉서(10)의 출력은, 커패시터(74) 및 인덕터(76)를 포함하는 선택적 LC(인덕터/커패시터) 네트워크에 공급된다. LC 네트워크는, 원하는 경우, 안테나(80)에 대해 가외의(extra) 임피던스 매칭 컴포넌트들을 제공할 수도 있다. 그 후, 특정한 주파수를 갖는 신호가 안테나(80)에 의해 송신 또는 수신된다.

[0025] [0033] 본 개시는, 다이플렉서 내의 높은 Q 가변 반응성 엘리먼트들의 도입을 통해, 다수의 무선 캐리어 어그리게이션 시스템들에 걸쳐 사용하는 것이 가능한 다이플렉서를 제공한다. 다이플렉서 내의 엘리먼트들의 인덕턴스 또는 커패시턴스를 변경함으로써, 특정한 캐리어 어그리게이션 시스템에 대한 요구들을 충족시키도록, 필요에 따라 노치 및 차단 주파수들이 변할 수도 있다. 본 개시는, 칩 셋 내의 영역을 희생하지 않고, 불필요한 전력 드레인(drain)들을 생성하지 않으며, 엘리먼트들 사이에 원하지 않은 기생(parasitic)들을 생성하지 않으면서 적절하게 높은 Q 엘리먼트들을 제공하기 위한 구조들, 방법들, 및 기술들을 제공한다.

[0026] [0034] 이와 관련하여, 다이플렉서(90)의 제 1 실시예가 도 2a에 예시된다. 다이플렉서(90)는 제 1 포트(92), 제 2 포트(94), 및 안테나 포트(96)를 포함한다. 접지(98)로의 부가적인 포트가 제공될 수도 있다. 제 1 포트(92)와 안테나 포트(96) 사이에 가변 HP 필터(100)는 존재한다. 유사하게, 제 2 포트(94)와 안테나 포트(96) 사이에 가변 LP 필터(102)가 존재한다. 가변 HP 필터(100)는 제 1 HP 버랙터(104), 제 2 HP 버랙터(106), 제 3 HP 버랙터(108), 및 HP 인덕터(110)를 포함한다. 제 1 HP 버랙터(104) 및 HP 인덕터(110)는 함께, 가변 HP 필터(100)의 고주파수들을 정의한다. 유사하게, 제 3 HP 버랙터(108) 및 HP 인덕터(110)는 대역저지의 노치 주파수를 정의한다. 제 2 HP 버랙터(106)는, 통과대역의 차단 주파수의 경사도를 정의하는 것을 돕는다.

[0027] [0035] 도 2a를 계속 참조하면, 가변 LP 필터(102)는 제 1 LP 인덕터(112), 제 2 LP 인덕터(114), 제 3 LP 인덕터(116), 및 LP 버랙터(118)를 포함한다. 제 2 LP 인덕터(114) 및 LP 버랙터(118)는 함께, 가변 LP 필터(102)의 저주파수들을 정의한다. 유사하게, 제 1 LP 인덕터(112) 및 LP 버랙터(118)는 대역저지의 노치 주파수를 정의한다. 제 3 LP 인덕터(116)는, 통과대역의 차단 주파수의 경사도를 정의하는 것을 돕는다.

[0028] [0036] 도 2a를 계속 참조하면, 인덕터들(110, 112, 114, 및 116)은 일반적으로, 유리 관통 비아(through glass via)(TGV) 인덕터들 또는 기판 관통 비아(through substrate via)(TSV) 인덕터들로서 형성될 수도 있다. TGV 및 TSV 인덕터들에 대한 더 많은 정보를 위해, 관심있는 독자는 앞서 포함된 출원들을 참조한다. TSV 인덕터들이 1GHz에서 약 삼십(30)의 Q 또는 더 높은 Q를 제공하지만, TGV 인덕터들은, 1GHz에서 육십(60)보다 큰 Q를 제공하고 그리고/또는 2 GHz에서 백(100)보다 큰 Q를 제공할 수도 있다. 따라서, TGV 인덕터들은 높은 Q 인덕턴스를 제공하고, 이는 차례로, 다수의 캐리어 어그리게이션 시스템들에 대해 작동하는 다이플렉서를 실시하기 위해 요구되는 노치 및 통과대역 특성들을 제공한다. 일 예시적인 실시예에서, 버랙터들(104, 106, 108, 및 118)은 SOI(silicon on insulator) 버랙터들이고, 특수하게 고려되는 예시적인 실시예에서, 버랙터들은 SOG(silicon on glass) 버랙터들이다. 가능한 버랙터들에 관한 더 많은 정보를 위해, 관심있는 독자는 Buisman 등의 "'DISTORTION-FREE' VARACTOR DIODE TOPOLOGIES FOR RF ADAPTIVITY", Microwave Symposium Digest, 2005 IEEE MTT-S International, © 2005, IEEE를 참조한다. Buisman 등의 그 논문(paper)은 그 전체가 인용에 의해 본 명세서에 포함된다.

[0029] [0037] 이와 관련하여, 도 2b는 다이플렉서(90)에 대한 통상적인 주파수 응답의 그래프(120)를 예시한다. 특히, 노치들(122 및 124)은 각각 버랙터들(104, 106, 108, 및 118)에 의존하여 화살표들(126 및 128)에 의해 표시된 바와 같이 변할 수도 있다. 즉, 버랙터들(104, 106, 108, 및 118)의 커패시턴스를 변경함으로써, 노치들(122, 124)이 이동될 수도 있으며, 대역저지의 주파수를 효과적으로 변경한다. 커패시턴스 엘리먼트들 전부가 버랙터들(104, 106, 108, 및 118)로서 도시되지만, 오직 용량성(capacitive) 엘리먼트들의 서브세트(subset)만이 버랙터들을 포함하는 것이 가능함을 유의한다. 예를 들어, 버랙터들(104 및 106)은 비-가변(non-varying) 커패시터들로 대체될 수도 있다. 이러한 치환이 가능하고 그리고 본 개시의 범위 내에 있지만, 오직 버랙터들(108, 118)만을 갖는 다이플렉서의 주파수 응답은 4개의 버랙터들(104, 106, 108, 및 118)을 갖는 다이플렉서의 주파수 응답보다 덜 최적일 수도 있다.

[0030] [0038] 버랙터들(104, 106, 108, 및 118)이 노치들(122, 124)을 변경하기에 적절하지만, 본 개시는 그렇게 제한되지 않는다. 버랙터들(104, 106, 108, 및 118) 대신, 가변 인덕터들이 더 양호하게 도 3에서 예시된 바와 같이 대신 사용될 수도 있다. 다이플렉서(130)가 도 3에 예시된다. 다이플렉서(130)는 제 1 포트(132), 제 2

포트(134), 및 안테나 포트(136)를 포함한다. 접지(138)로의 부가적인 포트가 제공될 수도 있다. 제 1 포트(132)와 안테나 포트(136) 사이에 가변 HP 필터(140)가 존재한다. 유사하게, 제 2 포트(134)와 안테나 포트(136) 사이에 가변 LP 필터(142)가 존재한다. HP 필터(140)는 제 1 HP 커패시터(144), 제 2 HP 커패시터(146), 제 3 HP 커패시터(148), 및 가변 HP 인덕터(150)를 포함한다. 제 1 HP 커패시터(144) 및 가변 HP 인덕터(150)는 함께, HP 필터(140)의 고주파수들을 정의한다. 유사하게, 제 3 커패시터(148) 및 HP 인덕터(150)는 대역저지의 노치 주파수를 정의한다. 제 2 HP 커패시터(146)는, 통과대역에 대한 차단 주파수의 경사도를 정의하는 것을 돕는다.

[0031]

[0039] 도 3을 계속 참조하면, 가변 LP 필터(142)는 제 1 가변 LP 인덕터(152), 제 2 가변 LP 인덕터(154), 제 3 가변 LP 인덕터(156), 및 LP 커패시터(158)를 포함한다. 제 2 가변 LP 인덕터(154) 및 LP 커패시터(158)는 함께, 가변 LP 필터(142)의 저주파수들을 정의한다. 유사하게, 제 1 가변 LP 인덕터(152) 및 LP 커패시터(158)는 대역저지의 노치 주파수를 정의한다. 제 3 가변 LP 인덕터(156)는 통과대역의 차단 주파수의 경사도를 정의하는 것을 돕는다. 가변 인덕터들이 사용될 수 있지만, 그들의 사용은, 휴대용 디바이스들의 현대의(contemporary) 칩 셋들에 다이플렉서(90)를 실현가능(viable)하게 하는 제조 효율성들 및 공간 절약 속성들 중 많은 것을 제거한다는 것이 인식되어야 한다. 추가로, 예시되진 않았지만, 유도성(inductive) 엘리먼트들 및 용량성 엘리먼트들 둘 모두는 동일한 디바이스에서 가변적일 수 있음이 유의되어야 한다. 즉, 버랙터들 및 가변 인덕터들은 반응성 엘리먼트들 중 일부 또는 그 전체에 대해 동일한 다이플렉서에서 사용될 수 있다.

[0032]

[0040] 다이플렉서(90 또는 130)와 같은 다이플렉서가 형성될 수 있는 적어도 2개의 기술들이 존재한다. 제 1 기술은 (도 4 및 5에 예시된) 기관 이송이고, 제 2 기술은 (도 7에 예시된) 다이 적층 프로세스를 통해서이다. 이와 관련하여, 도 4는, 기관 이송을 통한 다이플렉서(90)의 생성 동안의 중개(intermediary) 스테이지인 어셈블리되지 않은(unassembled) 다이플렉서(160)의 간략화된 측면도를 예시한다. 어셈블리되지 않은 다이플렉서(160)는 제 1 티어(162) 및 제 2 티어(164)를 갖는다. 제 1 티어(162)는 도전성 엘리먼트들(168)을 갖는 유리 기관(166)을 포함할 수도 있다(도전성 엘리먼트들(168)은, 인덕터들(110, 112, 114, 및 116)과 같은 하나 또는 그 초과인 인덕터들을 형성하기 위해 유리 기관(166)을 관통하여 형성됨). 도전성 엘리먼트들(168)은, 일 예시적인 실시예에서, TGV 엘리먼트들일 수도 있다. 기관이 유리 기관(166) 대신 실리콘이면, 도전성 엘리먼트들(168)은 TSV 엘리먼트들일 수도 있다.

[0033]

[0041] 도 4를 계속 참조하면, 제 2 티어(164)는, 기관(170) 및 그 내부에 하나 또는 그 초과인 버랙터들을 갖는 활성 영역(172)을 포함할 수도 있다. 버랙터들(174)은 버랙터들(104, 106, 108, 및 118)일 수도 있다. 위에 언급된 바와 같이, 버랙터들(174)은 SOI 또는 SOG 버랙터들일 수도 있다. 대안적으로, 버랙터들은, SOI 또는 SOS(silicon on sapphire) 스위칭가능한 커패시터 뱅크(bank) 또는 MEMS 스위칭가능한 커패시터 뱅크로 형성될 수 있다. SOG 버랙터들은 관심있는 주파수들에서 가장 높은 Q를 갖지만, 다른 버랙터들은 상이한 엔지니어링 제약들에 적절할 수도 있다.

[0034]

[0042] 도 4와 도 5 사이의 브릿징(bridging)으로, 화살표(175)에 의해 명시되는 바와 같이 제 2 티어(164)가 제 1 티어(162) 상에 플립(flip)되고, 과잉(excess) 기관(170)이 제거된다. 제 1 티어(162)의 인덕터들에 근접하게 제 2 티어(164) 내에 버랙터들(174)을 포지셔닝함으로써, 전력 드레잉 기생들(power draining parasitics)이 회피되고 가외의 접속들이 회피되며, 이는 일반적으로, 다이플렉서 내의 엘리먼트들의 Q를 개선한다. 부가적으로, 다이플렉서의 전체 영역이 감소되어, 계속되는 소형화 압박들(miniaturization pressures)을 처리하는 회로 설계자들에게 다이플렉서는 더 매력적이게 된다.

[0035]

[0043] 도 5를 계속 참조하면, 과잉 기관(170)의 제거 후에, WLCSP(wafer level chip scale package) 볼(ball)들과 같은 콘택(contact)들(176)이 제공될 수도 있으며, 그때, 어셈블리되지 않은 다이플렉서(160)는 위에 설명된 다이플렉서(90)와 유사한 다이플렉서(90A)이다. 원하는 경우 다른 콘택들이 제공될 수도 있다.

[0036]

[0044] 도 5의 다이플렉서(90A)를 형성하는 프로세스(180)가 도 6에 기재된다. 처음에, 프로세스(180)는, 제 1 티어(162)의 기관(166) 내에 인덕터를 생성함으로써 시작된다(블록 182). 동시에 또는 순차적으로, 반도체 버랙터들이 제 2 티어(164) 내에 생성된다(블록 184). 제 2 티어(164)는 제 1 티어(162) 상에 플립되고 그리고 그에 본딩(bond)된다(블록 186). 과잉 기관(170)이 제 2 티어(164)로부터 제거된다(블록 188). 그 후, 프로세스(180)는 BEOL(back end of line) 프로세싱을 종결하고 WLCSP 볼들(즉, 콘택들(176))을 제공한다.

[0037]

[0045] 프로세스(180)가 적절한 다이플렉서들을 생성하지만, 다이 적층과 같은 다른 프로세스들이 또한 사용될 수도 있다. 이와 관련하여, 도 7은 다이 적층형 다이플렉서(192)의 예시를 제공한다. 다이플렉서(192)는, 유리 기관과 같은 기관(196) 및 (TGV 인덕터와 같은 인덕터를 형성하기 위해) 그 기관(196)을 관통하는 도전성 엘

리먼트들(198)을 갖는 제 1 티어(194)를 포함한다. 다이플렉서(192)는 추가로, SOG 버랙터들, SOI 또는 SOS 스위칭가능한 커패시터 뱅크 또는 MEMS 스위칭가능한 커패시터 뱅크와 같은 가변 커패시턴스 엘리먼트들을 그 내부에 갖는 제 2 티어(200)를 포함한다. 제 1 티어(194)는, 인쇄 회로 기판(PCB)으로의 접속을 위한 멀티-다이 적층을 용이하게 하기 위해 사용될 수 있는 (WLCSP 볼들과 같은) 볼들(204) 및 플립 칩 범프들(flip chip bumps)(202)을 통해 제 2 티어(200)에 본딩된다.

[0038]

[0046] 본 명세서에 기재된 실시예들에 따른, 3DIC 내의 튜닝가능한 다이플렉서들, 및 관련 컴포넌트들 및 방법들은 임의의 프로세서-기반 디바이스에서 제공되거나 임의의 프로세서-기반 디바이스 내에 통합될 수도 있다. 제한이 아닌 예들은, 셋 톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어를 포함한다.

[0039]

[0047] 이와 관련하여, 도 8은, 도 2a, 3 및 7에 예시된 다이플렉서들(90, 90A, 130, 192)을 이용할 수 있는 프로세서-기반 시스템(210)의 예를 예시한다. 다이플렉서들(90, 90A, 130, 193)은, 반도체 다이 내에 포함될 수도 있거나 또는 그러한 프로세서-기반 시스템(210)에서 달리 사용될 수도 있다. 이러한 예에서, 프로세서-기반 시스템(210)은, 각각이 하나 또는 그 초과 프로세서들(214)을 포함하는 하나 또는 그 초과 중앙 프로세싱 유닛(CPU)들(212)을 포함한다. CUP(들)(212)는 마스터 디바이스일 수도 있다. CPU(들)(212)는 일시적으로 저장된 데이터에 대한 고속 액세스를 위해 프로세서(들)(214)에 커플링된 캐시 메모리(216)를 가질 수도 있다. CPU(들)(212)는 시스템 버스(218)에 커플링되며, 프로세서-기반 시스템(210)에 포함된 마스터 디바이스들과 슬레이브 디바이스들을 상호커플링시킬 수 있다. 잘 알려져 있는 바와 같이, CPU(들)(212)는 시스템 버스(218)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 예를 들어, CPU(들)(212)는, 슬레이브 디바이스의 일 예로서 메모리 제어기(220)에 버스 트랜잭션(transaction) 요청들을 통신할 수 있다. 도 8에 도시되진 않았지만, 다수의 시스템 버스들(218)이 제공될 수 있으며, 여기서, 각각의 시스템 버스(218)는 상이한 구조를 구성한다.

[0040]

[0048] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(218)에 접속될 수 있다. 도 8에 예시된 바와 같이, 이들 디바이스들은 예를로서, 메모리 시스템(222), 하나 또는 그 초과 입력 디바이스들(224), 하나 또는 그 초과 출력 디바이스들(226), 하나 또는 그 초과 네트워크 인터페이스 디바이스들(228), 및 하나 또는 그 초과 디스플레이 제어기들(230)을 포함할 수 있다. 입력 디바이스(들)(224)는, 입력 키들, 스위치들, 보이스 프로세서들 등을 포함하지만 이에 제한되지 않는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(226)는, 오디오, 비디오, 다른 시각적 표시기들 등을 포함하지만 이에 제한되지 않는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(228)는, 네트워크(232)로의 그리고 네트워크(232)로부터의 데이터의 교환을 허용하도록 구성되는 임의의 디바이스들일 수 있다. 네트워크(232)는, 유선 또는 무선 네트워크, 개인 또는 공용 네트워크, 로컬 영역 네트워크(LAN), WLAN(wide local area network), 및 인터넷을 포함하지만 이에 제한되지 않는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(228)는, 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다. 메모리 시스템(222)은, 하나 또는 그 초과 메모리 유닛들(234(0-N))을 포함할 수 있다.

[0041]

[0049] 또한, CPU(들)(212)는, 하나 또는 그 초과 디스플레이들(236)에 전송되는 정보를 제어하기 위해 시스템 버스(218)를 통해 디스플레이 제어기(들)(230)에 액세스하도록 구성될 수도 있다. 디스플레이 제어기(들)(230)는, 하나 또는 그 초과 비디오 프로세서들(238)을 통해 디스플레이될 정보를 디스플레이(들)(236)에 전송하며, 그 비디오 프로세서들(238)은, 디스플레이(들)(236)에 적절한 포맷으로 디스플레이되도록 정보를 프로세싱한다. 디스플레이(들)(236)는 CRT(cathode ray tube), LCD(liquid crystal display), 플라즈마 디스플레이 등을 포함하지만 이에 제한되지 않는 임의의 타입의 디스플레이를 포함할 수 있다.

[0042]

[0050] 당업자들은, 본 명세서에 기재된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터-판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 본 명세서에 설명된 아비터(arbiter)들, 마스터 디바이스들, 및 슬레이브 디바이스들은, 예를로서, 임의의 회로, 하드웨어 컴포넌트, IC, 또는 IC 칩에서 이용될 수도 있다. 본 명세서에 기재된 메모리는 임의의 타입 및 사이즈의 메모리일 수도 있으며, 임의의 타입의 원하는 정보를 저장하도록 구성될 수도 있다. 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은

그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 어떻게 구현되는지는 특정 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식으로 구현할 수도 있지만, 그러한 구현 결정들이 본 개시의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0043]

[0051] 본 명세서에 기재된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수도 있다. 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

[0044]

[0052] 본 명세서에 기재된 실시예들은 하드웨어, 및 하드웨어에 저장된 명령들로 구현될 수도 있으며, 예를 들어, 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적으로 프로그래밍가능 ROM(EPROM), 전기적으로 소거가능한 프로그래밍가능 ROM(EEPROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수도 있다. ASIC은 원격 스테이션에 상주할 수도 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버 내의 별개의 컴포넌트들로서 상주할 수도 있다.

[0045]

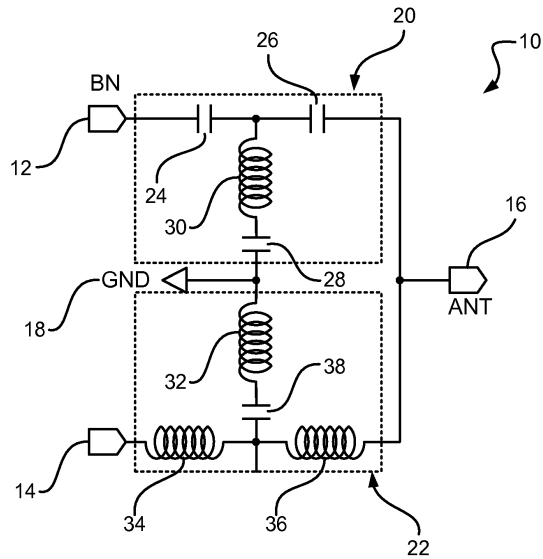
[0053] 본 명세서의 예시적인 실시예들 중 임의의 실시예에서 설명된 동작 단계들은 예들 및 설명을 제공하기 위해 설명됨을 또한 유의한다. 설명된 동작들은 예시된 시퀀스들 이외에 다수의 상이한 시퀀스들로 수행될 수도 있다. 또한, 단일 동작 단계로 설명된 동작들은 실제로, 다수의 상이한 단계들로 수행될 수도 있다. 부가적으로, 예시적인 실시예들에서 설명된 하나 또는 그 초과 동작 단계들은 결합될 수도 있다. 흐름도 도면들에서 예시된 동작 단계들이, 당업자에게 용이하게 명백할 바와 같이 다수의 상이한 변형들을 겪을 수도 있음이 이해될 것이다. 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수도 있음을 또한 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수도 있다.

[0046]

[0054] 본 개시의 이전 설명은 임의의 당업자가 본 개시를 사용 또는 실시할 수 있도록 제공된다. 본 개시에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 개시의 사상 또는 범위를 벗어나지 않으면서 다른 변경들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에 기재된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

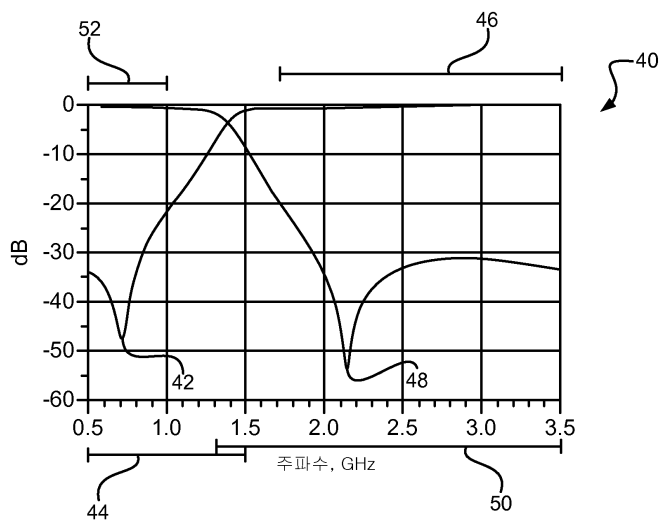
도면

도면1a

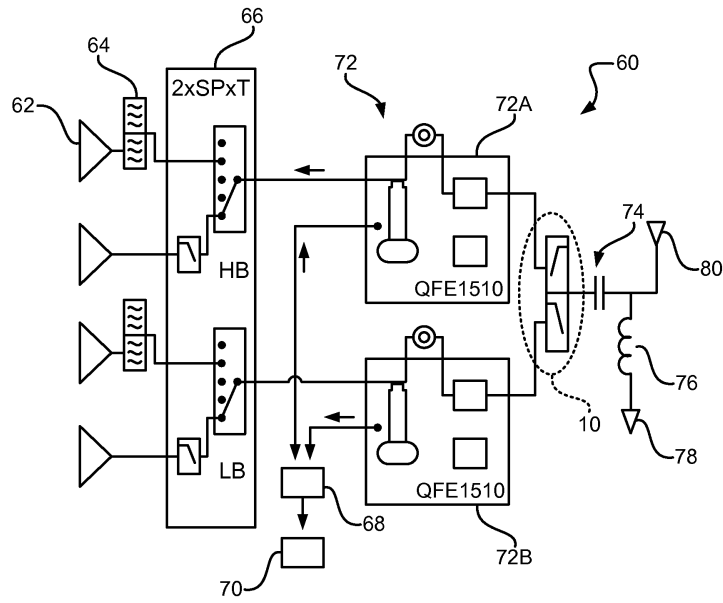


종래 기술

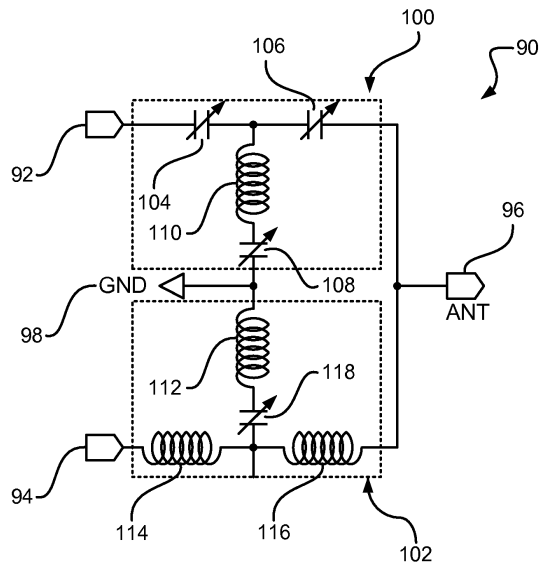
도면1b



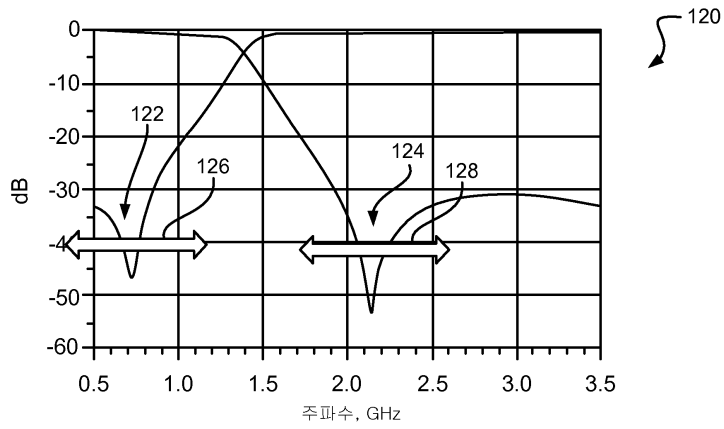
도면1c



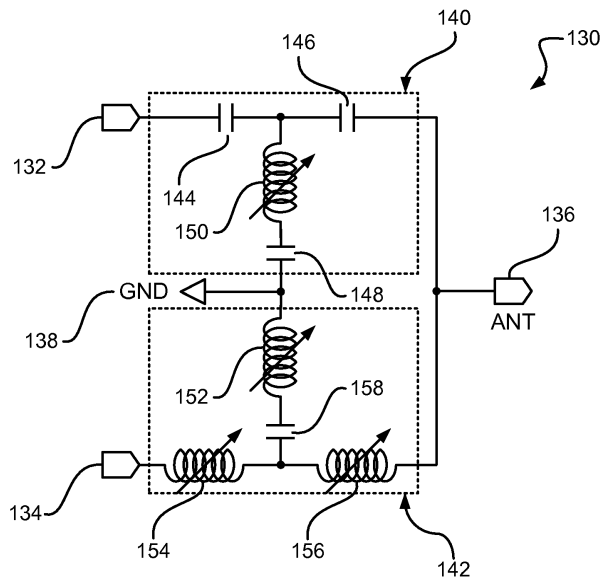
도면2a



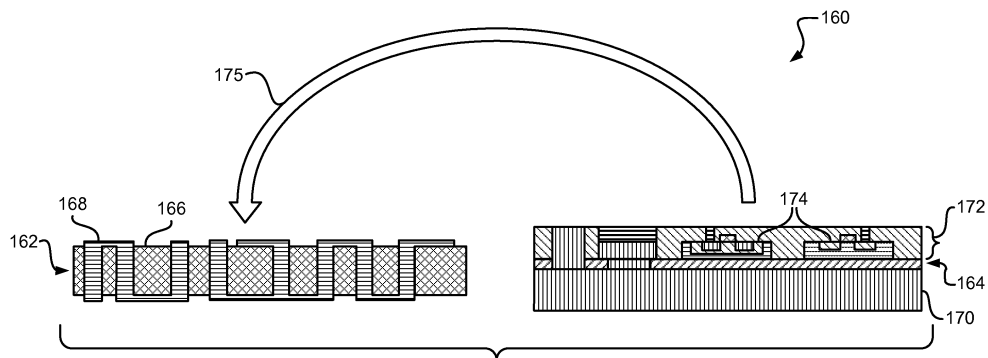
도면2b



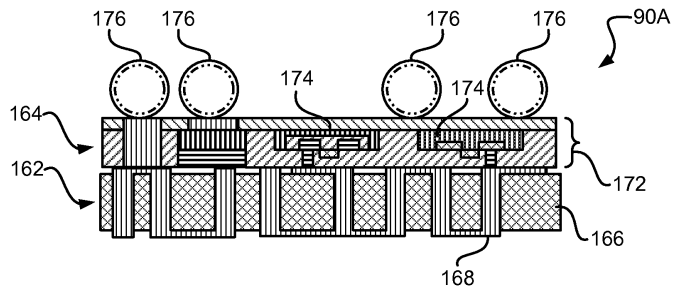
도면3



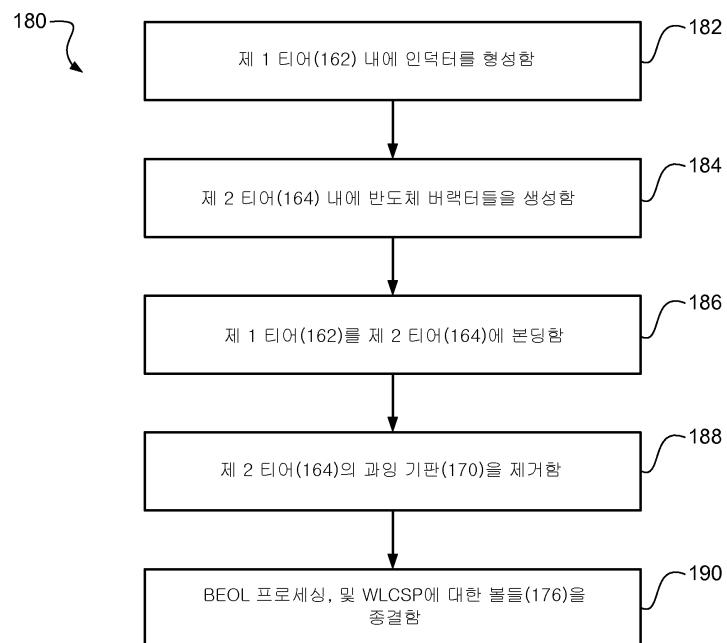
도면4



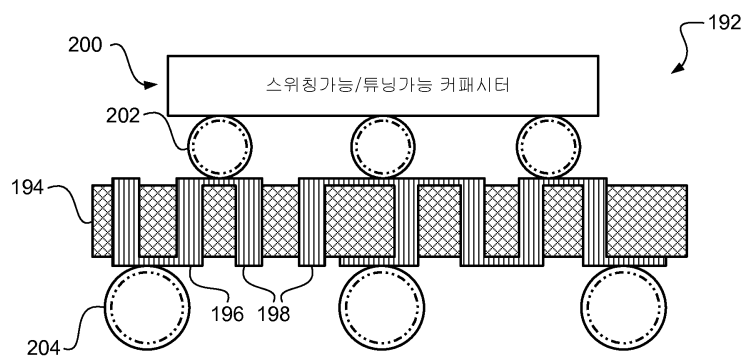
도면5



도면6



도면7



도면8

