

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】令和 1 年 12 月 5 日 (2019.12.5)

【公開番号】特開 2018-190223 (P2018-190223A)  
 【公開日】平成 30 年 11 月 29 日 (2018.11.29)  
 【年通号数】公開・登録公報 2018-046  
 【出願番号】特願 2017-92963 (P2017-92963)  
 【国際特許分類】

G 0 6 F 13/00 (2006.01)

G 0 6 F 8/65 (2018.01)

【 F I 】

G 0 6 F 13/00 5 3 0 B

G 0 6 F 9/06 6 3 0 A

【手続補正書】  
 【提出日】令和 1 年 10 月 24 日 (2019.10.24)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 3 0  
 【補正方法】変更  
 【補正の内容】  
 【 0 0 3 0 】

フラッシュメモリ 2 3 は、電氣的にデータの書き込み及び消去を行うことが可能な不揮発性のメモリ素子である。本実施の形態に係るゲートウェイ 2 では、フラッシュメモリ 2 3 をプロセッサ 2 1 及び E S W 2 2 が共有している。フラッシュメモリ 2 3 は、プロセッサ 2 1 から与えられる更新用プログラムを記憶すると共に、E S W 2 2 が実行する通信プログラムを記憶している。

【手続補正 2】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 3 9  
 【補正方法】変更  
 【補正の内容】  
 【 0 0 3 9 】

プロセッサ 2 1 が出力する選択信号 S は、バススイッチ 2 4 のバッファ素子 2 4 c へ入力される。バッファ素子 2 4 c の出力信号は、論理反転素子 2 4 e と、論理積演算素子 2 4 b とに入力される。論理反転素子 2 4 e の出力信号は、論理積演算素子 2 4 a に入力される。またプロセッサ 2 1 が出力するイネーブル信号 O E B は、バススイッチ 2 4 の論理反転素子 2 4 d へ入力される。論理反転素子 2 4 d の出力信号は、論理積演算素子 2 4 a 及び 2 4 b へそれぞれ入力される。

【手続補正 3】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 4 2  
 【補正方法】変更  
 【補正の内容】  
 【 0 0 4 2 】

このように、バススイッチ 2 4 の 2 つの論理積演算素子 2 4 a 及び 2 4 b は出力信号の値が共に " 1 " となることはなく、スイッチ S W A 1 ~ S W A 4 及びスイッチ S W B 1 ~ S W B 4 が共に接続状態となることはないため、信号線 A 1 ~ A 4 及び信号線 B 1 ~ B 4 が同時に信号線 C 1 ~ C 4 に接続されることはない。