

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年1月25日(2007.1.25)

【公開番号】特開2004-201297(P2004-201297A)

【公開日】平成16年7月15日(2004.7.15)

【年通号数】公開・登録公報2004-027

【出願番号】特願2003-401634(P2003-401634)

【国際特許分類】

H 0 3 F 3/68 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/36 (2006.01)

H 0 3 F 3/45 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 3 F 3/68 Z

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/30 J

G 0 9 G 3/36

H 0 3 F 3/45

H 0 1 L 27/04 A

H 0 1 L 27/04 F

【手続補正書】

【提出日】平成18年12月1日(2006.12.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】アナログ回路及びその駆動方法 / アナログ回路を用いた表示装置及び電子機器

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のトランジスタのゲート端子は、第2のトランジスタのゲート端子と電氣的に接続されており、

前記第1のトランジスタのゲート端子は、第1のスイッチを介して第1の端子と電氣的に接続されており、

前記第1のトランジスタのソース端子又はドレイン端子の一方は、第2のスイッチを介して前記第2のトランジスタのソース端子及びドレイン端子と電氣的に接続されており、

前記第2のトランジスタのソース端子及びドレイン端子は、第3のスイッチを介して第2の端子と接続されていることを特徴とするアナログ回路。

【請求項2】

請求項1において、

前記第1及び第2のトランジスタは同一極性であることを特徴とするアナログ回路。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタに流れる電流を遮断する手段を有していることを特徴とするアナログ回路。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1のトランジスタのソース端子又はドレイン端子の一方は、電流を供給する手段と電氣的に接続されていることを特徴とするアナログ回路。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のトランジスタのソース端子又はドレイン端子の一方は、出力端子と電氣的に接続されていることを特徴とするアナログ回路。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第1のトランジスタは薄膜トランジスタであり、前記薄膜トランジスタの半導体層は、非晶質又は多結晶半導体で形成されていることを特徴とするアナログ回路。

【請求項7】

請求項1乃至請求項5のいずれか一項において、

前記第1のトランジスタは、有機物又はカーボンナノチューブで形成されていることを特徴とするアナログ回路。

【請求項8】

第1のトランジスタのゲート端子は、第3のトランジスタのゲート端子と電氣的に接続されており、

前記第1のトランジスタのゲート端子は、第1のスイッチを介して第1の端子と電氣的に接続されており、

前記第1のトランジスタのソース端子又はドレイン端子の一方は、第2のスイッチを介して前記第3のトランジスタのソース端子及びドレイン端子と電氣的に接続されており、

前記第3のトランジスタのソース端子及びドレイン端子は、第3のスイッチを介して第2の端子と電氣的に接続されており、

第2のトランジスタのゲート端子は、第4のトランジスタのゲート端子と電氣的に接続されており、

前記第2のトランジスタのゲート端子は、第4のスイッチを介して第3の端子と電氣的に接続されており、

前記第2のトランジスタのソース端子又はドレイン端子の一方は、第5のスイッチを介して前記第4のトランジスタのソース端子及びドレイン端子と電氣的に接続されており、

前記第4のトランジスタのソース端子及びドレイン端子は、第6のスイッチを介して第4の端子と電氣的に接続されており、

前記第1のトランジスタのソース端子又はドレイン端子の一方と前記第2のトランジスタのソース端子又はドレイン端子の一方とが電氣的に接続されていることを特徴とするアナログ回路。

【請求項9】

請求項8において、

前記第1及び第3のトランジスタは同一極性であり、

前記第2及び第4のトランジスタは同一極性であることを特徴とするアナログ回路。

【請求項10】

第 1 のトランジスタのゲート端子は、第 1 の容量素子の一方の端子と電氣的に接続されており、

前記第 1 のトランジスタのゲート端子は、第 1 のスイッチを介して第 1 の端子と電氣的に接続されており、

前記第 1 のトランジスタのソース端子又はドレイン端子の一方は、第 2 のスイッチを介して前記第 1 の容量素子の他方の端子に電氣的に接続されており、

前記第 1 の容量素子の他方の端子は、第 3 のスイッチを介して第 2 の端子と電氣的に接続されており、

第 2 のトランジスタのゲート端子は、第 2 の容量素子の一方の端子と電氣的に接続されており、

前記第 2 のトランジスタのゲート端子は、第 4 のスイッチを介して第 3 の端子と電氣的に接続されており、

前記第 2 のトランジスタのソース端子又はドレイン端子の一方は、第 5 のスイッチを介して前記第 2 の容量素子の他方の端子に電氣的に接続されており、

前記第 2 の容量素子の他方の端子は、第 6 のスイッチを介して第 4 の端子と電氣的に接続されており、

前記第 1 のトランジスタのソース端子又はドレイン端子の一方と前記第 2 のトランジスタのソース端子又はドレイン端子の一方とが電氣的に接続されていることを特徴とするアナログ回路。

【請求項 11】

請求項 10 において、

前記第 1 及び第 2 のトランジスタは同一極性であることを特徴とするアナログ回路。

【請求項 12】

請求項 8 乃至請求項 11 において、

前記第 1 のトランジスタに流れる電流を遮断する手段と、

前記第 2 のトランジスタに流れる電流を遮断する手段と、

を有していることを特徴とするアナログ回路。

【請求項 13】

請求項 8 乃至請求項 12 のいずれか一項において、

前記第 2 のトランジスタのソース端子又はドレイン端子の一方は、出力端子に電氣的に出力されていることを特徴とするアナログ回路。

【請求項 14】

請求項 8 乃至請求項 13 のいずれか一項において、

前記第 1 及び第 2 のトランジスタは薄膜トランジスタであり、前記薄膜トランジスタの半導体層は、非晶質又は多結晶半導体で形成されていることを特徴とするアナログ回路。

【請求項 15】

請求項 8 乃至請求項 13 のいずれか一項において、

前記第 1 及び第 2 のトランジスタは、有機物又はカーボンナノチューブで形成されていることを特徴とするアナログ回路。

【請求項 16】

請求項 1 乃至請求項 15 のいずれか一項において、

前記第 1 のトランジスタのソース端子又はドレイン端子の一方は、電流を供給する手段と電氣的に接続されていることを特徴とするアナログ回路。

【請求項 17】

請求項 1 乃至請求項 16 のいずれか一項に記載のアナログ回路は、

差動増幅回路、オペアンプ及び信号線駆動回路のいずれか一つを構成することを特徴とするアナログ回路。

【請求項 18】

請求項 1 乃至請求項 17 のいずれか一項に記載のアナログ回路を具備することを特徴とする表示装置。

【請求項 19】

請求項 18 に記載の表示装置を具備することを特徴とする電子機器。

【請求項 20】

トランジスタのゲート端子と容量素子の一方の端子とが電氣的に接続されたアナログ回路の駆動方法であって、

第 1 の期間において、前記トランジスタのソース端子又はドレイン端子の一方と前記容量素子の他方の端子とが電氣的に接続され、前記トランジスタのゲート端子には第 1 の電圧が印加され、

第 2 の期間において、前記容量素子の他方の端子には第 2 の電圧が印加されることを特徴とするアナログ回路の駆動方法。

【請求項 21】

請求項 20 において、

前記第 1 の電圧は、少なくとも前記第 1 のトランジスタが飽和領域で動作する値であることを特徴とするアナログ回路の駆動方法。

【請求項 22】

第 1 のトランジスタのゲート端子と第 1 の容量素子の一方の端子とが電氣的に接続され、第 2 のトランジスタのゲート端子と第 2 の容量素子の一方の端子とが電氣的に接続され、第 1 のトランジスタのソース端子又はドレイン端子の一方と第 2 のトランジスタのソース端子又はドレイン端子の一方とが電氣的に接続されたアナログ回路の駆動方法であって、

第 1 の期間において、前記第 1 のトランジスタのソース端子又はドレイン端子の一方と前記第 1 の容量素子の他方の端子とが電氣的に接続され、前記第 1 のトランジスタのゲート端子には第 1 の電圧が印加された後、前記第 2 のトランジスタのソース端子又はドレイン端子の一方と前記第 2 の容量素子の他方の端子とが電氣的に接続され、前記第 2 のトランジスタのゲート端子には第 2 の電圧が印加され、

第 2 の期間において、前記第 1 の容量素子の他方の端子には第 3 の電圧が印加され、前記第 2 の容量素子の他方の端子には第 4 の電圧が印加されることを特徴とするアナログ回路の駆動方法。

【請求項 23】

請求項 22 において、

前記第 1 及び第 2 の電圧は、少なくとも前記第 1 及び第 2 のトランジスタが飽和領域で動作する値であることを特徴とするアナログ回路の駆動方法。