



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I497591 B

(45)公告日：中華民國 104 (2015) 年 08 月 21 日

(21)申請案號：100115506 (22)申請日：中華民國 100 (2011) 年 05 月 03 日

(51)Int. Cl. : H01L21/31 (2006.01) H01L21/768 (2006.01)

(30)優先權：2010/05/04 美國 12/773,306

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：荷拉克大衛 V HORAK, DAVID V. (US)；野上武 NOGAMI, TAKESHI (JP)；波諾斯松姆 PONOTH, SHOM (IN)；楊智超 YANG, CHIH-CHAO (US)

(74)代理人：陳長文

(56)參考文獻：

US 2006/0261434A1

US 2008/0061438A1

US 2009/0051033A1

審查人員：何立瑋

申請專利範圍項數：8 項 圖式數：6 共 19 頁

(54)名稱

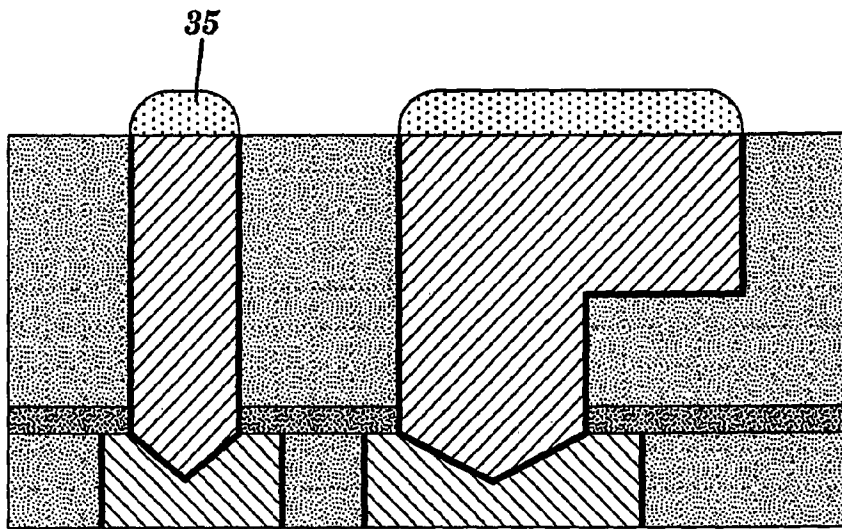
製造具有自動對準介電帽之互連結構的結構及方法

STRUCTURE AND METHOD FOR MANUFACTURING INTERCONNECT STRUCTURES HAVING SELF-ALIGNED DIELECTRIC CAPS

(57)摘要

提供具有自動對準介電帽之互連結構。在一基板上形成至少一個金屬化層。在該金屬化層上選擇性沈積一介電帽。

Interconnect structures having self-aligned dielectric caps are provided. At least one metallization level is formed on a substrate. A dielectric cap is selectively deposited on the metallization level.



第3圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100115506

※ 申請日期：100 年 5 月 3 日

※IPC 分類：

H01L 21/31 2006.01

H01L 21/768 2006.01

一、發明名稱：(中文/英文)

製造具有自動對準介電帽之互連結構的結構及方法

STRUCTURE AND METHOD FOR MANUFACTURING
INTERCONNECT STRUCTURES HAVING SELF-ALIGNED
DIELECTRIC CAPS

二、中文發明摘要：

提供具有自動對準介電帽之互連結構。在一基板上形成至少一個金屬化層。在該金屬化層上選擇性沈積一介電帽。

三、英文發明摘要：

Interconnect structures having self-aligned dielectric caps are provided. At least one metallization level is formed on a substrate. A dielectric cap is selectively deposited on the metallization level.

四、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件符號簡單說明：

35：介電帽

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於互連結構之製造，且更特定言之，係關於銅互連上自動對準介電帽之形成。

【先前技術】

介電帽用於銅互連中作為銅擴散阻障層。介電帽亦可充當氧擴散阻障層以防止銅氧化。介電帽確保良好的電遷移效能；然而，習知使用的諸如碳化矽(SiC)及氮碳化矽(SiCN)之介電帽之介電常數高(例如，5至7)。該介電帽實質上促進電阻電容(Resistive Capacitive; RC)延遲。期望具有用於電容減少及效能改良之自動對準介電帽。

【發明內容】

在本發明之一第一態樣中，一種形成一元件之方法包括提供一基板。該方法進一步包括在該基板上形成至少一個金屬化層。該方法亦包括在該金屬化層上選擇性沈積一介電帽。

在本發明之一第二態樣中，一種形成一元件之方法包括提供一基板。該方法包括在該基板上方形成一第一層間介電(ILD)層，其中該第一ILD層具有一頂面及一第一

開口。該方法包括在該第一開口中沈積一第一金屬襯墊。該方法包括在該第一開口中形成一第一金屬化層。該方法包括在該第一 ILD 層之該頂面上形成一第一帽層。該方法包括在該第一帽層上方形成一第二 ILD 層，其中該第二 ILD 層具有一頂面及延伸至該第一金屬化層內之一第二開口。該方法包括在該頂面上及該第二開口中沈積一第二金屬襯墊。該方法包括在該第二開口中形成一第二金屬化層。該方法包括執行該第二金屬化層之一化學機械平坦化 (CMP)，其中該第二金屬化層之一頂端與該第二金屬襯墊之一頂端同平面。該方法進一步包括在該第二金屬化層上形成一第二帽層。該方法亦包括自該第二 ILD 層之該頂面移除該第二金屬襯墊。

在本發明之又一態樣中，一元件包括一基板。該元件進一步包括在該基板上之至少一個金屬化層。該元件亦包括在該金屬化層上選擇性沈積之一介電帽。

在本發明之另一態樣中，一元件包括一基板。該元件包括形成在該基板上方之一第一 ILD 層，其中該第一 ILD 層具有一頂面及一第一開口。該元件包括沈積在該第一開口中之一第一金屬襯墊。該元件包括形成在該第一開口中之一第一金屬化層。該元件包括形成在該第一 ILD 層之該頂面上之一第一帽層。該元件包括形成在該第一帽層上方之一第二 ILD 層，其中該第二 ILD 層具有一頂面及延伸至該第一金屬化層內之一第二開口。該元件包括沈積在該第二開口中之一第二金屬襯墊。該元件

進一步包括形成在該第二開口中之一第二金屬化層，其中該第二金屬化層與該第二 ILD 層之該頂面同平面。該元件亦包括形成在該第二金屬化層上之一第二帽層。

【實施方式】

第 1 圖是根據本發明之一實施例圖示一起始互連結構 10。使用習知製程可在基板 15 上形成互連結構 10。互連結構 10 可包括底層金屬化層或元件層 20、帽層 25、ILD 層 30、金屬襯墊 31 及銅金屬化層 32。底層金屬化層 20 可包括（但不限於）銅(Cu)、鋁(Al)、鎢(W)及其他低電阻半導體相容金屬。帽層 25 可包括（但不限於）氮碳化矽(SiCN)、氮化矽(SiN)及碳化矽(SiC)。ILD 層 30 可包括（但不限於）：碳摻雜氧化矽(carbon doped silicon oxide; SiCOH)、多孔的 SiCOH 及氧化矽(SiO)。金屬襯墊 31 可包括（但不限於）氮化鉭(TaN)及鉭(Ta)之堆疊。執行 CMP 來移除銅，在場襯墊區停止 CMP。將襯墊 31a 保持在場區中。襯墊 31a 未經拋光。在襯墊拋光之前停止 CMP。

參閱第 2 圖，可在銅金屬化層 32 上選擇性沈積介電帽 35。發現電漿輔助化學氣相沈積(plasma enhanced chemical vapor deposition; PECVD)氮碳化矽(SiCN)（諸如 nBLoK）具有選擇特性。觀察到 nBLoK 在 TaN 及/或 Ta 上不會大量沈積。由於介電帽沈積之選擇性本質，

nBLoK 僅在銅金屬化層 32 上沈積，且不會在襯墊 31a 上沈積。藉由 PECVD、化學氣相沈積(chemical vapor deposition; CVD)或原子層沈積(atomic layer deposition; ALD)或任何已知的或隨後開發的製程進行沈積的其他介電帽材料(諸如 SiN 及 SiC)可經調整以具有此種選擇性沈積特性。介電帽 35 之厚度可近似為 5 nm 至 100 nm。

參閱第 3 圖，在場區中將襯墊 31a 回蝕且移除。可使用低偏壓含氟電漿或任何已知的或隨後開發的製程。可使用諸如四氟化碳(CF₄)之氟基化學物質的反應性離子蝕刻(reactive ion etch; RIE)來移除襯墊 31a。該化學物質亦可移除介電帽 35 之一部分。此舉可作為影響介電帽 35 之初始沈積厚度的因素。亦可使用氟化氙(XeF)氣體移除襯墊 31a。XeF 氣體將襯墊 31a 選擇性地移除至介電帽 35。隨後可沈積下一個 ILD 層且使用習知製程繼續進行該構造。

第 4 圖是根據本發明之第二實施例圖示互連結構 400。在第 3 圖所示之結構上執行 ILD 30 之選擇性蝕刻。此舉導致在銅金屬化層 32 之側壁襯墊 31 之間形成溝槽 38。該等溝槽可具有範圍為約 50 nm 至 500 nm 之深度。該等溝槽可具有約 2:1 之高寬比(深度與寬度比)。自動對準介電帽 35 用作選擇性蝕刻之蝕刻硬遮罩。ILD 30 可為碳摻雜氧化矽(SiCOH)、多孔的 SiCOH 或氧化矽(SiO)。對於 SiCOH，可執行灰化蝕刻。對於 SiO，可執

行稀釋氫氟酸(Dilute Hydrofluoric Acid; DHF)蝕刻。可執行非共形的次ILD層沈積，從而導致氣隙形狀。保護銅金屬化層 32。可使用如在共同讓渡的、標題名稱為「Sub-lithographic Dimensioned Air Gap Formation and Related Structure」的美國專利公開案第US20090200636A1號中所述之製程來形成氣隙形狀，該美國專利公開案以引用之方式全部併入本文。

第 5 圖是根據本發明之第三實施例圖示互連結構 500。可沈積包括（但不限於）氮化矽(SiN)之非選擇性共形介電材料且隨後使用習知製程對該共形介電材料回蝕，而產生間隔物 39。該間隔物厚度（經沈積）可大於或等於側壁襯墊 31 之厚度。間隔物 39 在ILD蝕刻期間對側壁襯墊 31 提供保護。

第 6 圖是根據本發明之第四實施例圖示互連結構 600。在選擇性介電帽 35 之沈積之前，在銅金屬化層 32 中可形成凹槽 40。凹槽 40 可具有範圍為約 5 nm 至 100 nm 之深度。介電帽 35 之厚度可近似為 5 nm 至 100 nm。可在僅銅 CMP 之後來形成凹槽 40（如第 1 圖所示）。此舉產生跨越不同線寬的均勻的介電帽厚度，且提供增加的互連可靠性。介電帽 35 之選擇性沈積可繼之以使用相同製程之襯墊回蝕（如第 3 圖所示）。可使用如在共同讓渡的、標題名稱為「Copper Recess Process with Application to Selective Capping and Electroless Plating」的美國專利第 6,975,032 號中所述之製程來形

成銅凹槽，該美國專利以引用之方式全部併入本文。

如上所述之方法用於積體電路晶片之製造。所得的積體電路晶片可由製造者以空白晶圓形式（亦即，作為具有多個未封裝晶片之單晶圓），作為裸晶或以封裝形式進行分配。之後，將晶片安裝在單晶片封裝（諸如具有引線添加至母板之塑膠載體，或其他較高級載體）或多晶片封裝（諸如具有表面互連或埋入式互連的陶瓷載體）中。在任何情況下，晶片隨後與其他晶片、離散電路元件及/或其他訊號處理裝置整合，作為(a)諸如母板之中間產品或者(b)最終產品任一者之部分。最終產品可為包括積體電路晶片之任何產品，其範圍為自玩具及其他低級應用至具有顯示器、鍵盤或其他輸入裝置及中央處理器之高級電腦產品。

為達成說明及描述之目的而提供本發明之描述，但並非意圖將本發明限於所揭示的形式。在不脫離本發明之範疇及精神之情況下，許多修改及變更對於一般技術者而言是顯而易見的。選擇且描述該實施例以便最佳解釋本發明及實際應用之原理，且使一般技術者理解具有各種修改之各種實施例之本發明，該等修改適於設想之特定使用。

【圖式簡單說明】

參照描繪本發明之示例性實施例之非限制性實例的隨

附圖式，在以上詳細描述中描述了本發明。

第 1 圖是根據本發明之一實施例圖示一起始互連結構；

第 2 圖是根據本發明之一實施例圖示處理步驟及中間互連結構；

第 3 圖是根據本發明之一實施例圖示處理步驟及最終互連結構；

第 4 圖是根據本發明之第二實施例圖示一最終互連結構；

第 5 圖是根據本發明之第三實施例圖示一最終互連結構；以及

第 6 圖是根據本發明之第四實施例圖示一最終互連結構。

【主要元件符號說明】

10、400	互連結構	15	基板
500、600	互連結構		
20	金屬化層/元件層	25	帽層
30	ILD 層	31	金屬襯墊
31a	襯墊	32	銅金屬化層
35	介電帽	38	溝槽
39	間隔物	40	凹槽

七、申請專利範圍：

1. 一種形成一半導體元件之方法，包含以下步驟：

提供一基板；

在該基板上方形形成一第一 ILD 層，其中該第一 ILD 層具有一頂面及一第一開口；

在該第一開口中沈積一第一金屬襯墊；

在該第一開口中形成一第一金屬化層；

在該第一 ILD 層之該頂面上形成一第一帽層；

在該第一帽層上方形成一第二 ILD 層，其中該第二 ILD 層具有一頂面及延伸至該第一金屬化層內之一第二開口；

在該頂面上及在該第二開口中沈積一第二金屬襯墊；

在該第二開口中形成一第二金屬化層；

執行該第二金屬化層之一 CMP，其中該第二金屬化層之一頂端與該第二金屬襯墊之一頂端同平面；

在該第二金屬化層上形成一第二帽層，其中在該第二金屬化層上形成該第二帽層包含選擇性沈積一介電帽，該介電帽係選自由以下組成之群組：氮碳化矽(SiCN)、氮化矽(SiN)及碳化矽(SiC)；

該在該第二金屬化層上形成一第二帽層之步驟之前，在位於該第二 ILD 層之該頂面下方的該第二金屬化層中形成一凹槽；以及

自該第二 ILD 層之該頂面移除該第二金屬襯墊。

2. 如請求項 1 所述之方法，其中藉由化學氣相沈積(CVD)及原子層沈積(ALD)之其中一者選擇性沈積該介電帽。
3. 如請求項 1 所述之方法，其中該自該第二 ILD 層之該頂面移除該第二金屬襯墊之步驟包含以下步驟：執行四氟化碳(CF₄)反應性離子蝕刻(RIE)及氟化氙(XeF)氣體蝕刻之其中一者；或其中該第二 ILD 層係選自由以下組成之群組：碳摻雜氧化矽(SiCOH)、多孔的 SiCOH 及氧化矽(SiO)；或其中該第二金屬襯墊為氮化鉭(TaN)及鉭(Ta)之一堆疊；或其中該第二金屬化層為銅。
4. 如請求項 1 所述之方法，進一步包含以下步驟：鄰近該第二帽層形成間隔物。
5. 如請求項 1 所述之方法，進一步包含以下步驟：在該第二 ILD 層中形成至少一個溝槽；或其中該在該第二 ILD 層中形成至少一個溝槽之步驟包含以下步驟：執行該第二 ILD 層之一選擇性蝕刻。
6. 一種半導體元件，包含：
 - 一基板；
 - 一第一 ILD 層，形成在該基板上方，其中該第一 ILD 層具有一頂面及一第一開口；
 - 一第一金屬襯墊，沈積在該第一開口中；
 - 一第一金屬化層，形成在該第一開口中；
 - 一第一帽層，形成在該第一 ILD 層之該頂面上；
 - 一第二 ILD 層，形成在該第一帽層上方，其中該第二 ILD 層具有一頂面及延伸至該第一金屬化層內之一第二

開口；

一第二金屬襯墊，沈積在該第二開口中；

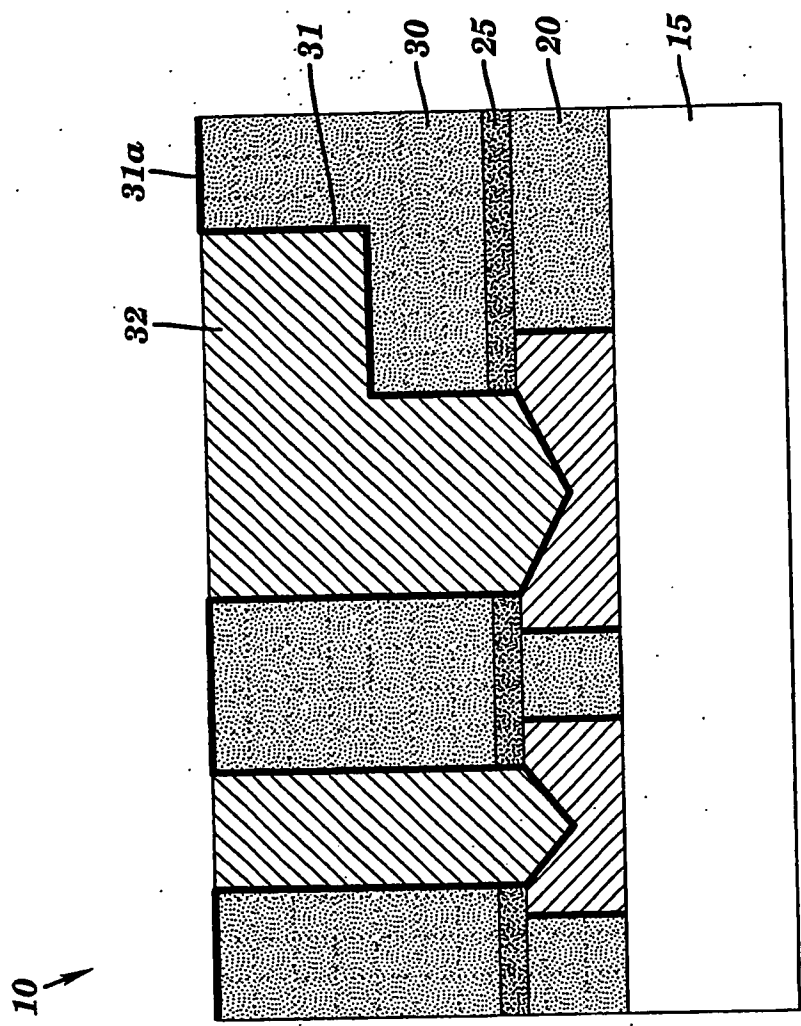
一第二金屬化層，形成在該第二開口中，其中該第二金屬化層在該第二ILD層之該頂面下方凹入；以及

一第二帽層，形成在該第二金屬化層上，其中該第二帽層係選自由以下組成之群組：氮碳化矽(SiCN)、氮化矽(SiN)及碳化矽(SiC)。

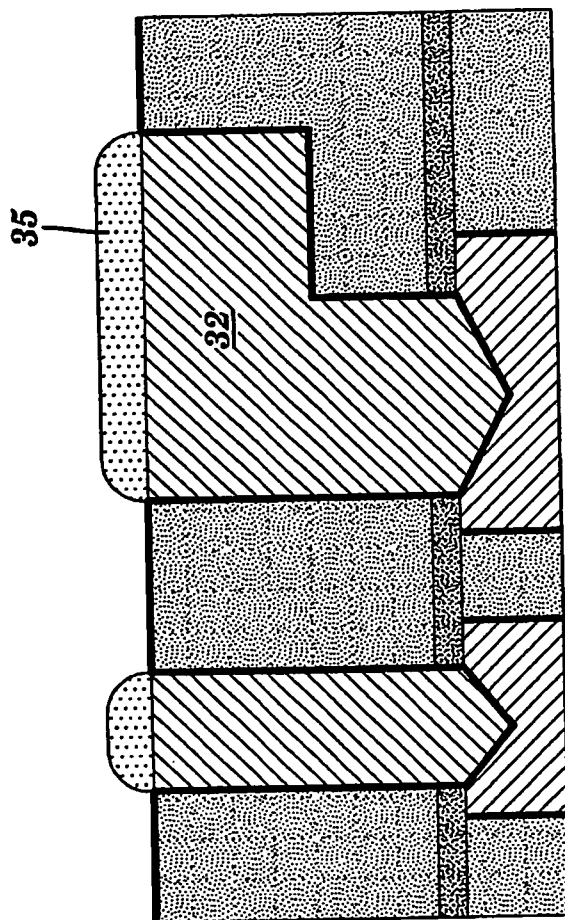
7. 如請求項6所述之半導體元件，其中該第二金屬化層包含銅。

8. 如請求項6所述之半導體元件，進一步包含形成在鄰近該第二帽層之間隔物；或進一步包含形成在該第二ILD層中之至少一個溝槽。

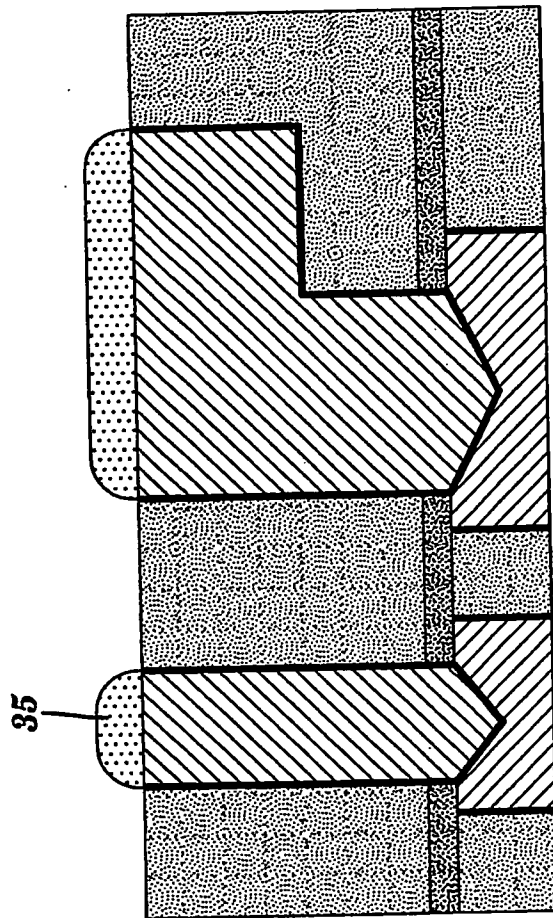
八、圖式：



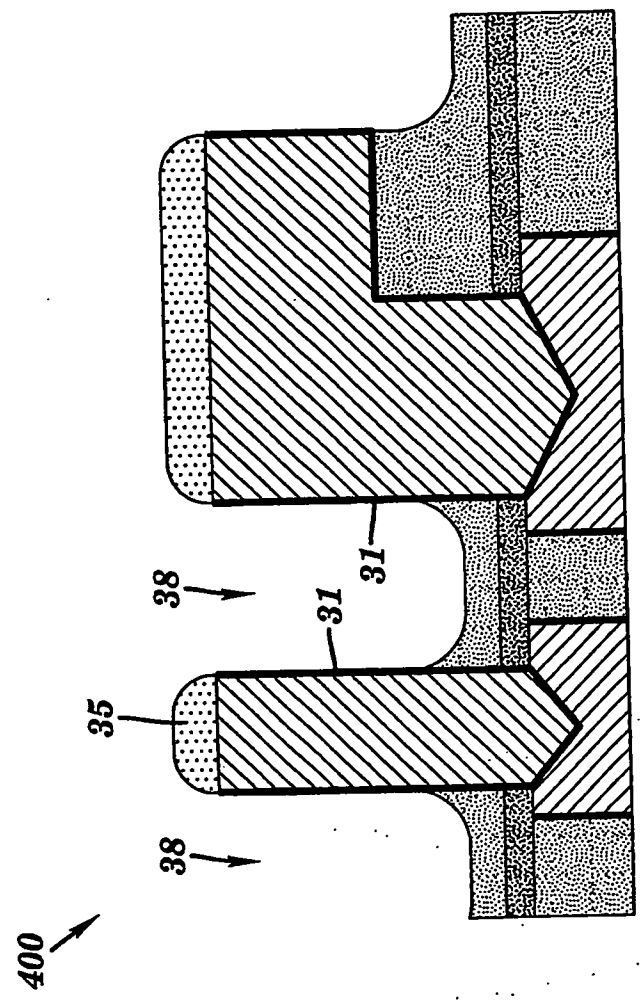
第1圖



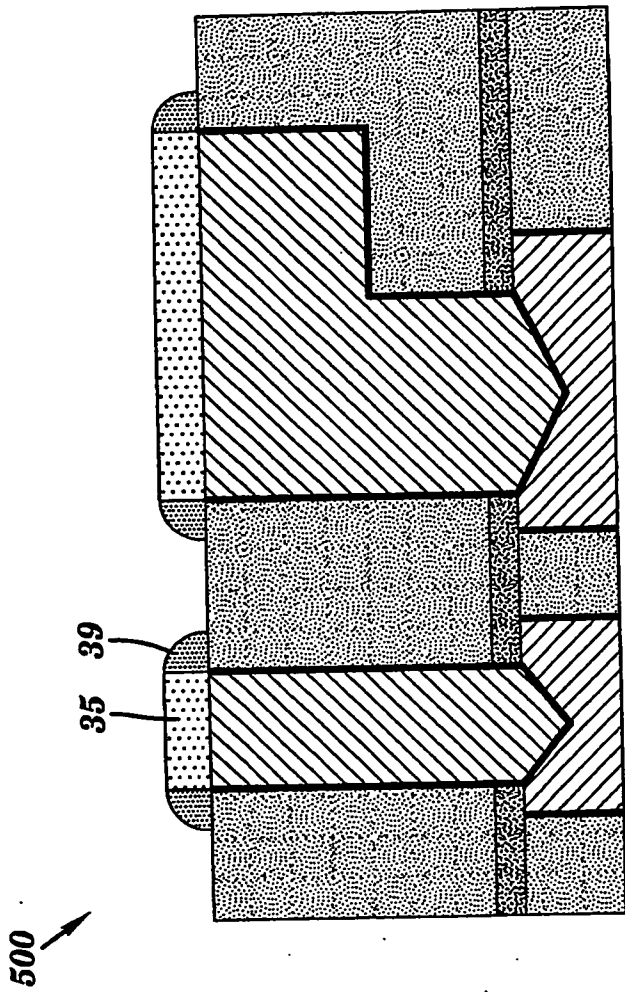
第2圖



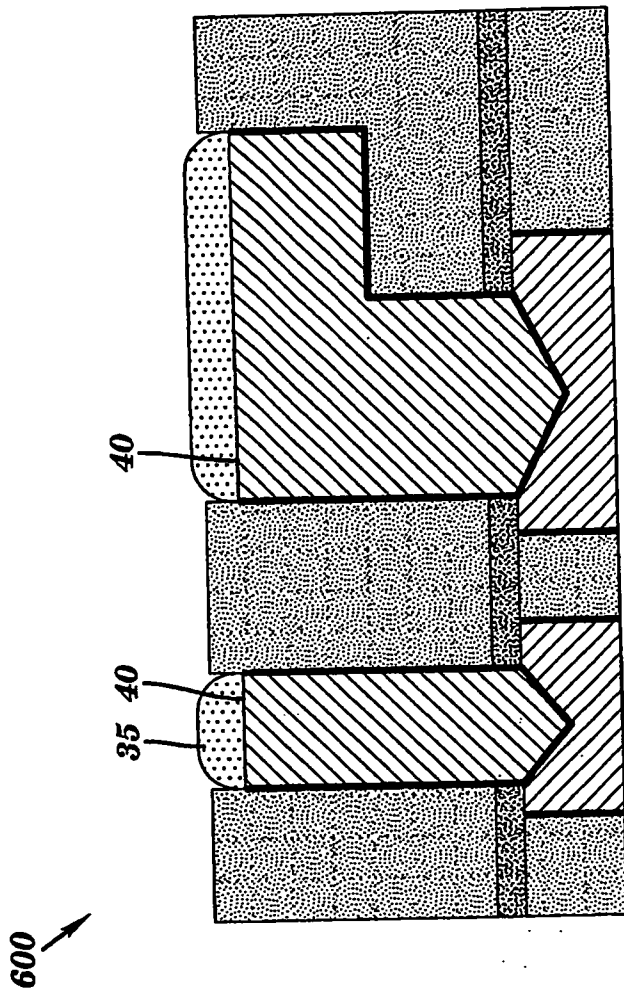
第3圖



第4圖



第5圖



第6圖