

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



(10) 国際公開番号

WO 2020/188643 A1

(51) 国際特許分類:

H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2019/010911

(22) 国際出願日: 2019年3月15日(15.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

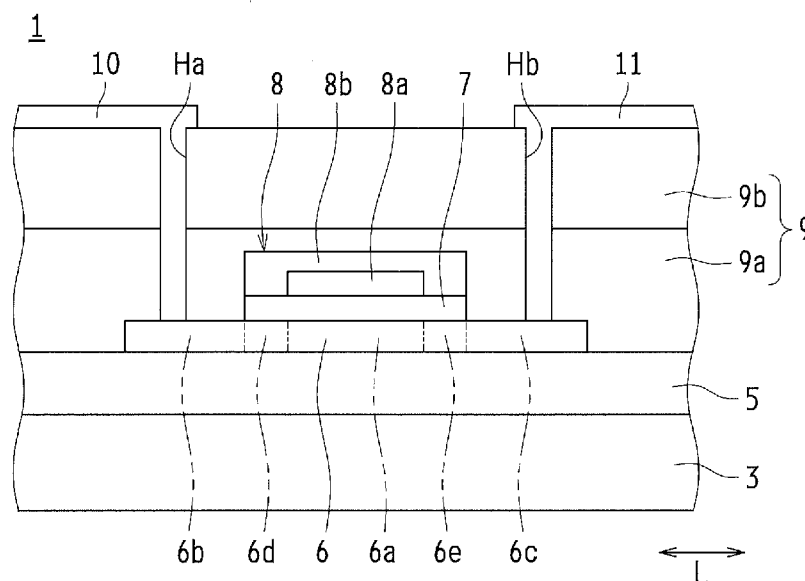
(72) 発明者: 村重 正悟 (**MURASHIGE, Shogo**). 武田 悠二郎(**TAKEDA, Yujiro**).

(74) 代理人: 特許業務法人あーく特許事務所 (**ARC PATENT ATTORNEYS' OFFICE**); 〒5300057 大阪府大阪市北区曽根崎1丁目1番2号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) **Abstract:** A display device (100) according to the present invention comprises a first transistor (1) which is formed by stacking, on a substrate (3), an oxide semiconductor layer (6), an upper gate insulating film (7), an upper gate electrode (8) and an interlayer insulating film (9). The upper gate electrode (8) of the first transistor (1) comprises a metal oxide layer (8a) and a metal layer (8b) that covers the lateral surface and the upper surface of the metal oxide layer (8a), said layers being sequentially stacked from the substrate (3) side. The oxide semiconductor layer (6) of the first transistor (1) comprises: a channel region (6a) which faces the metal oxide layer (8a); a source region (6b) and a drain region (6c), which are arranged such that the channel region (6a) is sandwiched therebetween; a first active region (6d) which is arranged

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

between the channel region (6a) and the source region (6b) so as to face the metal layer (8b); and a second active region (6e) which is arranged between the channel region (6a) and the drain region (6c) so as to face the metal layer (8b).

(57) 要約: 表示装置 (100) は、基板 (3) 上に、酸化物半導体層 (6)、上部ゲート絶縁膜 (7)、上部ゲート電極 (8)、および層間絶縁膜 (9) を積層して形成された第1トランジスタ (1) を有する。第1トランジスタ (1) の上部ゲート電極 (8) は、基板 (3) 側から順に積層された金属酸化物層 (8a) と、金属酸化物層 (8a) の側面および上面を覆う金属層 (8b) とを有する。第1トランジスタ (1) の酸化物半導体層 (6) は、金属酸化物層 (8a) と対向するチャネル領域 (6a) と、チャネル領域 (6a) を互いの間に挟むように設けられたソース領域 (6b) およびドレイン領域 (6c) と、チャネル領域 (6a) とソース領域 (6b) との間に設けられ、金属層 (8b) と対向する第1活性領域 (6d) と、チャネル領域 (6a) とドレイン領域 (6c) との間に設けられ、金属層 (8b) と対向する第2活性領域 (6e) とを含む。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、トランジスタを有する表示装置に関する。

背景技術

[0002] 近年、OLED (Organic Light Emitting Diode) 技術の進歩に伴い、有機EL (エレクトロルミネッセンス) 表示装置を備えた製品が広がってきている。一般に、有機EL表示装置では、発光層における画素に電流を供給する画素回路を含む構成を用いられており、画素回路には、TFT (薄膜トランジスタ) が設けられている。画素回路に用いるTFTとしては、例えば、トップゲート構造が挙げられる (例えば、特許文献1 参照)。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-111706号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の半導体装置は、シリコンを有する半導体領域と、半導体領域上方の絶縁層と、絶縁層上方の導電層とを有し、半導体領域にチャネル形成領域が設けられている。

[0005] 上述した半導体装置のように、導体化してチャネルを形成したトランジスタでは、チャネルとドレインとの境界において、互いの抵抗率の差により高電界が印加され、電荷が集中して耐圧の低下を引き起こすことがあった。

[0006] 本発明は、上記の課題を解決するためになされたものであり、電界集中を緩和して耐圧を向上させることができる表示装置を提供することを目的とする。

課題を解決するための手段

- [0007] 本発明に係る表示装置は、基板上に、酸化物半導体層、上部ゲート絶縁膜、上部ゲート電極、および層間絶縁膜を積層して形成された第1トランジスタを有する表示装置であって、前記第1トランジスタの前記上部ゲート電極は、前記基板側から順に積層された金属酸化物層と、前記金属酸化物層の側面および上面を覆う金属層とを有し、前記第1トランジスタの前記酸化物半導体層は、前記上部ゲート絶縁膜を介して、前記金属酸化物層と対向するチャネル領域と、前記チャネル領域を互いの間に挟むように設けられたソース領域およびドレイン領域と、前記チャネル領域と前記ソース領域との間に設けられ、前記上部ゲート絶縁膜を介して、前記金属層と対向する第1活性領域と、前記チャネル領域と前記ドレイン領域との間に設けられ、前記上部ゲート絶縁膜を介して、前記金属層と対向する第2活性領域とを含むことを特徴とする。
- [0008] 本発明に係る表示装置では、前記金属酸化物層は、Inを含有している構成としてもよい。
- [0009] 本発明に係る表示装置では、前記金属酸化物層は、GaおよびZnを含有している構成としてもよい。
- [0010] 本発明に係る表示装置では、前記金属酸化物層は、SnおよびZnを含有している構成としてもよい。
- [0011] 本発明に係る表示装置では、前記第1活性領域および前記第2活性領域は、前記チャネル領域よりも抵抗率が低く、前記ソース領域および前記ドレイン領域よりも抵抗率が高い構成としてもよい。
- [0012] 本発明に係る表示装置では、前記第1トランジスタの前記チャネル領域は、前記金属酸化物層と整合し、前記第1活性領域の前記ソース領域側の端部は、前記金属層の前記ソース領域側の端部と整合し、前記第2活性領域の前記ドレイン領域側の端部は、前記金属層の前記ドレイン領域側の端部と整合する構成としてもよい。
- [0013] 本発明に係る表示装置では、前記上部ゲート電極は、前記上部ゲート絶縁膜と整合する構成としてもよい。

- [0014] 本発明に係る表示装置では、前記上部ゲート絶縁膜は、酸化シリコン膜である構成としてもよい。
- [0015] 本発明に係る表示装置では、前記層間絶縁膜は、前記酸化物半導体層および前記上部ゲート電極と接する部分が、窒化シリコン膜で形成されている構成としてもよい。
- [0016] 本発明に係る表示装置では、前記層間絶縁膜は、前記酸化物半導体層および前記上部ゲート電極と接する部分が、酸化シリコン膜で形成されている構成としてもよい。
- [0017] 本発明に係る表示装置では、前記基板と前記酸化物半導体層の間には、下部ゲート電極と下部ゲート絶縁膜とが設けられ、前記下部ゲート電極は、前記下部ゲート絶縁膜を介して、前記チャネル領域と重畳する構成としてもよい。
- [0018] 本発明に係る表示装置では、前記下部ゲート電極は、前記ソース領域側の端部が、前記ソース領域と重畳し、前記ドレイン領域側の端部が、前記ドレイン領域と重畳する構成としてもよい。
- [0019] 本発明に係る表示装置では、前記下部ゲート電極は、前記ソース領域側の端部が、前記第1活性領域と重畳し、前記ドレイン領域側の端部が、前記第2活性領域と重畳する構成としてもよい。
- [0020] 本発明に係る表示装置は、額縁領域にモノリシックに設けられた周辺回路を備え、前記第1トランジスタは、前記周辺回路に含まれるスイッチングトランジスタである構成としてもよい。
- [0021] 本発明に係る表示装置は、前記基板上には、酸化物半導体層、上部ゲート絶縁膜、上部ゲート電極、および層間絶縁膜を積層して形成された第2トランジスタが設けられ、前記第2トランジスタの前記上部ゲート電極は、前記基板側から順に積層された金属酸化物層と、金属層とを有し、前記第2トランジスタの前記酸化物半導体層は、前記上部ゲート絶縁膜を介して、前記上部ゲート電極と対向するチャネル領域と、前記チャネル領域を互いの間に挟むように設けられたソース領域およびドレイン領域とを含む構成としてもよい。

い。

[0022] 本発明に係る表示装置は、表示領域にマトリクス状に設けられた画素回路を備え、前記画素回路は、前記第1トランジスタと、前記第2トランジスタと、容量とを含み、前記第1トランジスタは、閾値制御トランジスタであり、前記第2トランジスタは、駆動トランジスタであり、前記駆動トランジスタは、制御端子が、前記容量の一方の電極と電氣的に接続され、前記閾値制御トランジスタは、一方の導通端子が、前記駆動トランジスタの一方の導通端子と電氣的に接続され、他方の導通端子が、自身の制御端子と電氣的に接続される構成としてもよい。

[0023] 本発明に係る表示装置は、額縁領域に設けられた端子部と、前記端子部から延伸された引き回し配線と、前記端子部と表示領域との間に設けられたフィルタ回路とを備え、前記端子部は、前記フィルタ回路を介して、前記表示領域の配線と電氣的に接続され、前記第1トランジスタは、前記フィルタ回路に含まれる構成としてもよい。

[0024] 本発明に係る表示装置では、前記ソース領域は、高電源電圧線と電氣的に接続され、前記ドレイン領域および前記上部ゲート電極は、前記引き回し配線と電氣的に接続される構成としてもよい。

[0025] 本発明に係る表示装置では、前記ソース領域は、前記引き回し配線と電氣的に接続され、前記ドレイン領域および前記上部ゲート電極は、低電源電圧線と電氣的に接続される構成としてもよい。

[0026] 本発明に係る表示装置では、前記引き回し配線は、前記表示領域のデータ信号線と電氣的に接続される構成としてもよい。

[0027] 本発明に係る表示装置では、前記引き回し配線は、前記表示領域の走査信号線と電氣的に接続される構成としてもよい。

[0028] 本発明に係る表示装置では、前記ソース領域と前記ドレイン領域とが対向するチャンネル長方向において、前記第2活性領域の長さは、前記第1活性領域の長さよりも長い構成としてもよい。

発明の効果

[0029] 本発明によると、チャネル領域の端部に接合する活性領域を設けることで、LDD構造が形成されて、電界集中を緩和して耐圧を向上させることができる。

図面の簡単な説明

[0030] [図1]本発明の第1実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図である。

[図2]図1に示す第1トランジスタを模式的に示す模式平面図である。

[図3]本発明の第2実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図である。

[図4]図3に示す第1トランジスタの変形例の模式断面図である。

[図5]本発明の第3実施形態に係る表示装置における第2トランジスタを模式的に示す模式断面図である。

[図6]本発明の第4実施形態に係る表示装置を模式的に示す概略構成図である。

[図7]第1トランジスタを用いたフィルタ回路の一部を示す回路構成図である。

[図8]フィルタ回路における一部の第1トランジスタを示す模式平面図である。

[図9A]図8の矢符C-Cでの断面を示す模式断面図である。

[図9B]図8の矢符D-Dでの断面を示す模式断面図である。

[図10]本発明の第5実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図である。

[図11]図10に示す第1トランジスタを模式的に示す模式平面図である。

[図12]表示装置の画素回路を示す等価回路図である。

発明を実施するための形態

[0031] (第1実施形態)

以下、本発明の第1実施形態に係る表示装置について、図面を参照して説明する。

[0032] 図1は、本発明の第1実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図であって、図2は、図1に示す第1トランジスタを模式的に示す模式平面図である。なお、図面の見易さを考慮して、図1では、ハッチングを省略しており、図2では、下地層5や層間絶縁膜9等を透視的に示している。また、図1は、図2の矢符A-Aでの断面に相当する。

[0033] 本発明の第1実施形態に係る表示装置100（後述する図6参照）における第1トランジスタ1（薄膜トランジスタ：TFT）は、基板3に、下地層5、酸化物半導体層6、上部ゲート絶縁膜7、上部ゲート電極8、層間絶縁膜9（第1層間絶縁膜9aおよび第2層間絶縁膜9b）、および端子電極（ソース電極10およびドレイン電極11）を順に積層して形成されている。

[0034] 図1では、基板3上に形成された1つの第1トランジスタ1を拡大して示しており、基板3には、さらに、複数のトランジスタが形成されていてもよい。下地層5は、基板3全体を覆うように形成されている。なお、以下では説明のため、基板3の表面に沿う方向をチャネル長方向Lと呼ぶことがある。

[0035] 酸化物半導体層6は、下地層5上に設けられ、それぞれの第1トランジスタ1毎に配置されている。つまり、酸化物半導体層6は、他のトランジスタにおける酸化物半導体層6と離間して設けられている。上部ゲート絶縁膜7は、酸化物半導体層6上に設けられ、上部ゲート電極8は、上部ゲート絶縁膜7上に設けられている。

[0036] 本実施の形態において、上部ゲート電極8は、基板3側から順に積層された金属酸化物層8aと、金属酸化物層8aの側面および上面を覆う金属層8bとで構成されている。具体的に、金属酸化物層8aは、金属層8bよりも、チャネル長方向Lでの長さが短く、上部ゲート絶縁膜7の中央は覆っているが、上部ゲート絶縁膜7の両端部を覆っていない。金属層8bは、平面視において、上部ゲート絶縁膜7と整合している。つまり、金属層8bは、上部ゲート絶縁膜7全体を覆うように設けられており、上部ゲート絶縁膜7のうち、金属酸化物層8aに覆われていない部分は、金属層8bによって覆わ

れている。なお、ここでの整合とは、厳密に一致することを意味せず、エッチングレートの違いなどによって生じる数 μm 程度の寸法のズレも含まれる。

[0037] 酸化物半導体層 6 は、チャネル長方向 L での両端部に位置する導体領域（ソース領域 6 b およびドレイン領域 6 c）と、チャネル長方向 L での中央部に位置するチャネル領域 6 a とを含む。導体領域は、酸化物半導体がチャネル領域 6 a よりも低抵抗化された領域である。金属酸化物層 8 a は、上部ゲート絶縁膜 7 を介して、チャネル領域 6 a に対向している。

[0038] 酸化物半導体層 6 は、チャネル領域 6 a とソース領域 6 b との間に設けられた第 1 活性領域 6 d と、チャネル領域 6 a とドレイン領域 6 c との間に設けられた第 2 活性領域 6 e とを有している。第 1 活性領域 6 d および第 2 活性領域 6 e は、上部ゲート電極 8 のうち、金属層 8 b だけが設けられた部分に対し、上部ゲート絶縁膜 7 を介して対向している。

[0039] 層間絶縁膜 9（第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b）は、酸化物半導体層 6 および上部ゲート電極 8 を覆うように形成されている。第 1 トランジスタ 1 では、第 2 層間絶縁膜 9 b 上に、ソース電極 10（図 1 では、左方）およびドレイン電極 11（図 1 では、右方）が設けられている。ソース電極 10 とドレイン電極 11 とは、チャネル長方向 L で離間して設けられている。

[0040] ソース電極 10 は、第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b に設けられたソースコンタクトホール H a を介して、酸化物半導体層 6 のうち、ソース領域 6 b と電氣的に接続されている。ドレイン電極 11 は、第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b に設けられたドレインコンタクトホール H b を介して、酸化物半導体層 6 のうち、ドレイン領域 6 c と電氣的に接続されている。

[0041] 上述したように、第 1 トランジスタ 1 は、基板 3 の上に、第 1 金属配線、第 2 金属配線、および第 3 金属配線の 3 つの金属配線が順に積層されており、それぞれの金属配線の間、絶縁膜が設けられている。ここで、第 1 金属

配線は、上部ゲート電極 8 および第 2 引き回し配線 104b（後述する図 8 参照）を含んでいる。第 2 金属配線は、第 1 引き回し配線 104a（後述する図 8 参照）を含んでいる。第 3 金属配線は、フィルタ回路 105 の高電源電圧線 ELVDD、フィルタ回路 105 の低電源電圧線 ELVSS、および各種の配線間を接続する接続配線を含んでいる。

[0042] なお、定電位電圧線、第 1 引き回し配線、第 2 引き回し配線、フィルタ回路の高電源電圧線、フィルタ回路の低電源電圧線、および接続配線は、上述した組み合わせに特定されず、3つの金属配線のうちのいずれで構成されていてもよい。また、3つの金属配線を備える構成について説明したが、これに限定されず、金属配線の数を増やしてもよく、金属配線の間、適宜絶縁膜を設ければよい。

[0043] 次に、第 1 トランジスタ 1 の製造工程について、詳細に説明する。

[0044] 第 1 トランジスタ 1 の製造工程では、絶縁膜である下地層 5 を基板 3 上に成膜する。基板 3 としては、例えば、ガラス基板、シリコン基板、および耐熱性を有するプラスチック基板（樹脂基板）を用いることができる。プラスチック基板（樹脂基板）の材料としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アクリル樹脂、およびポリイミド等を用いることができる。

[0045] 本実施の形態において、下地層 5 は、 SiO_2 膜を CVD 法によって成膜した。下地層 5 は、これに限定されず、例えば、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ； $x > y$ ）、窒化酸化珪素（ SiN_xO_y ； $x > y$ ）、酸化アルミニウム、および酸化タンタルなどで形成されていてもよく、複数の層を積層してもよい。下地層 5 の厚さは、500nm 以下とされていることが好ましい。

[0046] 続いて、下地層 5 の上に、酸化物半導体層 6 を成膜する。酸化物半導体層 6 は、例えば、スパッタリング法で形成され、厚さが 50nm の In-Ga-Zn-O 系半導体膜とされている。そして、半導体層エッチング工程において、酸化物半導体層 6 は、フォトリソグラフィプロセスおよびエッチング

によりパターニングすることによって、それぞれの第1トランジスタ1毎に対応した島状に形成される。

[0047] さらに、酸化物半導体層6を覆うように、上部ゲート絶縁膜7および上部ゲート電極8が成膜される。上部ゲート絶縁膜7は、CVD法を用いて成膜された酸化珪素(SiO_x)で形成される。上部ゲート絶縁膜7は、下地層5と同じ材料で形成してもよく、複数の層を重ねた積層構造とされていてもよく、厚さが200nm以下とされていることが好ましい。

[0048] 上部ゲート電極8のうち、金属酸化物層8aは、例えば、スパッタリング法を用いて成膜される。金属酸化物層8aは、酸化物半導体層6と同じ材料で形成してもよく、 In-Ga-Zn-O (IGZO)系半導体膜とされている。なお、これに限らず、金属酸化物層8aは、 In-Zn-O (IZO)系半導体膜や、 In-Sn-Zn-O 系半導体膜としてもよく、 H_2 や H_2O に対するブロッキング性があるものであればよい。金属酸化物層8aは、成膜した後、フォトリソグラフィプロセスによって適宜パターニングすればよい。

[0049] 上部ゲート電極8のうち金属層8bは、スパッタリング法を用いて成膜され、例えば、アルミニウム (Al)、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、クロム (Cr)、チタン (Ti)、および銅 (Cu) から選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いてもよいし、これらのうちの複数の膜を含む積層膜を用いてもよい。本実施の形態において、金属層8bは、 Ti/Al/Ti で構成された積層膜とされ、厚さが100nm以上300nm以下とされている。

[0050] 上部ゲート電極8の金属層8bと上部ゲート絶縁膜7とは、フォトリソグラフィプロセスによってパターニングした同じレジストマスクを用いて、連続してエッチングが行われる。これによって、金属層8bと上部ゲート絶縁膜7とは、パターニング形状が整合し、同じレジストパターンに基づいた形状に成形される。

[0051] このように、金属層8bと上部ゲート絶縁膜7とのパターニング形状を整

合させることで、セルフアライメント構造とすることができる。これによって、工程を簡略化しつつ、両者を精度良く位置合わせすることができる。

[0052] レジストマスクを除去した後、上部ゲート電極 8 の上方から、基板 3 の全面に対して、プラズマ処理が施される。プラズマ処理は、例えば、水素プラズマ処理や H e プラズマ処理などである。プラズマ処理では、上部ゲート電極 8 および上部ゲート絶縁膜 7 がマスクとして機能し、酸化物半導体層 6 のうち、上部ゲート電極 8 および上部ゲート絶縁膜 7 で覆われていない部分（上部ゲート絶縁膜 7 から露出した部分）であるソース領域 6 b およびドレイン領域 6 c が低抵抗化される。

[0053] そして、酸化物半導体層 6 および上部ゲート電極 8 を覆う第 1 層間絶縁膜 9 a が成膜され、第 1 層間絶縁膜 9 a の上に、第 2 層間絶縁膜 9 b が成膜される。第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b は、下地層 5 と同様の材料および方法で形成してもよく、本実施の形態において、第 1 層間絶縁膜 9 a は、厚さが 100 nm の S i N とされ、第 2 層間絶縁膜 9 b は、厚さが 400 nm の S i O₂ とされている。

[0054] 金属酸化物層 8 a については、酸化物半導体層 6 に対するプラズマ処理によって導体化され、窒化膜（第 1 層間絶縁膜 9 a）からの水素供給で抵抗が下がる。さらに、金属酸化物層 8 a は、T i（金属層 8 b）からの水素拡散や、金属層 8 b 形成時のプラズマによって抵抗が下がる。このように、製造工程における下層への影響を、金属酸化物層 8 a によってブロッキングしているため、酸化物半導体層 6 のうち、金属酸化物層 8 a と重畳するチャネル領域 6 a では、導体化されず、真性半導体の性質を維持したままになる。これに対し、酸化物半導体層 6 のうち、金属層 8 b だけと重畳する第 1 活性領域 6 d および第 2 活性領域 6 e では、一部の水素が金属層 8 b を透過するため、若干低抵抗化される。

[0055] 上述したように、第 1 活性領域 6 d および第 2 活性領域 6 e は、導体領域のように低抵抗化された領域であって、チャネル領域 6 a よりも抵抗率が低く、ソース領域 6 b およびドレイン領域 6 c よりも抵抗率が高い導体とされ

ている。このように、チャネル領域 6 a の端部に接合する活性領域（第 1 活性領域 6 d および第 2 活性領域 6 e）を設けることで、LDD 構造が形成されて、電界集中を緩和して耐圧を向上させることができる。なお、ここでの耐圧とは、例えば、上部ゲート電極 8 に 10 V を印加し、ドレイン電極 11 に印加する電圧を大きくしていく場合の耐圧を示している。

[0056] また、金属酸化物層 8 a を設けることで、低抵抗化する領域を選別することができる。その結果、平面視した状態で、チャネル領域 6 a は、金属酸化物層 8 a と整合し、第 1 活性領域 6 d におけるソース領域 6 b 側の端部は、金属層 8 b におけるソース領域 6 b 側の端部と整合し、第 2 活性領域 6 e におけるドレイン領域 6 c 側の端部は、金属層 8 b におけるドレイン領域 6 c 側の端部と整合する。このように、上層と下層とで端部が整合したセルフアライメント構造を用いることで、工程を簡略化しつつ、両者を精度良く位置合わせすることができる。

[0057] 本実施の形態において、チャネル領域 6 a、第 1 活性領域 6 d、および第 2 活性領域 6 e を併せたチャネル長方向 L の長さは、10 μ m 程度とされ、第 1 活性領域 6 d および第 2 活性領域 6 e は、それぞれチャネル長方向 L の長さが、1 μ m 程度とされている。

[0058] 第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b には、公知のフォトリソグラフィプロセスにより、酸化物半導体層 6 の一部を露出するソースコンタクトホール H a およびドレインコンタクトホール H b が形成される。

[0059] 第 2 層間絶縁膜 9 b を形成した後、第 2 層間絶縁膜 9 b 上およびコンタクトホール内に、ソース電極 10 およびドレイン電極 11 の基となる電極用導電膜を成膜している。電極用導電膜は、上部ゲート電極 8 として例示した材料を用いることができる。電極用導電膜に対して、パターニングを行うことで、互いに離間したソース電極 10 とドレイン電極 11 とが形成される。

[0060] 酸化物半導体層 6 については、上述した材料だけに限らず、他の材料によって形成してもよい。酸化物半導体層 6 に含まれる酸化物半導体は、例えば、アモルファス酸化物半導体（非晶質酸化物半導体）であってもよいし、結

晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、およびc軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0061] また、酸化物半導体層6は、2層以上の積層構造を有していてもよく、この場合、酸化物半導体層6は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造が異なる複数の結晶質酸化物半導体層を含んでいてもよいし、複数の非晶質酸化物半導体層を含んでいてもよい。

[0062] 次に、非晶質酸化物半導体および結晶質酸化物半導体の材料や構造などについて、詳細に説明する。酸化物半導体層6は、例えば、In、Ga、およびZnのうち、少なくとも1種の金属元素を含んでいてもよく、本実施の形態では、In-Ga-Zn-O系の半導体（例えば、酸化インジウムガリウム亜鉛）を用いた。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、およびZn（亜鉛）の三元系酸化物であって、In、Ga、およびZnの割合（組成比）は、特に限定されず、例えば、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、および $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。また、In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0063] In-Ga-Zn-O系の半導体層を有するTFTは、a-SiTFTに比べて、高い移動度および低いリーク電流を有しているので、表示装置100の第1トランジスタ1として、好適に用いることができる。

[0064] 酸化物半導体層6は、In-Ga-Zn-O系半導体の代わりに、他の酸化物半導体を含んでいてもよく、例えば、In-Sn-Zn-O系半導体を含んでいてもよい。In-Sn-Zn-O系の半導体は、In、Sn（スズ）、およびZnの三元系酸化物であって、例えば、 $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ （InSnZnO）などが挙げられる。

[0065] 酸化物半導体層 6 は、これに限らず、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Al}-\text{Sn}-\text{Zn}-\text{O}$ 系半導体、 $\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Zn}-\text{Ti}-\text{O}$ 系半導体、 $\text{Cd}-\text{Ge}-\text{O}$ 系半導体、 $\text{Cd}-\text{Pb}-\text{O}$ 系半導体、 CdO （酸化カドミウム）、 $\text{Mg}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{Sn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{O}$ 系半導体、 $\text{Zr}-\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Hf}-\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体、 $\text{Ga}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{Zn}-\text{Sn}-\text{O}$ 系半導体、 InGaO_3 （ ZnO ）₅、酸化マグネシウム亜鉛（ $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ ）、および酸化カドミウム亜鉛（ $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ ）などを含んでいてもよい。 $\text{Zn}-\text{O}$ 系半導体としては、1 族元素、13 族元素、14 族元素、15 族元素または17 族元素のうち一種、または複数種の不純物元素が添加された ZnO の非晶質（アモルファス）状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態のもの、または何も不純物元素が添加されていないものを用いることができる。

[0066] （第2実施形態）

次に、本発明の第2実施形態に係る表示装置について、図面を参照して説明する。なお、第2実施形態において、第1実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略する。

[0067] 図3は、本発明の第2実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図である。なお、図面の見易さを考慮して、図3では、ハッチングを省略している。

[0068] 第2実施形態における第1トランジスタ1は、第1実施形態に対して、下部ゲート電極4を設けている点で異なる。具体的に、下部ゲート電極4は、基板3と下地層5との間に積層されている。なお、基板3は、表面に絶縁膜を設けるなどして、下部ゲート電極4と絶縁してもよい。また、本実施の形態では、下部ゲート電極4と酸化物半導体層6との間に、絶縁膜が設けられていることが望ましく、例えば、下地層5（下部ゲート絶縁膜に相当）が、絶縁性を有する材料で形成されていればよい。

[0069] 下部ゲート電極４は、上部ゲート電極８の金属層８ｂと同じ材料で形成してもよく、フォトリソグラフィプロセスによってパターニングされる。下部ゲート電極４は、ソース領域６ｂ側の端部が、ソース領域６ｂと重畳し、ドレイン領域６ｃ側の端部が、ドレイン領域と重畳しており、下地層５を介して、チャンネル領域６ａ、第１活性領域６ｄ、および第２活性領域６ｅと対向している。

[0070] 表示装置１００で、第２実施形態における第１トランジスタ１を用いる際は、上部ゲート電極８と下部ゲート電極４とで異なる電圧を入力してもよい。例えば、上部ゲート電極８には、変動する電圧を入力して、トランジスタの駆動を制御し、下部ゲート電極４には、定電圧とされた閾値制御電圧を入力してもよい。このように、上部ゲート電極８と下部ゲート電極４とを備えたダブルゲート構造とすることで、トランジスタの特性を向上させることができる。

[0071] 図４は、図３に示す第１トランジスタの変形例の模式断面図である。

[0072] 図４に示す変形例では、図３に示す構造に対して、チャンネル長方向Ｌでの下部ゲート電極４の長さが異なる。具体的に、下部ゲート電極４は、ソース領域６ｂ側の端部が、第１活性領域６ｄと重畳し、ドレイン領域６ｃ側の端部が、第２活性領域６ｅと重畳している。つまり、図３の構造では、下部ゲート電極４が、上部ゲート電極８の全体と重畳し、端部がソース領域６ｂおよびドレイン領域６ｃと重畳する位置まではみ出していた。これに対し、変形例では、下部ゲート電極４が、上部ゲート電極８と重畳する範囲内に収まっている。その結果、ソース領域６ｂおよびドレイン領域６ｃに対して、下部ゲート電極４が重畳しない構造となるので、酸化物半導体層６と下部ゲート電極４との間に生じる寄生容量を減らすことができる。

[0073] （第３実施形態）

次に、本発明の第３実施形態に係る表示装置について、図面を参照して説明する。なお、第３実施形態において、第１実施形態および第２実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略

する。

[0074] 図5は、本発明の第3実施形態に係る表示装置における第2トランジスタを模式的に示す模式断面図である。なお、図面の見易さを考慮して、図5では、ハッチングを省略している。

[0075] 第3実施形態において、基板3上には、第1トランジスタ1の他に、第2トランジスタ2が設けられており、図5では、基板3上に形成された1つの第2トランジスタ2を拡大して示している。

[0076] 第2トランジスタ2は、基板3に、下地層5、酸化物半導体層6、上部ゲート絶縁膜7、上部ゲート電極8、層間絶縁膜9（第1層間絶縁膜9aおよび第2層間絶縁膜9b）、および端子電極（ソース電極10およびドレイン電極11）を順に積層して形成されている。なお、第2トランジスタ2における各層については、第1トランジスタ1における各層を基板上に形成する際、同時に形成してもよく、各層は、略同様の材料および方法によって形成される。

[0077] 第2トランジスタ2は、第1トランジスタ1に対して、酸化物半導体層6および上部ゲート電極8の構成が異なっており、共通する部分については、説明を省略する。具体的に、第2トランジスタ2の上部ゲート電極8は、金属酸化物層8aと金属層8bとを積層して形成されているが、金属酸化物層8aを設けた範囲が第1トランジスタ1と異なる。具体的に、金属酸化物層8aと金属層8bとは、チャネル長方向Lでの長さが同じとされており、金属酸化物層8aは、上部ゲート絶縁膜7全体を覆うように設けられている。つまり、金属酸化物層8aと金属層8bと上部ゲート絶縁膜7とは、平面視で整合している。なお、第2トランジスタ2の金属酸化物層8aおよび金属層8bは、第1トランジスタ1の上部ゲート電極8における金属酸化物層8aおよび金属層8bと、同じ材料で形成してもよい。

[0078] 上部ゲート電極8を形成する工程において、第1トランジスタ1に対応する部分では、金属酸化物層8aをパターニングしていたが、第2トランジスタ2に対応する部分では、金属酸化物層8aをパターニングせず、金属層8

bと併せて金属酸化物層8aをエッチングしてもよい。また、金属酸化物層8aをパターニングする際、上部ゲート電極8を設ける範囲より大きく残しておき、金属層8bと範囲を合わせるように、エッチングしてもよい。

[0079] 第2トランジスタ2の酸化物半導体層6は、チャネル領域6a、ソース領域6b、およびドレイン領域6cで構成されている。つまり、第2トランジスタ2は、第1トランジスタ1に対し、第1活性領域6dおよび第2活性領域6eを有しない点で異なる。

[0080] 上述したように、特性が異なる第1トランジスタ1と第2トランジスタ2とを同一の基板3上に設けることで、表示装置100において、用途に応じたトランジスタを、適宜組み合わせ適用することができる。

[0081] (第4実施形態)

次に、本発明の第4実施形態に係る表示装置について、図面を参照して説明する。なお、第4実施形態において、第1実施形態ないし第3実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略する。

[0082] 図6は、本発明の第4実施形態に係る表示装置を模式的に示す概略構成図である。

[0083] 本発明の第4実施形態に係る表示装置100は、画素回路がマトリクス状に設けられた表示領域101と、表示領域101の周囲を囲む額縁領域102とを備える。額縁領域102には、外部と電氣的に接続するための端子部103と、端子部103から延伸された引き回し配線104と、端子部103と表示領域101との間に設けられたフィルタ回路105（周辺回路の一例）とを備える。引き回し配線104は、表示装置100のサイズに応じて、適宜数を決定すればよく、複数設けられている。

[0084] フィルタ回路105では、高い電圧（ノイズ）が加わることがあり、耐圧の高いトランジスタを用いることが好ましい。また、フィルタ回路105が、低電圧のノイズをフィルタする回路として用いられる場合は、低電圧（低電源電圧）よりも電圧が低いノイズを通さないようにする。

[0085] 図7は、第1トランジスタを用いたフィルタ回路の一部を示す回路構成図である。

[0086] フィルタ回路105では、複数の信号配線SL（引き回し配線104）に対して交差するように、低電源電圧線ELVSSと高電源電圧線ELVDDとが設けられている。図7では、4つの信号配線SLに対して、低電源電圧線ELVSSと高電源電圧線ELVDDとがそれぞれ交差している状態を示しているが、これに限定されず、信号配線SLの数は、増減してもよい。

[0087] フィルタ回路105では、それぞれの信号配線SLと低電源電圧線ELVSSとに接続された低電圧用トランジスタ1a（第1トランジスタ1）と、それぞれの信号配線SLと高電源電圧線ELVDDとに接続された高電圧用トランジスタ1b（第1トランジスタ1）とが設けられている。つまり、それぞれの信号配線SLは、低電源電圧線ELVSSおよび高電源電圧線ELVDDと直接繋がっておらず、低電圧用トランジスタ1aを介して低電源電圧線ELVSSと接続され、高電圧用トランジスタ1bを介して高電源電圧線ELVDDと接続されている。

[0088] 低電圧用トランジスタ1aは、上部ゲート電極8およびドレイン電極11が低電源電圧線ELVSSに接続され、ソース電極10が信号配線SLに接続されている。高電圧用トランジスタ1bは、ソース電極10が高電源電圧線ELVDDに接続され、上部ゲート電極8およびドレイン電極11が信号配線SLに接続されている。

[0089] 表示装置100では、低電源電圧線ELVSSおよび高電源電圧線ELVDDに印加される電位が、それぞれ「ELVSS」および「ELVDD」として、所定の値に設定されている。低電圧用トランジスタ1aは、「ELVSS」以下の電位が信号配線SLに印加された場合、信号配線SLに印加される電位を「ELVSS」に保つ低電圧フィルタとされており、高電圧用トランジスタ1bは、「ELVDD」以上の電位が信号配線SLに印加された場合、信号配線SLに印加される電位を「ELVDD」に保つ高電圧フィルタとされている。

[0090] 図8は、フィルタ回路における一部の第1トランジスタを示す模式平面図であって、図9Aは、図8の矢符C-Cでの断面を示す模式断面図であって、図9Bは、図8の矢符D-Dでの断面を示す模式断面図である。なお、図面の見易さを考慮して、図9Aおよび図9Bでは、ハッチングを省略しており、図8では、下地層5や層間絶縁膜9等を透視的に示している。

[0091] 図8では、フィルタ回路105に設けられた複数の第1トランジスタ1の一部(4つ)を抽出して示しており、2つの低電圧用トランジスタ1aと2つの高電圧用トランジスタ1bとを示している。また、図9Aは、低電圧のノイズをフィルタするフィルタ回路であって、2つの低電圧用トランジスタ1aを示しており、図9Bは、高電圧のノイズをフィルタするフィルタ回路であって、2つの高電圧用トランジスタ1bを示している。本実施の形態においては、設ける層が異なる2種類の引き回し配線104が存在する。具体的に、2種類の引き回し配線104は、第1層間絶縁膜9aの上に設けられた第1引き回し配線104aと、下地層5の上に配線部絶縁膜13を介して設けられた第2引き回し配線104bとである。2つの低電圧用トランジスタ1aのうち、一方(第1低電圧用トランジスタ1aa)は、第1引き回し配線104aに接続されており、他方(第2低電圧用トランジスタ1ab)は、第2引き回し配線104bに接続されている。また、2つの高電圧用トランジスタ1bのうち、一方(第1高電圧用トランジスタ1ba)は、第1引き回し配線104aに接続されており、他方(第2高電圧用トランジスタ1bb)は、第2引き回し配線104bに接続されている。

[0092] 第1引き回し配線104aは、第1層間絶縁膜9aを形成した後、第2層間絶縁膜9bを成膜する前に、金属膜の成膜とパターニングとによって形成すればよい。また、第1引き回し配線104aに対するコンタクトホールは、ソースコンタクトホールHaおよびドレインコンタクトホールHbと併せて、第2層間絶縁膜9bをエッチングして形成してもよいし、別にして形成してもよい。

[0093] 第2引き回し配線104bは、上部ゲート絶縁膜7および上部ゲート電極

8を形成する工程と併せて形成される。つまり、上部ゲート電極8（特に、金属層8b）におけるフォトリソグラフィプロセスの際、第2引き回し配線104bに対応する部分にもレジストマスクを形成すればよい。それによって、上部ゲート絶縁膜7および上部ゲート電極8におけるエッチングの際、第2引き回し配線104bと、第2引き回し配線104bに整合した配線部絶縁膜13とが併せて成形される。また、第2引き回し配線104bに対するコンタクトホールは、ソースコンタクトホールHaおよびドレインコンタクトホールHbと併せて、第1層間絶縁膜9aおよび第2層間絶縁膜9bをエッチングして形成してもよいし、別にして形成してもよい。

[0094] 低電源電圧線ELVSSおよび高電源電圧線ELVDDについては、ソース電極10およびドレイン電極11と併せて形成されており、第2層間絶縁膜9bの上に設けられている。つまり、低電源電圧線ELVSSおよび高電源電圧線ELVDDは、ソース電極10およびドレイン電極11の基となる電極用導電膜から形成されており、低電源電圧線ELVSSおよび高電源電圧線ELVDDも含んだ形状となるように、パターニングしている。

[0095] 低電圧用トランジスタ1aにおいて、ソース電極10から第1引き回し配線104aおよび第2引き回し配線104bまで、ソース延伸部21が延伸し、第1引き回し配線104aおよび第2引き回し配線104bと電氣的に接続している。また、ドレイン電極11から低電源電圧線ELVSSまで、ドレイン延伸部22が延伸し、低電源電圧線ELVSSと電氣的に接続している。さらに、低電源電圧線ELVSSから上部ゲート電極8まで、ゲート延伸部23が延伸し、上部ゲート電極8と電氣的に接続している。

[0096] 高電圧用トランジスタ1bにおいて、ソース電極10から高電源電圧線ELVDDまで、ソース延伸部21が延伸し、高電源電圧線ELVDDと電氣的に接続している。また、ドレイン電極11から第1引き回し配線104aおよび第2引き回し配線104bまで、ドレイン延伸部22が延伸し、第1引き回し配線104aおよび第2引き回し配線104bと電氣的に接続している。さらに、第1引き回し配線104aおよび第2引き回し配線104b

から上部ゲート電極 8 まで、ゲート延伸部 2 3 が延伸し、第 1 引き回し配線 1 0 4 a および第 2 引き回し配線 1 0 4 b と電氣的に接続している。

[0097] ソース延伸部 2 1、ドレイン延伸部 2 2、およびゲート延伸部 2 3 は、上述した電極用導電膜から形成されており、ソース電極 1 0 およびドレイン電極 1 1 と併せて形成される。異なる層の配線と接続する場合は、互いが重複する部分に、適宜コンタクトホールを形成すればよい。

[0098] 第 1 低電圧用トランジスタ 1 a a においては、ソース延伸部 2 1 が、引き回しコンタクトホール H e を介して第 1 引き回し配線 1 0 4 a と接続されている。第 2 低電圧用トランジスタ 1 a b においては、ソース延伸部 2 1 が、引き回しコンタクトホール H f を介して第 2 引き回し配線 1 0 4 b と接続されている。また、第 1 低電圧用トランジスタ 1 a a および第 2 低電圧用トランジスタ 1 a b におけるゲート延伸部 2 3 では、上部ゲート電極 8 上の第 1 層間絶縁膜 9 a および第 2 層間絶縁膜 9 b を貫通するように形成されたコンタクトホール H c を介して、対応する上部ゲート電極 8 と接続されている。

[0099] 第 1 高電圧用トランジスタ 1 b a においては、ドレイン延伸部 2 2 が、引き回しコンタクトホール H g を介して第 1 引き回し配線 1 0 4 a と接続されている。第 2 高電圧用トランジスタ 1 b b においては、ドレイン延伸部 2 2 が、引き回しコンタクトホール H h を介して第 2 引き回し配線 1 0 4 b と接続されている。また、第 1 高電圧用トランジスタ 1 b a および第 2 高電圧用トランジスタ 1 b b におけるゲート延伸部 2 3 では、引き回しコンタクトホール H d を介して第 2 引き回し配線 1 0 4 b と接続されている。なお、ゲート延伸部 2 3 と上部ゲート電極 8 との接続については、第 1 低電圧用トランジスタ 1 a a および第 2 低電圧用トランジスタ 1 a b と同様に、コンタクトホール H c を設ければよい。

[0100] なお、酸化物半導体層 6 に対し、ソース電極 1 0 およびドレイン電極 1 1 が重複する範囲は特に限定されず、各種配線から対応するコンタクトホールまで繋がるように、ソース電極 1 0 およびドレイン電極 1 1 が設けられていればよい。

[0101] 図8では、フィルタ回路105のうち、4つの第1トランジスタ1を抜き出して示しているが、これに限定されず、引き回し配線104の数に応じて、適宜第1トランジスタ1を増減すればよい。また、引き回し配線104については、第1引き回し配線104aと第2引き回し配線104bとを交互に並べてもよいし、いずれか一方を連続して配置してもよい。

[0102] 本実施の形態に係る第1トランジスタ1では、上部ゲート電極8、ソース電極10、ドレイン電極11、および引き回し配線104などの各種配線について、各種絶縁膜を間に挟んで積層し、コンタクトホールで適直接続しているが、上述した構成は一例にすぎず、適宜積層する順番を入れ替えてもよい。例えば、上述した構成では、ソース電極10、ソース延伸部21、低電源電圧線ELVSS、および高電源電圧線ELVDDなどが、同じ層（レイヤー）に設けられ、同じ電極用導電膜を用いて一度に形成されていたが、異なる層に設けて、別々に成膜してもよい。

[0103] （第5実施形態）

次に、本発明の第5実施形態に係る表示装置について、図面を参照して説明する。なお、第5実施形態において、第1実施形態ないし第4実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略する。

[0104] 図10は、本発明の第5実施形態に係る表示装置における第1トランジスタを模式的に示す模式断面図であって、図11は、図10に示す第1トランジスタを模式的に示す模式平面図である。なお、図面の見易さを考慮して、図10では、ハッチングを省略しており、図11では、下地層5や層間絶縁膜9等を透視的に示している。また、図10は、図11の矢符E-Eでの断面に相当する。

[0105] 第5実施形態は、第1実施形態に対し、上部ゲート電極8のなかでの金属酸化物層8aの位置が異なる。具体的に、第1実施形態において、金属酸化物層8aは、上部ゲート電極8のなかで、チャンネル長方向Lでの略中央に配置されていた。これに対し、第5実施形態において、金属酸化物層8aは、

上部ゲート電極 8 のなかで、ソース領域 6 b 側に偏って配置されている。つまり、チャネル長方向 L において、第 2 活性領域 6 e の長さ（第 2 活性領域長 KL_2 ）は、第 1 活性領域 6 d の長さ（第 1 活性領域長 KL_1 ）よりも長くなっている。上部ゲート電極 8 のなかでの金属酸化物層 8 a の位置をずらすことで、上部ゲート電極 8 自体の長さを変えることなく、第 1 活性領域長 KL_1 および第 2 活性領域長 KL_2 を適宜調整することができる。このように、電荷が集中する側の領域を広くして、耐圧の向上を図りつつ、上部ゲート電極 8 のサイズを小さく収めることで、トランジスタの小型化に有利に働く。

[0106] 本実施の形態における第 1 トランジスタ 1 を、上述したフィルタ回路 105 に用いてもよく、低電圧用トランジスタ 1 a および高電圧用トランジスタ 1 b として適用するものに依じて、上部ゲート電極 8、ソース電極 10、およびドレイン電極 11 が各種配線と適直接続されていればよい。

[0107] 図 12 は、表示装置の画素回路を示す等価回路図である。

[0108] 表示装置 100 は、マトリクス状に配列された複数の画素によって構成された表示領域 101 を有する。複数の画素は、典型的には、赤を表示する赤画素、緑を表示する緑画素、および青を表示する青画素を含む。それぞれの画素では、対応する発光ダイオード LD が設けられており、対応する画素回路によって制御している。

[0109] 「S (m)」に対応する直線は、ソース信号線を示し、「G (n)」および「G (n - 1)」に対応する直線は、ゲート信号線を示し、「EM (n)」に対応する直線は、発光制御線を示している。また、「ELVDD」は、高電源電圧を示し、これに繋がる直線は、高電源電圧線に相当する。さらに、「ELVSS」は、低電源電圧を示し、これに繋がる直線は、低電源電圧線に相当する。そして、「Vini (n)」に対応する直線は、リセット電位に対応するリセット信号線を示している。

[0110] 図 8 は、画素回路の一例を示しており、7 つのトランジスタ（第 1 回路トランジスタ T1 ないし第 7 回路トランジスタ T7）、コンデンサ Ca、およ

び発光ダイオードLDを組み合わせて構成されている。上述した第1トランジスタ1は、第1回路トランジスタT1ないし第7回路トランジスタT7のいずれに適用してもよいが、それぞれの特性に応じた箇所に配置されることが望ましく、画素回路におけるスイッチングトランジスタに適用されることが好ましい。

[0111] 画素回路において、第1回路トランジスタT1ないし第3回路トランジスタT3と、第5回路トランジスタT5ないし第7回路トランジスタT7とは、スイッチングトランジスタとして用いられている。また、第4回路トランジスタT4は、発光ダイオードLDに電源を供給する駆動トランジスタとされている。上述した第2トランジスタ2は、画素回路における駆動トランジスタに適用されることが好ましい。

[0112] 本実施の形態に係る表示装置100は、表示素子を備えた表示パネルであれば、特に限定されるものではない。表示素子は、電流によって輝度や透過率が制御される表示素子と、電圧によって輝度や透過率が制御される表示素子とがある。電流制御の表示素子としては、例えば、OLED (Organic Light Emitting Diode:有機発光ダイオード) を備えた有機EL (Electro Luminescence:エレクトロルミネッセンス) ディスプレイ、無機発光ダイオードを備えた無機ELディスプレイ等のELディスプレイ、およびQLED (Quantum dot Light Emitting Diode:量子ドット発光ダイオード) を備えたQLEDディスプレイ等がある。また、電圧制御の表示素子としては、液晶表示素子等がある。

[0113] なお、今回開示した実施の形態は全ての点で例示であって、限定的な解釈の根拠となるものではない。従って、本発明の技術的範囲は、上記した実施の形態のみによって解釈されるものではなく、特許請求の範囲の記載に基づいて画定される。また、特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

符号の説明

- [0114]
- 1 第1トランジスタ
 - 2 第2トランジスタ
 - 3 基板
 - 4 下部ゲート電極
 - 5 下地層
 - 6 酸化物半導体層
 - 6 a チャネル領域
 - 6 b ソース領域
 - 6 c ドレイン領域
 - 6 d 第1活性領域
 - 6 e 第2活性領域
 - 7 上部ゲート絶縁膜
 - 8 上部ゲート電極
 - 8 a 金属酸化物層
 - 8 b 金属層
 - 9 層間絶縁膜
 - 9 a 第1層間絶縁膜
 - 9 b 第2層間絶縁膜
 - 10 ソース電極
 - 11 ドレイン電極
 - 100 表示装置
 - 101 表示領域
 - 102 額縁領域
 - 103 端子部
 - 104 引き回し配線
 - 105 フィルタ回路
 - ELVDD 高電源電圧線
 - ELVSS 低電源電圧線

L チャンネル長方向

請求の範囲

- [請求項1] 基板上に、酸化物半導体層、上部ゲート絶縁膜、上部ゲート電極、および層間絶縁膜を積層して形成された第1トランジスタを有する表示装置であって、
- 前記第1トランジスタの前記上部ゲート電極は、前記基板側から順に積層された金属酸化物層と、前記金属酸化物層の側面および上面を覆う金属層とを有し、
- 前記第1トランジスタの前記酸化物半導体層は、
- 前記上部ゲート絶縁膜を介して、前記金属酸化物層と対向するチャネル領域と、
- 前記チャネル領域を互いの間に挟むように設けられたソース領域およびドレイン領域と、
- 前記チャネル領域と前記ソース領域との間に設けられ、前記上部ゲート絶縁膜を介して、前記金属層と対向する第1活性領域と、
- 前記チャネル領域と前記ドレイン領域との間に設けられ、前記上部ゲート絶縁膜を介して、前記金属層と対向する第2活性領域とを含むこと
- を特徴とする表示装置。
- [請求項2] 請求項1に記載の表示装置であって、
- 前記金属酸化物層は、Inを含有していること
- を特徴とする表示装置。
- [請求項3] 請求項2に記載の表示装置であって、
- 前記金属酸化物層は、GaおよびZnを含有していること
- を特徴とする表示装置。
- [請求項4] 請求項2に記載の表示装置であって、
- 前記金属酸化物層は、SnおよびZnを含有していること
- を特徴とする表示装置。
- [請求項5] 請求項1から請求項4までのいずれか1つに記載の表示装置であっ

て、

前記第 1 活性領域および前記第 2 活性領域は、前記チャネル領域よりも抵抗率が低く、前記ソース領域および前記ドレイン領域よりも抵抗率が高いこと

を特徴とする表示装置。

[請求項6] 請求項 1 から請求項 5 までのいずれか 1 つに記載の表示装置であって、

前記第 1 トランジスタの前記チャネル領域は、前記金属酸化物層と整合し、

前記第 1 活性領域の前記ソース領域側の端部は、前記金属層の前記ソース領域側の端部と整合し、

前記第 2 活性領域の前記ドレイン領域側の端部は、前記金属層の前記ドレイン領域側の端部と整合すること

を特徴とする表示装置。

[請求項7] 請求項 1 から請求項 6 までのいずれか 1 つに記載の表示装置であって、

前記上部ゲート電極は、前記上部ゲート絶縁膜と整合すること
を特徴とする表示装置。

[請求項8] 請求項 1 から請求項 7 までのいずれか 1 つに記載の表示装置であって、

前記上部ゲート絶縁膜は、酸化シリコン膜であること
を特徴とする表示装置。

[請求項9] 請求項 8 に記載の表示装置であって、

前記層間絶縁膜は、前記酸化物半導体層および前記上部ゲート電極と接する部分が、窒化シリコン膜で形成されていること
を特徴とする表示装置。

[請求項10] 請求項 8 に記載の表示装置であって、

前記層間絶縁膜は、前記酸化物半導体層および前記上部ゲート電極

と接する部分が、酸化シリコン膜で形成されていること
を特徴とする表示装置。

[請求項11] 請求項1から請求項10までのいずれか1つに記載の表示装置であって、

前記基板と前記酸化物半導体層の間には、下部ゲート電極と下部ゲート絶縁膜とが設けられ、

前記下部ゲート電極は、前記下部ゲート絶縁膜を介して、前記チャネル領域と重畳すること
を特徴とする表示装置。

[請求項12] 請求項11に記載の表示装置であって、

前記下部ゲート電極は、前記ソース領域側の端部が、前記ソース領域と重畳し、前記ドレイン領域側の端部が、前記ドレイン領域と重畳すること

を特徴とする表示装置。

[請求項13] 請求項11に記載の表示装置であって、

前記下部ゲート電極は、前記ソース領域側の端部が、前記第1活性領域と重畳し、前記ドレイン領域側の端部が、前記第2活性領域と重畳すること

を特徴とする表示装置。

[請求項14] 請求項1から請求項13までのいずれか1つに記載の表示装置であって、

額縁領域にモノリシックに設けられた周辺回路を備え、

前記第1トランジスタは、前記周辺回路に含まれるスイッチングトランジスタであること

を特徴とする表示装置。

[請求項15] 請求項1から請求項14までのいずれか1つに記載の表示装置であって、

前記基板上には、酸化物半導体層、上部ゲート絶縁膜、上部ゲート

電極、および層間絶縁膜を積層して形成された第2トランジスタが設けられ、

前記第2トランジスタの前記上部ゲート電極は、前記基板側から順に積層された金属酸化物層と、金属層とを有し、

前記第2トランジスタの前記酸化物半導体層は、

前記上部ゲート絶縁膜を介して、前記上部ゲート電極と対向するチャネル領域と、

前記チャネル領域を互いの間に挟むように設けられたソース領域およびドレイン領域とを含むこと

を特徴とする表示装置。

[請求項16]

請求項15に記載の表示装置であって、

表示領域にマトリクス状に設けられた画素回路を備え、

前記画素回路は、前記第1トランジスタと、前記第2トランジスタと、容量とを含み、

前記第1トランジスタは、閾値制御トランジスタであり、

前記第2トランジスタは、駆動トランジスタであり、

前記駆動トランジスタは、制御端子が、前記容量の一方の電極と電気的に接続され、

前記閾値制御トランジスタは、一方の導通端子が、前記駆動トランジスタの一方の導通端子と電気的に接続され、他方の導通端子が、自身の制御端子と電気的に接続されること

を特徴とする表示装置。

[請求項17]

請求項1から請求項13までのいずれか1つに記載の表示装置であって、

額縁領域に設けられた端子部と、

前記端子部から延伸された引き回し配線と、

前記端子部と表示領域との間に設けられたフィルタ回路とを備え、

前記端子部は、前記フィルタ回路を介して、前記表示領域の配線と

電氣的に接続され、

前記第1トランジスタは、前記フィルタ回路に含まれることを特徴とする表示装置。

[請求項18]

請求項17に記載の表示装置であって、

前記ソース領域は、高電源電圧線と電氣的に接続され、

前記ドレイン領域および前記上部ゲート電極は、前記引き回し配線と電氣的に接続されること

を特徴とする表示装置。

[請求項19]

請求項17に記載の表示装置であって、

前記ソース領域は、前記引き回し配線と電氣的に接続され、

前記ドレイン領域および前記上部ゲート電極は、低電源電圧線と電氣的に接続されること

を特徴とする表示装置。

[請求項20]

請求項18または請求項19に記載の表示装置であって、

前記引き回し配線は、前記表示領域のデータ信号線と電氣的に接続されること

を特徴とする表示装置。

[請求項21]

請求項18または請求項19に記載の表示装置であって、

前記引き回し配線は、前記表示領域の走査信号線と電氣的に接続されること

を特徴とする表示装置。

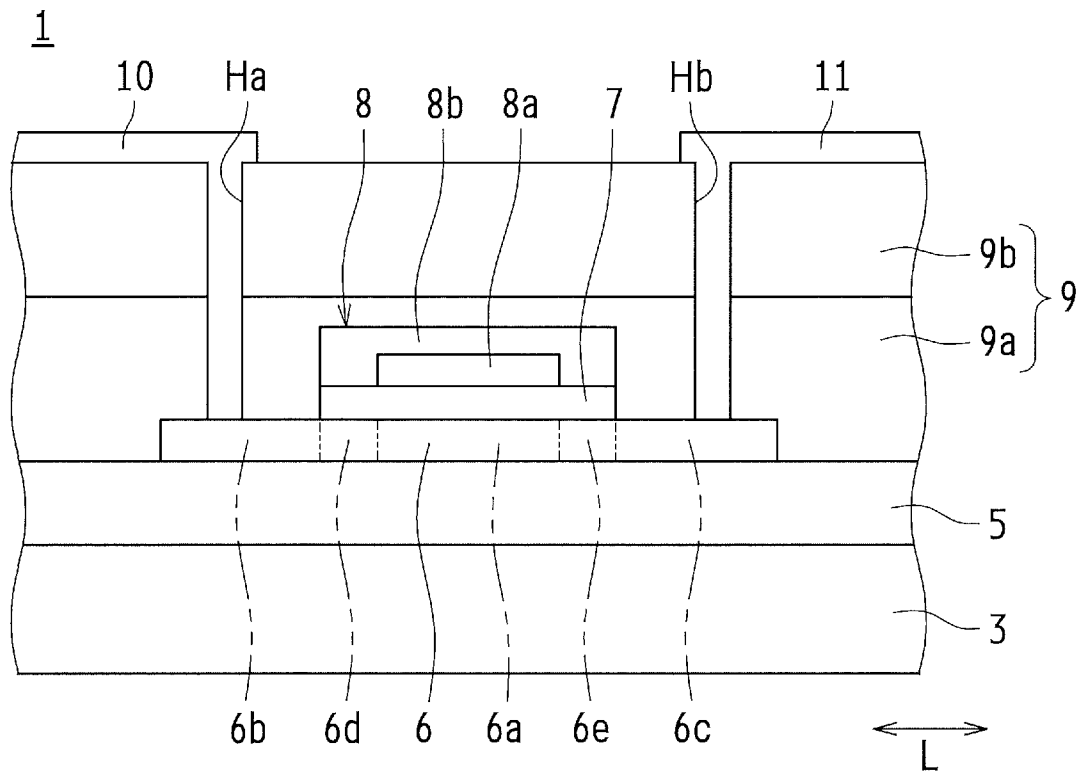
[請求項22]

請求項17に記載の表示装置であって、

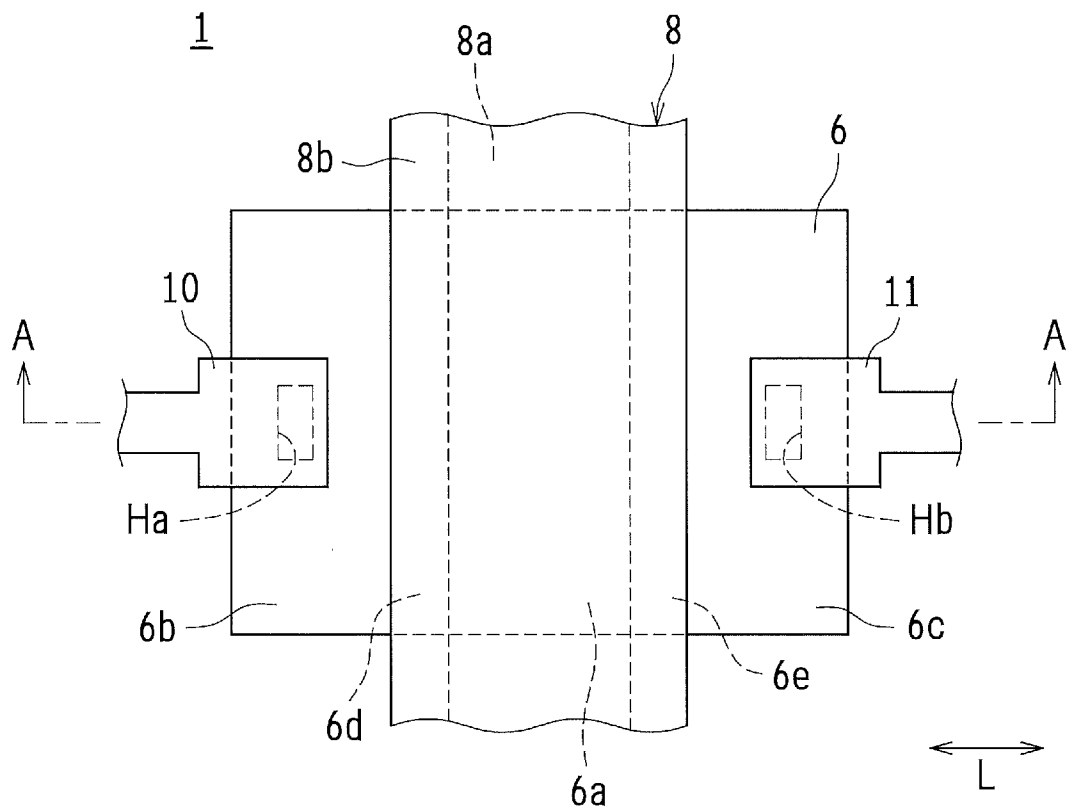
前記ソース領域と前記ドレイン領域とが対向するチャンネル長方向において、前記第2活性領域の長さは、前記第1活性領域の長さよりも長いこと

を特徴とする表示装置。

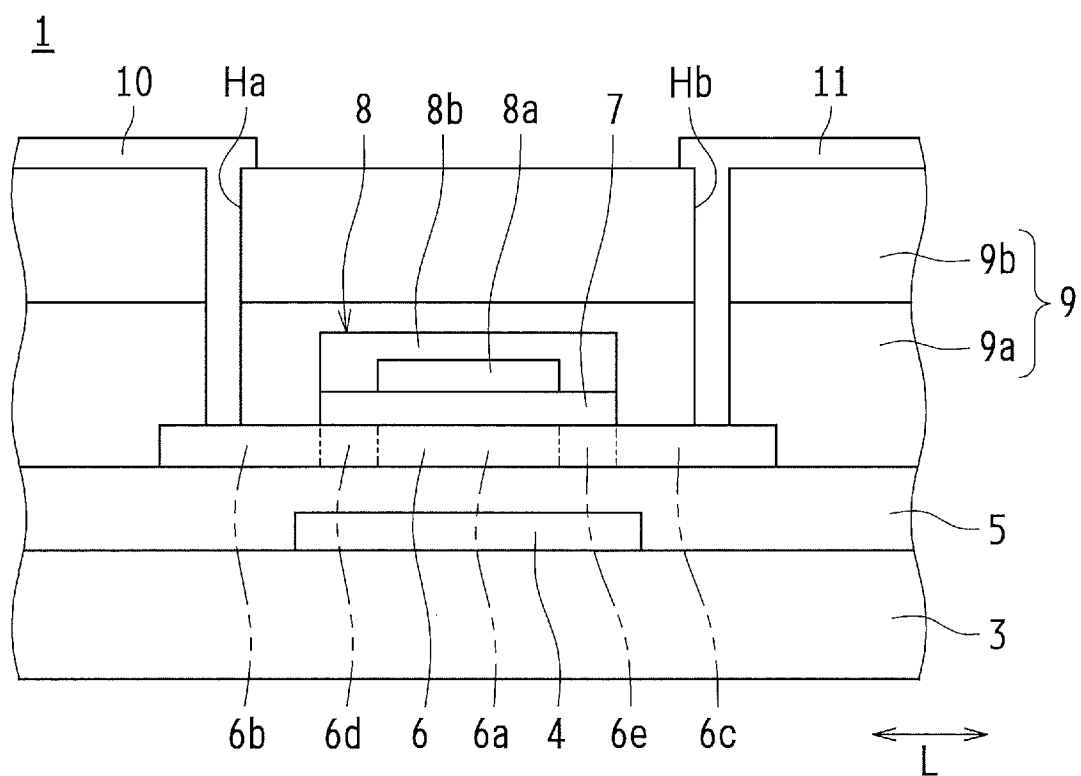
[図1]



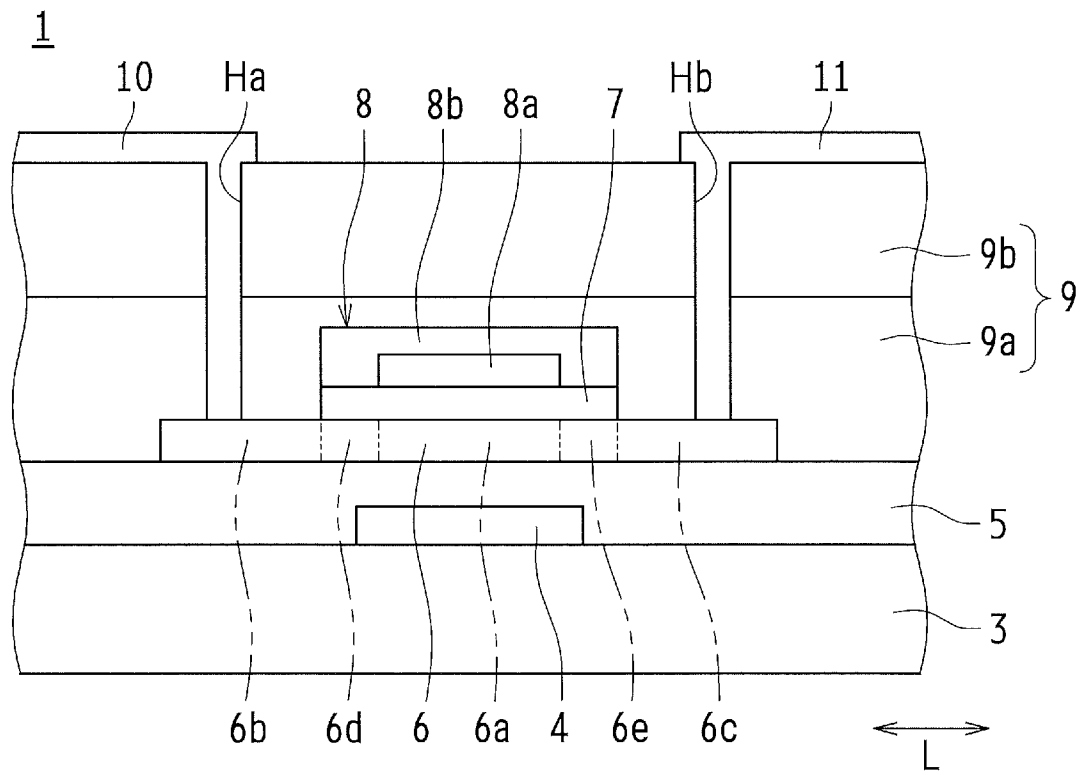
[図2]



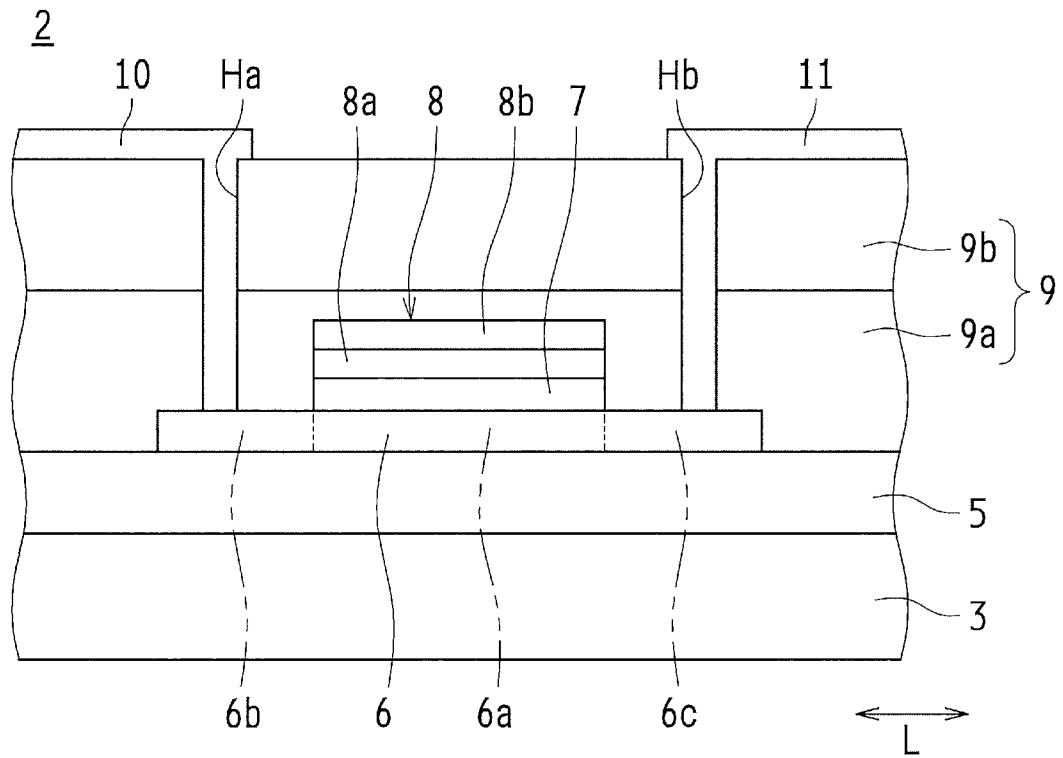
[図3]



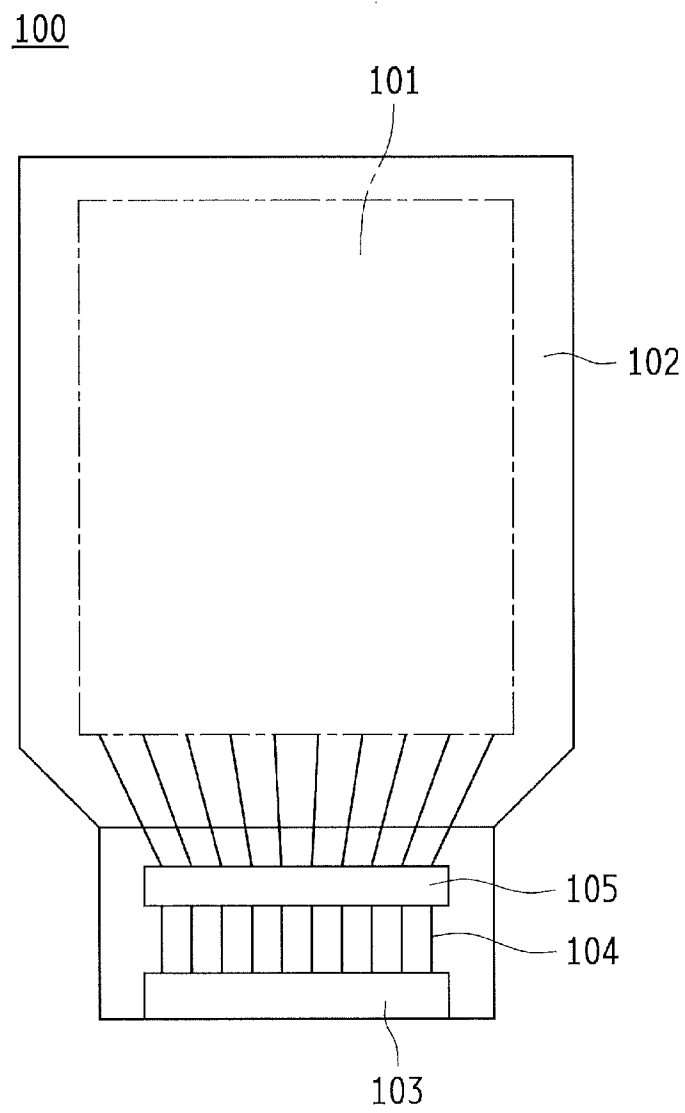
[図4]



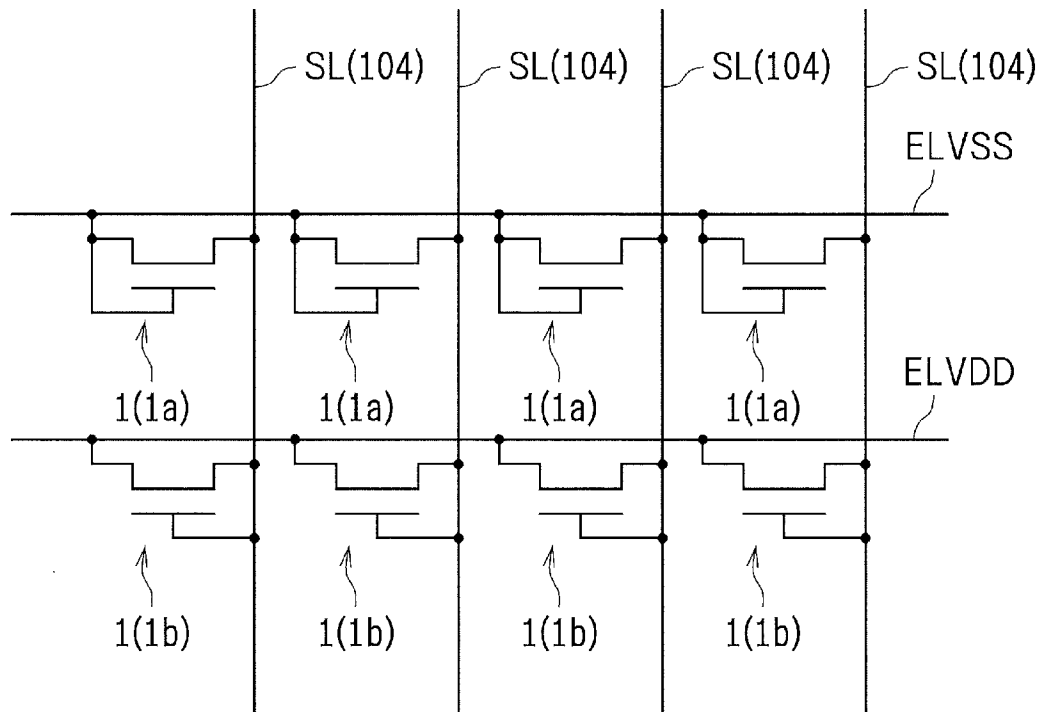
[図5]



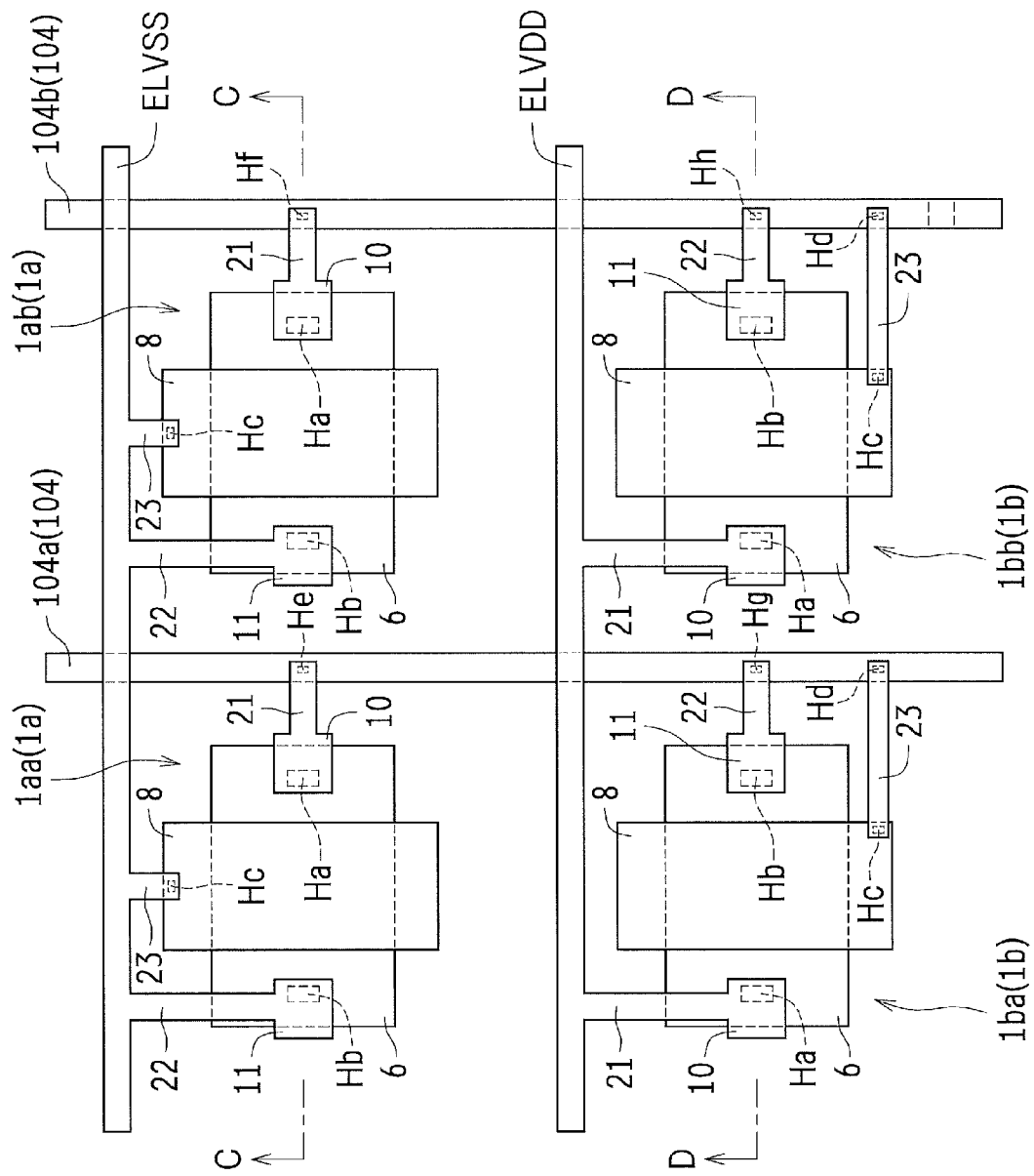
[図6]



[図7]

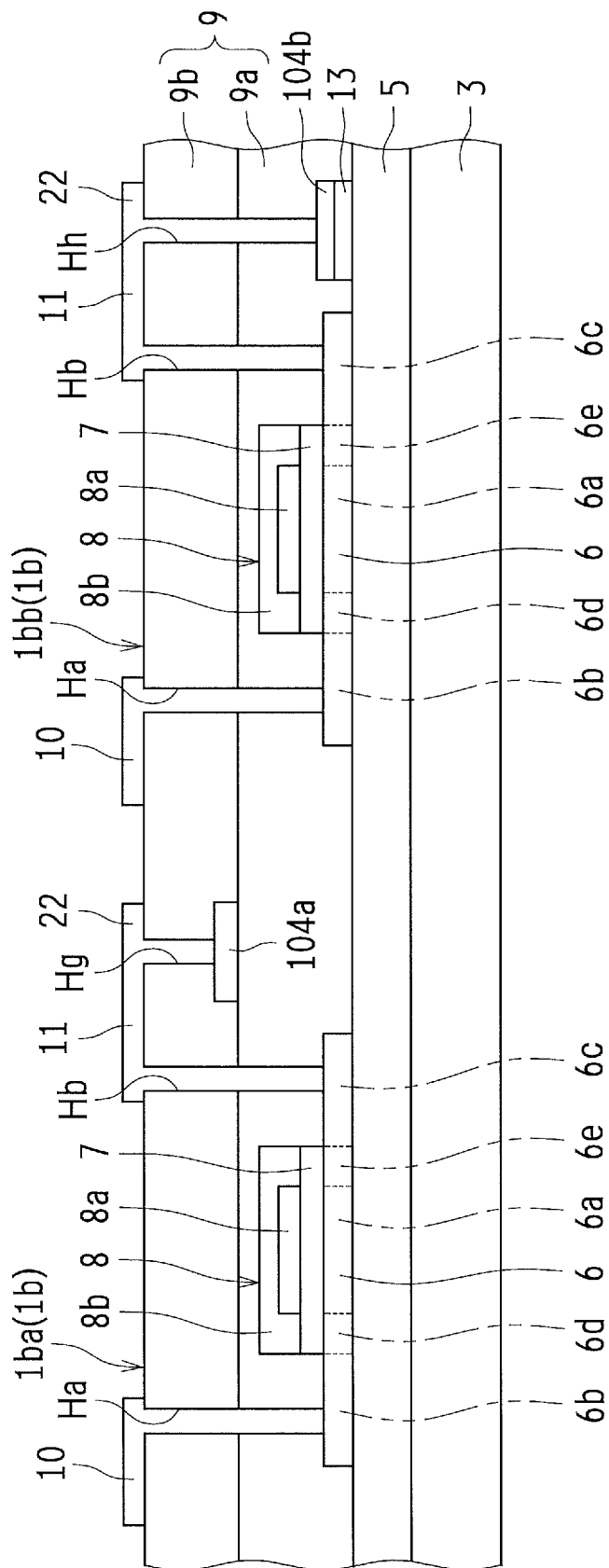


[図8]

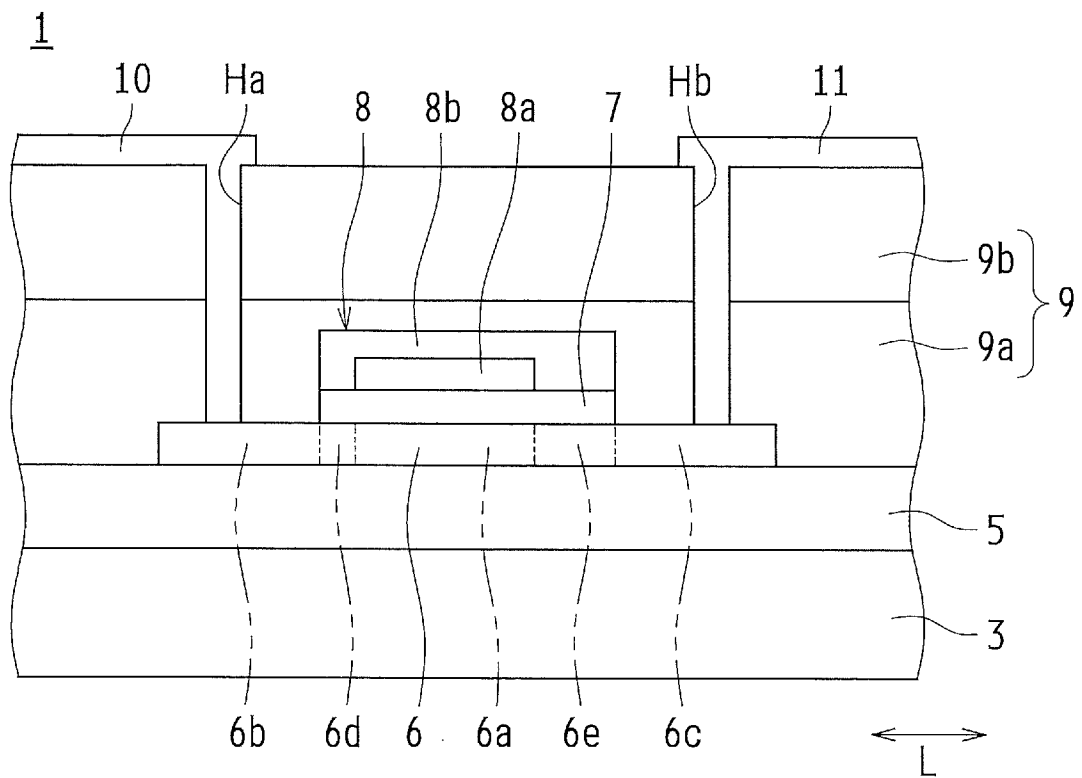


This cross-sectional view shows a semiconductor device with a substrate 3. A central block 104b is flanked by two identical circuit blocks, 1aa(1a) on the left and 1ab(1a) on the right. Each circuit block contains a stack of layers: 11, 10, 7, 8a, 8b, 6c, 6e, 6a, and 6b. A gate stack 9 is positioned on top of the 6a layer in each circuit block. The central block 104b is also flanked by two identical blocks, 104a and 104b, which are separated by a gap 13. The entire structure is covered by a top layer 5.

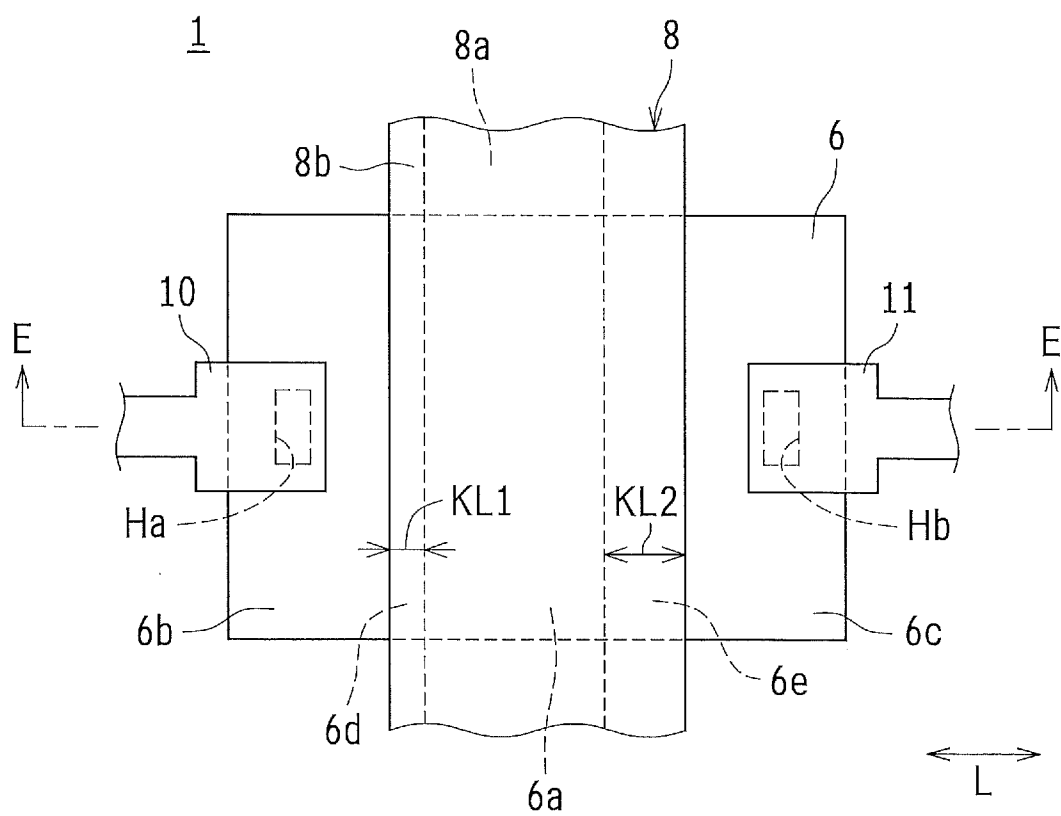
[図9B]



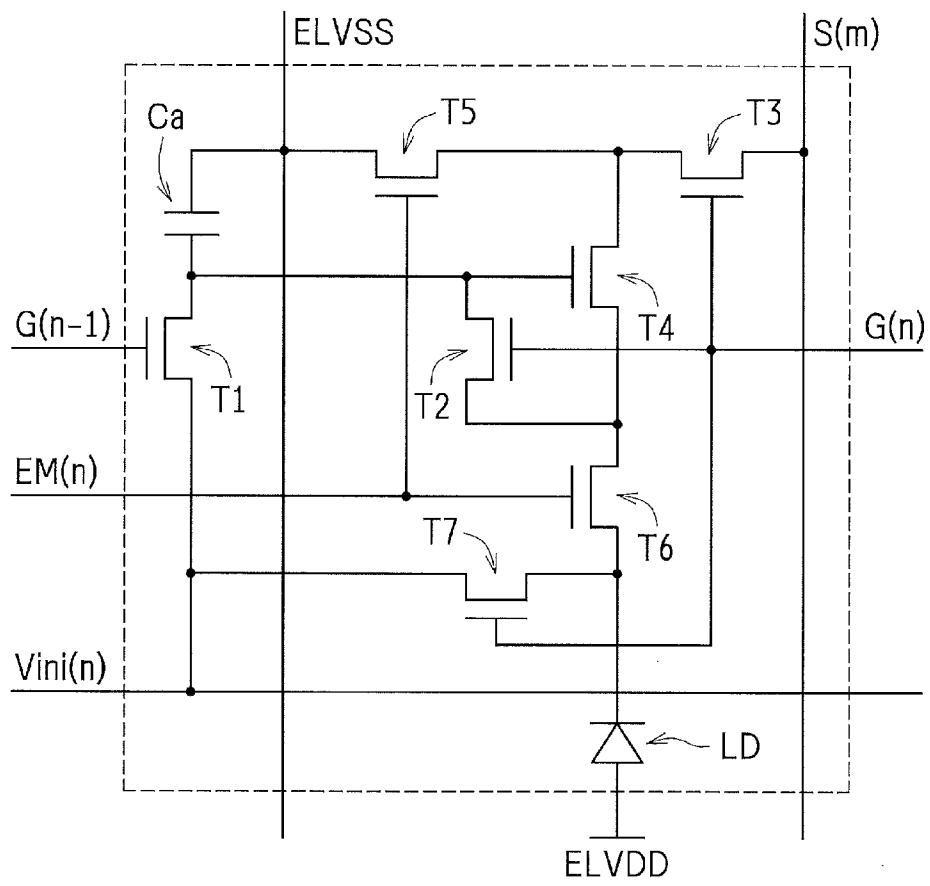
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/010911

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-27649 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 February 2016, paragraphs [0038]-[0214], [0244]-[0285] & US 2016/0005873 A1, paragraphs [0058]-[0234], [0265]-[0306]	1-22
Y	JP 2001-210833 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 03 August 2001, fig. 2 (Family: none)	1-22
Y	JP 2000-216399 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 August 2000, fig. 1 & US 2002/0142554 A1, fig. 1A, 1B	1-22
Y	JP 2013-105852 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 May 2013, paragraphs [0087]-[0089] (Family: none)	3, 4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
29.05.2019

Date of mailing of the international search report
11.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/010911

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-0857455 B1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 08 September 2008, paragraphs [0029], [0035] (Family: none)	3, 4
Y	JP 2017-37301 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 February 2017, fig. 5, 10 & US 2017/0040403 A1, fig. 5B, 10A	12, 13
Y	JP 2018-159910 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 October 2018, fig. 24, 27 & US 2018/0182834 A1, fig. 24B, 27A, 27B & WO 2018/122665 A1 & TW 201830367 A	16, 18-21
Y	JP 2000-223716 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 August 2000, fig. 1 & US 2002/0139980 A1, fig. 1 & EP 1005094 A2	22
Y	JP 2007-43114 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 February 2007, fig. 1, 5 & US 2007/0001225 A1, fig. 1A-1D, 5 & KR 10-2007-0003588 A & CN 1893117 A	22

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-27649 A（株式会社半導体エネルギー研究所）2016.02.18, 段落[0038]-[0214], [0244]-[0285] & US 2016/0005873 A1, 段落[0058]-[0234], [0265]-[0306]	1-22
Y	JP 2001-210833 A（株式会社半導体エネルギー研究所）2001.08.03, [図2]（ファミリーなし）	1-22
Y	JP 2000-216399 A（株式会社半導体エネルギー研究所）2000.08.04, [図1] & US 2002/0142554 A1, 図1A, 1B	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.05.2019

国際調査報告の発送日

11.06.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

脇水 佳弘

5 F

3464

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-105852 A (株式会社半導体エネルギー研究所) 2013.05.30, 段落[0087]-[0089] (ファミリーなし)	3, 4
Y	KR 10-0857455 B1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 2008.09.08, 段落<29>, <35> (ファミリーなし)	3, 4
Y	JP 2017-37301 A (株式会社半導体エネルギー研究所) 2017.02.16, [図 5], [図 10] & US 2017/0040403 A1, 図 5B, 10A	12, 13
Y	JP 2018-159910 A (株式会社半導体エネルギー研究所) 2018.10.11, [図 24], [図 27] & US 2018/0182834 A1, 図 24B, 27A, 27B & WO 2018/122665 A1 & TW 201830367 A	16, 18-21
Y	JP 2000-223716 A (株式会社半導体エネルギー研究所) 2000.08.11, [図 1] & US 2002/0139980 A1, 図 1 & EP 1005094 A2	22
Y	JP 2007-43114 A (株式会社半導体エネルギー研究所) 2007.02.15, [図 1], [図 5] & US 2007/0001225 A1, 図 1A-1D, 5 & KR 10-2007-0003588 A & CN 1893117 A	22