(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 9/22

(45) 공고일자 2003년08월02일
(11) 등록번호 10-0385499
(24) 등록일자 2003년05월15일

(21) 출원번호 10-1995-0040385
(22) 출원일자 1995년11월09일

(65) 공개번호 특1996-0018880
(43) 공개일자 1996년06월17일

(30) 우선권주장 336,967 1994년11월10일 미국(US)

(73) 특허권자
모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자
샤리만
미국,텍사스78748,오스틴,나이트자드라이브9503-에이

데이비드제이.에이.페나
미국,텍사스78751,오스틴,이스트55번가931

찰스에프.스튜도
미국,텍사스78703,오스틴,매튜스드라이브2110

고든더블유.맥키넌
영국,어스킨,헤이즐우드샌딜랜드즈애비뉴18

(74) 대리인
이병호

심사관 : 유병철

(54) 배경모드에서투명한동작을갖는데이타프로세서및그방법

요약

집적 회로 마이크로컨트롤러(10)와 같은 데이타 프로세서는 정보 버스(32)에 의해 공통으로 접속된 중앙 처리 장치(12), 시스템 집적 모듈(14) 및 온-칩 주변 회로들(16, 24, 28, 30)을 포함한다. 마이크로컨트롤러(10)는 중앙 처리 장치(12)의 상태를 보존할 뿐만 아니라 온-칩 주변 회로들(16, 24, 28, 30)의 상태를 보존함으로써 투명한 배경 모드 동작을 지원한다. 예를 들어, 주변 회로(인터페이스)(16)는 일부 상태 비트들을 갖는 상태 레지스터(86)를 구비하고, 이들 상태 비트들은 정규 모드에서 상태 레지스터(86)의 판독에 의해 클리어 된다. 배경 모드에 있어서, 상태 레지스터(86)를 판독하여도, 상태 비트들은 클리어 되지 않는다. 시스템 집적 모듈(14)은, 마이크로컨트롤러가 배경 모드에 있을 때 온-칩 주변 회로들(16, 24, 28, 30)의 상태들이 선택적으로 변경될 수 있도록 허용하는 브레이크 클리어 플래그 인에이블(BCFE) 비트(break clear flag enable bit)로 공지된 제어비트를 갖는다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 마이크로컨트콜러의 형태의 데이타 프로세서를 블록도로 도시한 도면.
제 2 도는 제 1 도의 마이크로컨트롤러의 시스템 집적 모듈을 블록도로 도시한 도면.
제 3 도는 제 1 도의 마이크로컨트롤러의 브레이크 모듈을 블록도로 도시한 도면.
제 4 도는 제 1 도의 마이크로컨트롤러를 이해하는데 유용한 타이밍도.
제 5 도는 본 발명을 이해하는데 유용한 제 1 도의 주변 회로의 일부를 블록도로 도시한 도면.
* 도면의 주요 부분에 대한 부호의 설명 *
10 : 마이크로컨트롤러 12 : 중앙 처리 장치
14 : 시스템 집적 모듈 15 : 브레이크 모듈
26 : 외부 버스 인터페이스 28 : 타이머 섹션
30 : 직접 메모리 액세스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 1994년 11월 10일자로 특허 출원 일련 번호 제 08/336,967 호로서 미국에 출원되었다.
본 발명은 일반적으로 데이타 프로세서들에 관한 것으로, 특히 배경 모드들을 갖는 데이타 프로세서들에 관한 것이다.
전형적으로, 컴퓨터 시스템들은 중앙 처리 장치(CPU), 메모리 및 입력/출력 주변 장치들을 갖는 것으로 정의된다. 집적 회로 기술의 최근의 발전은 다수의 전형적인 컴퓨터 기능들이 단일 집적 회로 칩 상에 집적되도록 할 수 있었다. 이러한 칩이 중앙 처리 장치 및 일부 주변 회로들을 포함하는 경우에는, 이를 '집적 데이타 프로세서(integrated data processor)'라고 할 수 있다. 집적 데이타 프로세서의 한 예는 모토로라 인코포레이티드(Motorola, Inc.)로부터 구입 가능한 MC68302 집적 멀티프로토콜 프로세서(MC68302 Integrated Multiprotocol Processor)이다. 이러한 칩이 또한 일부 메모리를 포함하는 경우에는, 더욱 큰 시스템 집적(integration)이 성취되고, 그러한 칩은, 비록 마이크로컴퓨터, 내장된 컨트롤러(embedded controller) 등과 같은 여러 용어로서 통상적으로 공지되어 있지만, '마이크로컨트롤러'라고 지칭될 수 있다. 마이크로컨트롤러의 한 예는 모토로라 인코포레이티드로부터 또한 구입 가능한 MC68HC11 마이크로컨트롤러이다. 집적 데이타 프로세서들 및 마이크로컨트롤러들 모두는 온-칩 메모리 및/또는 주변 장치들을 CPU에 의해 통합하는 시스템 집적 모듈로서 공지된 '글루 논리(glue logic)' 회로를 포함한다.
이들의 높은 레벨의 집적으로 인하여, 집적 데이타 프로세서들 및 마이크로 컨트롤러들은 자동차 엔진 컨트롤러들, 냉장고들, 셀룰러 전화기들, 원격 컨트롤러들 등과 같은 응용들에 이상적이다. 이들 응용들에서 작동하는 소프트웨어를 개발하기 위해서는, 소프트웨어의 흐름을 관찰하는 것이 도움이 된다. 이러한 관찰은 소프트웨어 버그들(bugs)을 검출할 수 있고, 일반적으로 배경 모드(background mode)로서 공지된 진단 모드를 통해 성취된다. 배경 모드에 있어서, 데이타 프로세서는 일련의 소프트웨어 명령들을 통해 단일-스텝핑(single-stepped)될 수 있다. 각각의 명령 이후에, CPU의 레지스터들의 내용들(contents)은 소프트웨어가 그들에 어떻게 영향을 주는지를 결정하기 위해 검사될 수 있다. 또한, 레지스터들을 변경하고, 소프트웨어에 대한 변경이 작동에 미치는 영향을 관찰하는 능력을 갖는데 도움이 된다.
전형적으로, 데이타 프로세서는 또한 배경 모드로 들어가게 되는 어떤 조건들을 검출하는 회로를 포함한다. 이들 조건은 일반적으로 브레이크포인트들(breakpoints)이라고 한다. 브레이크포인트는 예를 들어, 어떤 메모리 위치를 액세스하는 CPU 또는 어떤 데이타 패턴을 수행하는 데이타 버스를 관찰함으로써 검출될 수 있다. 브레이크포인트를 검출한 이후에, 시스템 집적 모듈은 예외(exception)[예를 들어, 인터럽트의 신호 처리(signalling)]를 강제 실행한다. 이러한 예외에 응답하여, CPU는 그 동작에 대한 중요한 정보를 스택(stack) 상에 배치한다. 이러한 스택된 정보(stacked information)에 의해, CPU는 배경 모드의 종료 이후에 마치 아무 것도 발생하지 않은 것처럼 정규 작동 모드로 복귀하도록 한다. 따라서, 배경 모드로의 출입(entering and exiting)은 응용의 동작에 대해 일반적으로 투명하게 된다.
그러나, 데이타 프로세서가 다른 주변 회로들을 포함하기 때문에, CPU가 배경 모드로부터 투명하게 자동 복귀하는 것을 보장하는 것은 충분하지 않다. 전체의 칩이 투명하게 동작하는 것이 바람직하다. 예를 들어, 많은 데이타 프로세서들은 직렬 통신 모듈들을 포함한다. 이들 모듈은 데이타를 송신 및 수신하고, 송신 또는 수신된 문자와 같은 어떤 조건들의 발생에 기초하여 CPU를 인터럽트 한다. CPU는 인터럽트를 수신한 후에, 상태 레지스터를 판독하여 어느 이벤트가 인터럽트를 일으키는지를 결정한다.

발명이 이루고자 하는 기술적 과제

통상적으로, 브레이크포인트 회로는 배경 모드로의 엔트리를 나타내는 신호를 제공한다. 이러한 신호에 의해, 주변

회로들의 클럭은 정지되는데, 이는, 일반적으로 투명 동작을 유지하는데 충분하다. 때때로, 디버그 프로세스(debugging process) 중에, 주변 회로의 상태를 검사하는 것도 또한 바람직하다. 그러나, 주변회로의 상태 레지스터를 판독하는 것에 의해, 주변 회로의 상태가 변경된다. 정규동작 모드로의 복귀 시에, 주변 회로의 상태는 배경 모드로 진입시의 상태와 다르다. 따라서, 필요한 것은 주변 회로들의 상태들을 변경 없이 검사함으로써 배경 모드에서의 투명한 동작을 보장하는 데이타 프로세서이다. 이러한 문제는 본 발명에 의해 해결되었고, 그 특징들 및 이점들은 첨부된 도면과 관련하여 다음의 상세한 설명을 통해 더욱 명백하게 이해될 것이다.

[발명의 상세한 설명]

제 1 도는 본 발명에 따른 마이크로컨트롤러(10)의 형태로 데이타 프로세서를 나타낸다. 마이크로컨트롤러(10)는 집적 회로 마이크로컨트롤러이고, 일반적으로 중앙 처리 장치(CPU)(12), 시스템 집적 모듈(14), 브레이크 모듈(15), 주변 회로(16), 랜덤 액세스 메모리(RAM) 회로(18), 판독 전용 메모리(ROM) 회로(20), 교호 메모리 회로(22)[예를 들어, 전기적으로 소거 가능 및 프로그램 가능한 판독 전용 메모리(EEPROM)], 포트 논리 회로(24), 외부 버스 인터페이스 회로(26), 회로의 타이머 섹션(28) 및 직접 메모리 액세스(DMA) 회로(30)를 포함한다. CPU(12), 시스템 집적 모듈(14), 브레이크 모듈(15), 주변 회로(16), RAM(18), ROM(20), 교호 메모리(22), 포트 논리 회로(24), 회부 버스 인터페이스(26), 타이머 회로(28) 및 DMA(30) 각각은 정보 버스(32)에 양방향으로 결합된다. CPU(12) 및 시스템 집적 모듈(14)은 버스(34)를 통해 양방향으로 결합된다. 유사하게, CPU(12)는 버스(36)를 통해 DMA(30)에 결합된다. 시스템 집적 모듈(14)은 다수의 집적 회로 핀들(38)을 통해 마이크로컨트롤러(10)의 외부의 신호들을 수신 및 송신할 수 있다. 이들 다수의 집적 회로 핀은 본 명세서에 상세히 도시하지 않는다. 주변 회로(16)는 다수의 집적 회로 핀(40)을 통해 마이크로컨트롤러(10)에 대한 외부의 신호들을 수신 및 송신할 수 있다. 또한, 이들 다수의 집적 회로 핀도 본 명세서에 상세히 도시하지 않는다. 메모리의 형태에 따라, 교호 메모리(22)는 다수의 집적 회로 핀(42)(본 명세서에 상세히 도시하지 않음)에 의해 마이크로컨트롤러(10)에 대한 외부의 신호들을 선택적으로 수신 및 송신할 수 있다. 포트 논리 회로(24)는 또한 다수의 집적 회로 핀(44)에 의해 마이크로컨트롤러(10)에 대한 외부의 신호들을 수신 및 송신할 수 있다. 부가적으로, 외부 버스 인터페이스(26)는 다수의 집적 회로 핀(46)에 의해 마이크로컨트롤러(10)에 대한 외부의 신호들을 수신 및 송신할 수 있다. 타이머 섹션(28)은 또한 다수의 집적 회로 핀(48)에 의해 마이크로컨트롤러(10)에 대한 외부의 신호들을 수신 및 송신할 수 있다.

제 1 도는 일군의 마이크로컨트롤러내의 있을 수 있는 하나의 마이크로컨트롤러를 나타낸다. 동일한 군의 데이타 프로세서내의 마이크로컨트롤러들이 일반적으로 다수의 상이한 온-보드 주변 회로를 갖기 때문에, 마이크로컨트롤러(10)는 본 명세서에 설명된 본 발명의 단지 한 실시예로서 제공된다. 예를 들어, 마이크로컨트롤러(10)의 다른 실시예들은 ROM(20), 외부 버스 인터페이스(26) 또는, DMA(30)를 갖지 않을 수 있다. 부가적으로, 다른 보조 프로세서들이 마이크로컨트롤러(10)에서 구현될 수도 있다. 실제로, 마이크로컨트롤러(10)의 다른 실시예들은 제 1 도에 도시된 것들 보다 적거나, 많거나, 또는 서로 다른 주변 회로들을 가질 수 있다. 부가적으로, 제 1 도에 도시된 본 발명의 실시예에 있어서, 마이크로컨트롤러(10)는 16 비트 어드레스들과 8 비트 및 16 비트 기억 레지스터들을 포함하는 8 비트 마이크로컨트롤러이다.

제 1 도에 도시된 본 발명의 실시예의 동작 동안에, 시스템 집적 모듈(14)은 마이크로컨트롤러(10)를 위한 일반적인 컨트롤러로서 이용된다. 일반적으로, 시스템 집적 모듈(14)은, 타이밍 제어를 제공하고, 마이크로컨트롤러(10)에 대한 예외 핸들링 요구들(exception handling requirements)을 실행하고, 동작을 인에이블 및 디스에이블 하기 위하여, 다수의 제어 정보를 제곱한다. 시스템 집적 모듈(14)은 버스(34)를 통해 중앙 처리 장치(12)와 직접 인터페이스할 수 있고, 다수의 집적 회로 핀(38)을 통해 외부 사용자와 인터페이스할 수 있으며, 정보 버스(32)를 통해 마이크로컨트롤러(10)의 나머지 다수의 구성 요소들 각각과 인터페이스할 수 있다.

브레이크 모듈(15)은 정보 버스(32)에 접속되어, 브레이크포인트의 발생을 검출한다. 브레이크포인트의 검출에 응답하여, 브레이크 모듈(15)은 'BKPT'로 표시된 브레이크 신호를 시스템 집적 모듈(14)에 활성화한다. 신호 BKPT에 응답하여, 시스템 집적 모듈(14)은 소프트웨어 인터럽트(SWI) 명령을 CPU(12)의 명령 레지스터에 강제 입력(forces)한다. SWI 명령의 강제 입력으로 인하여, 마이크로컨트롤러(10)는 현재 명령의 종료 이후에 배경 모드로 들어간다. 시스템 집적 모듈(14)은 또한, 외부의 브레이크 입력 신호에 응답하여, 외부 에뮬레이터(external emulator)로 하여금 마이크로컨트롤러(10)가 배경 모드로 들어가도록 하는 것이 바람직하다. 이 경우에 있어서, 마이크로컨트롤러(10)가 배경모드로 들어가게 되는 조건은, 활성-로우 BKPT(active-low BKPT)와 외부 브레이크 신호들 사이의 논리 NAND로서 구현되는 두 개의 브레이크 조건의 OR가 된다. 이러한 부가적인 브레이크 신호원에 의해, 외부의 에뮬레이터는 데이타 버스 상에서 전달되는 데이타, 명령 시퀀스 등과 같은 광범위한 조건에 대해서 마이크로컨트롤러(10)를 배경 모드로 진입하게 한다. 이러한 부가적인 브레이크 신호원은 더 이상 설명하지 않는다. 단지 하나의 브레이크 신호원이 필요한 것은 자명하다. 그러나, 브레이크 모듈(15)은, 심지어 마이크로컨트롤러(10)가 단일 칩 모드에서 동작할지라도, 마이크로컨트롤러(10)를 배경 모드로 들어 갈 수 있도록 할 수 있고, 그로인해, 마이크로컨트롤러(10)에 그 브레이크 모듈을 포함시키는 것이 바람직하다.

마이크로컨트롤러(10)에 있어서, DMA(30)는 마이크로컨트롤러(10)의 내부의 메모리와 다수의 주변 장치들(도시되지 않음) 사이에 데이타의 직접 통신을 허용한다. DMA(30)는 사용자가 고속 메모리 액세스 방법을 필요로 할 때 마이크로컨트롤러(10) 상에서 선택적으로 실행될 수 있다. 직접 메모리 액세스 회로들의 사용 및 구현은 데이타 처리 기술 분야에 이미 공지되어 있고, 보다 상세한 설명은 하지 않는다.

타이머 섹션(28)은 프리-러닝 16 비트 카운터에 기초한 다수의 타이밍 기능을 실행한다. 다수의 집적 회로 핀(48)을 통해 인에이블 될 때, 타이머 섹션(28)은 입력-캡쳐 기능, 출력-비교 기능들, 실시간 인터럽트, 또는 컴퓨터 동작의 적절한 감시 기능을 실행할 수 있다. 이들 기능 각각의 구현 및 사용은 데이타 처리 기술분야에 이미 공지되어 있고, 보다 상세한 설명은 하지 않는다.

외부 버스 인터페이스(26)는 외부 사용자 또는 외부 주변 장치와 마이크로컨트롤러(10) 사이의 어드레스 및 데이타 값들의 수신 및 송신을 제어한다. 외부 버스 인터페이스(26)는 정보 버스(32)를 통해 다수의 어드레스 및 데이타 값들을 마 이크로컨트롤러(10)의 나머지 부분과 통신한다. 외부 버스 인터페이스 회로의 사용 및 구현은 데이타 처리 기술 분야에 널리 공지되어 있고, 보다 상세한 설명은 하지 않는다.

포트 논리 회로(24)는 다수의 집적 회로 핀(44) 각각의 동작 및 기능성을 제어한다. 포트 논리 회로(24)는 다수의 집적 회로 핀(44)을, 제 1 동작 모드에서 일반적인 목적의 입력/출력 핀들로서 기능을 하도록 구성한다. 제 2 동작 모드에 있어서, 포트 논리 회로(24)는 다수의 집적 회로 핀(44) 각각을 사용하여 멀티플렉싱된 어드레스 및 데이타 정보를 통신한다. 포트 논리 회로의 사용 및 구현은 데이타 처리 기술 분야에 이미 공지되어 있고, 보다 상세한 설명은 하지 않는다.

RAM(18), ROM(20) 및 교호 메모리(20)는 마이크로컨트롤러(10)의 적당한 동작에 필요한 정보를 기억하는 기능을 한다. 부가적으로, 다른 데이타 및 어드레스 값들은 사용자 프로그램에 지정된 경우 그 내부에 기억될 수 있다. 마이크로컨트롤러들 내의 메모리의 사용 및 구현은 본 기술 분야에 이미 공지되어 있고, 보다 상세한 설명은 하지 않는다.

주변 회로(16)는 마이크로컨트롤러(10)와 외부 사용자 또는 외부 주변 장치사이에서 직렬 디지탈 데이타를 통신한다. 직렬 디지탈 데이타 및 적당한 제어 신호들은 다수 집적 회로 핀(40)을 통해 통신된다. 주변 회로(16)는 본 발명에 따라 배경 모드에서 상태가 보존되는 주변 회로의 한 예로서 예시되며, 주변 회로(16)는 이후에 제 5 도와 관련하여 더욱 상세히 설명된다.

CPU(12)는 마이크로컨트롤러(10)의 동작 동안에, CPU(12)의 명령 세트로부터 특정 명령들로 구성된 프로그램을 실행한다. 여러 가지의 마이크로프로세서 및 마이크로컨트롤러의 명령 세트들은 본 기술 분야에 공지되어 있으며, 본 발명에 따른 마이크로컨트롤러는 광범위한 명령 세트들로 동작할 수 있음이 명백하다. 따라서, CPU(12)의 특정 명령 세트는 더 이상 설명하지 않는다.

제 2 도는 본 발명을 이해하는데 유용한 제 1 도의 마이크로컨트롤러(10)의 시스템 집적 모듈(14)의 일부를 블록 형태로 나타낸 것이다. 제 2 도로부터, 시스템 집적 모듈(14)은 조건 결정 회로(conditioning circuit)(49), 'SIM 브레이크포인트 상태 레지스터' 라고 기재된 레지스터(50), 'SIM 브레이크 플래그 제어 레지스터' 라고 기재된 레지스터(52) 및 논리 회로(54)를 일반적으로 포함한다.

조건 결정 회로(49)는 브레이크 모듈(15)로부터 신호 BKPT를 수신하는 제 1 입력 단자, 'CTMBKPT'로 기재된 신호를 수신하는 제 2 입력 단자, 'LAST'로 표시된 신호를 수신하는 제 3 입력 단자, 'IBREAT'로 기재된 신호를 정보 버스(32)에 제공하는 출력 단자를 갖는다. 조건 결정 회로(49)는 [신호 BKPT를 활성화하는 브레이크 모듈(15)에 의한] 내부 브레이크 조건, 또는 입력 신호 CTMBKPT의 활성화에 의한 외부 브레이크 조건을 인식하는 논리 회로이다. 조건 결정 회로(49)는 신호 BKPT 또는 CTMBKPT 중 어느 하나의 활성화에 응답하여 신호 IBREAK를 활성화하고, 신호 IBREAK는 신호 LAST의 활성화에 의해 표시되는 명령 경계(instruction boundary)에 동기화된다. 활성화될 때, 신호 LAST는 현재 클럭 사이클이 한 명령의 최종 클럭 사이클임을 나타낸다. 배경 모드를 나오기 위해서, 브레이크 모듈(15) 및 외부 브레이크 모듈 모두는 인터럽트(RTI) 명령으로부터 복귀의 최종 사이클까 지 그들 각각의 브레이크포인트 신호들의 비활성화를 지연(hold off)시킨다. RTI 명령을 검출하는 부가적인 논리는 제 2 도에 도시되지 않는다.

레지스터(50 및 52)는 CPU(12)의 어드레스 공간, 특히 시스템 집적 모듈(14)의 동작과 관련된 레지스터들을 포함하는 어드레스 공간의 일부에 나타나는 메모리-맵핑된 레지스터들(memory-mapped registers)이다. 레지스터(50)는 SIM 브레이크/정지/대기(SBSW) 비트(51)로서 공지된 비트를 갖는다. SBSW 비트(51)는 브레이크 인터럽트로부터 나온 이후에 대기 또는 정지 모드로의 복귀를 도구하는 응용들에 유용하다. 2진수 1로 설정된 경우에, SBSW 비트(51)는 정지 또는 대기 모드로부터 브레이크 인터럽트에 의해 빠져 나왔음을 나타난다. 2진수의 0으로 클리어 된 경우에, SBSW 비트(51)는 정지 또는 대기 모드로부터 브레이크 인터럽트에 의해 빠져나오지 않았음을 나타낸다. 이 비트는 2진수의 0을 레지스터(50)의 비트 위치 1에 기록함으로써 클리어 된다. 정지 및 대기 모드들은, 1988년 5월 31일 허여된 스미스 등에 의한 'Apparatus for Reducing Rower Consumed by a Static Microprocessor' 라는 제목의 미국 특허 제 4,748,559 호에 설명된 바와 같이, 마이크로컨트롤러(10)가 감소된 전력으로 동작할 수 있는 모드들이다.

레지스터(52)는 브레이크포인트 클리어 플래그 인에이블(BCFE) 비트(53)로서 공지된 비트를 갖는다. BCFE 비트(53)는 디폴트에서 리셋 시에 2진수의 0으로 클리어 되지만, 그 이후에는 변경 가능하게 된다. 레지스터(52)는 BCFE 비트(53)의 상태를 나타내는 신호를 논리 회로(54)의 입력에 전달하는 출력을 갖는다. BCFE 비트(53)는 소프트웨어가 배경 모드동안 주변 회로들의 상태에 영향을 미칠 수 있 는지를 결정하는 판독 및 기록 가능한 비트이다. 2진수의 1로 설정될 때, BCFE 비트(53)는 소프트웨어로 하여금 배경 모드 동안에 주변 회로들의 상태를 변경하도록 한다. 예를 들어, BCFE 비트(53)가 설정될 때, 주변 회로의 상태 레지스터에 대한 액세스가 허용되어, 그 비트들의 모두 또는 일부를 클리어 된다. 배경 모드 동안에 상태 비트들을 클리어 하기 위해, BCFE 비트(53)는 2진수의 1로 설정되어야 한다. 2진수의 0으로 클리어 된 경우에, BCFE 비트(53)는 상태 비트들이 배경 모드 동안에 클리어 될 수 없음을 나타낸다.

논리 회로(54)는 NAND 게이트들(56 및 57) 및 인버터들(58 및 59)을 포함한다. NAND 게이트(56)는 BCFE 비트(53)를 나타내는 논리 신호를 수신하기 위해 레지스터(52)에 접속된 제 1 입력 단자와, 브레이크 모듈(15)로부터의 신호 BKPT를 수신하기 위한 제 2 입력 단자와, 출력 단자를 갖는다. NAND 게이트(57)는 NAND 게이트(56)의 출력 단자에 접속된 제 1 입력 단자와, 신호 BKPT를 수신하기 위한 제 2 입력 단자와, 출력 단자를 갖는다. 인버터(58)는 NAND 게이트(57)의 출력 단자에 접속된 입력 단자와, 출력 단자를 갖는다. 인버터(59)는 인버터(58)의 출력 단자에 접속된 입력 단자와, 정보 버스(32)에 'ICLRFLGEN'으로 기재된 신호를 제공하기 위한 출력 단자를 갖는다. 논리 회로(54)는, BCFE 비트(53)가 설정된 경우에, 배경 모드 동안에 신호 ICLRFLGEN를 활성화하도록 작동한다. 따라서,

BCFE 비트(53)에 의해, 사용자는 신호 ICLRFLGEN을 수신하는 주변 회로에 대한 액세스가 그 상태를 변경하도록 허용되는지를 결정할 수 있다.

제 3 도는 제 1 도 마이크로컨트롤러(10)의 브레이크 모듈(15)을 블록도의 형태로 나타낸다. 브레이크 모듈(15)은 '브레이크 상태/제어 레지스터'로 기재된 레지스터(60)를 포함한다. 레지스터(60)는 브레이크 인에이블(BRKE) 비트(61) 및 브레이크 활성(BRKA) 비트(62)를 포함하는 판독, 기록 가능한 메모리-맵핑된 레지스터이다. BRKE 비트(61)는 브레이크 어드레스 레지스터 일치들(matches)에 따라 브레이크를 가능하게 하는 판독, 기록 가능한 비트이다. 2진수의 1로 설정될 때, BRKE 비트(61)는 16 비트 어드레스 일치들에 따라 신호 BKPT 발생을 인에이블 한다. 2진수의 0으로 클리어 될 때, BRKE 비트(61)는 16 어드레스 일치들에 따라 신호 BKRT의 발생을 디스에이블 한다. BRKE 비트(61)는 브레이크 루틴을 나가기 이전에 논리 제로를 기록함으로써 클리어 될 수 있고, 리셋 시에 자동적으로 클리어 된다. BRKA 비트(62)는 브레이크 모듈(15)이 브레이크 어드레스 일치를 검출한 이후에 2진수의 1로 설정하는 판독, 기록 가능한 상태 비트이다. 이러한 비트는 브레이크 루틴을 나가기 이전에 논리 제로로 기록함으로써 2 진수의 0으로 클리어 될 수 있다. 이러한 비트 역시 리셋 시에 클리어 된다.

또한, 브레이크 모듈(15)은 브레이크 어드레스 레지스터 하이(BREAK ADDRESS REGISTER HIGH)로서 공지된 레지스터(63), 8-비트 비교기(64), 8-비트 비교기(65)와, 브레이크 어드레스 레지스터 로우(BREAK ADDRESS REGISTER LOW)로서 공지된 레지스터(66) 및 제어 블록(67)을 포함하고, 16 비트 어드레스 일치에 따라 신호 BKPT를 활성화하는 회로를 포함한다. 레지스터들(63 및 66)은 일치 어드레스의 8비트 로우 및 하이 부분을 각각 포함하는 판독, 기록 가능한 레지스터들이다. 비교기(64)는 'A15 : 8'로 기재된 버스 어드레스의 하이 부분을 수신하는 제 1 입 력, 레지스터(63)에 접속된 제 2 입력과, A15 : 8과 레지스터(63)의 내용들 사이의 일치에 응답하여 활성화되는 출력을 갖는다. 비교기(65)는 'A7 : 0'으로 기재된 버스 어드레스의 로우 부분을 수신하는 제 1 입력, 레지스터(66)에 접속된 제 2 입력과, A7 : 0과 레지스터(66)의 내용들 사이의 일치에 응답하여 활성화되는 출력을 갖는다. 제어 블록(67)은 비교기(64)의 출력에 접속된 제 1 입력, 비교기(65)의 출력에 접속된 제 2 입력, 신호 LAST를 수신하기 위한 제 3 입력과, 신호 BRKE를 제공하기 위한 출력을 갖는다. 제어 블록(67)은, BRKE 비트(61)가 설정되고, 두 입력 모두 활성화되는 경우에, 신호 BKPT를 활성화하고, RTI 명령의 종료에서 신호 LAST에 응답하여 신호 BKPT를 비활성화 한다. 신호 BKPT를 활성화하는 것과 동시에, 제어 블럭(67)은 BRKA 비트(62)를 설정한다.

배경 모드 동안의 동작은 제 1 도의 마이크로컨트롤러(10)를 이해하는데 유용한 타이밍도를 나타내는 제 4 도에 더욱 명료히 도시되어 있다. 제 4 도에 있어서, 수평축은 시간을 나타낸다. 관심의 대상인 2개의 시점은 각각 't1' 및 't2'로 지정된다. 시점 t1 이전에, 마이크로컨트롤러(10)는 정규 동작 모드에 있다. 이러한 모드는 논리 하이에서 비활성화되는 신호 BKPT로 표시된다. 신호 IBREAK는 논리 로우에서 비활성화 된다. 현재 CPU 명령 사이클의 종료에서 발생하는 시점 t1에서, 시스템 집적 모듈(14)은 신호 IBREAK를 활성화한다. 따라서, 시점 t1과 시점 t2 사이에서, 마이크로컨트롤러(10)는 배경 모드에 있게 된다. 신호 ICLRFLGEN은, 마이크로컨트롤러(10)가 정규 동작 모드에 있을 때, 논리 하이에서 활성화된다. 배경 모드 동안에, 신호 ICLRFLGEN은 BCFE 비트의 상태에 의존하는 논리 상태를 갖는 다. BCFE 비트가 클리어(2진수 0)되는 경우에, 논리 회로(54)는 논리 로우에서 신호 ICLRFLGEN을 비활성화 한다. 따라서, 신호 ICLRFLGEN를 수신하는 어떤 주변 회로내의 레지스터들을 검사하여도, 그 주변 회로는 그 상태를 변경할 수 없다. 그러나, 리셋 이후에 사용자가 BCFE 비트(52)를 2진수의 1로 설정하는 경우에, 신호 ICLRFLGEN은 배경 모드 동안에 논리 하이에서 활성화되고, 주변 회로의 레지스터를 판독하려는 시도에 의해 논리 상태가 변화할 수 있다.

다음은, 배경 모드 동안, 투명한 주변 회로 동작의 예를 설명한다.

배경 모드에서 주변 회로들의 상태를 유지하기 위한 마이크로컨트롤러(10)의 능력은 특정 예를 통해 잘 이해될 수 있다. 제 5 도는 제 1 도의 마이크로컨트롤러(10)의 주변 회로(16)의 블럭도를 나타낸다. 주변 회로(16)는 신호 ICLRFLGEN이 배경 모드 동안 주변 회로의 상태를 보존하는데 이용될 수 있는 세 가지 방법을 설명한다. 첫째, 주변 회로(16)의 상태 레지스터의 일부 제어 비트들은 이들을 판독하는 것에 응답하여 클리어 된다. 신호 ICLRFLGEN은, 이들 비트가 판독된 이후에 배경 모드에서 클리어 될 것인지, 또는 그들 이전의 상태를 유지하는지를 결정한다. 둘째, 상태 레지스터를 판독하는 것은 일부 다른 제어 비트들을 바로 클리어 하지 않는다. 오히려, 이들 상태 비트들을 판독하는 동작은 클리어링 매커니즘(clearing mechanism)을 필요로 하며(arms), 클리어링은 일부 다른 조건의 발생 시에 완료된다. 이러한 메커니즘의 예는 다른 레지스터에 기록하는 것이다. 신호 ICLRFLGEN에 의해, 상태 레지스터를 판독하는 동작은 클리어링 메커니즘을 필요치 않게 된다. 셋째, 다른 레지스터에 기록하는 것으로 인하여, 상태 레지스터내의 비트는 클리어 될 수 있다. 그러나, 신호 ICLRFLGEN에 의해서, 상기 다른 레지스터로의 기록이 상태 레지스터를 변경할 수 없도록 한다.

제 5 도를 참조하면, 주변 회로(16)는 송신 데이타 레지스터(81), 시프트 레지스터(82), 수신 데이타 레지스터(83), 핀 제어 논리 블럭(84), 'SPI 제어 레지스터'로 기재된 레지스터(85), 'SPT 상태 및 제어 레지스터(86)'로 기재된 레지스터(86) 및 주변 인터페이스(SPI) 제어 블럭(88)을 포함한다. 송신 데이타 레지스터(81)는, 'D7 : 0'으로 기재된 정보 버스(32)의 데이타 부분으로부터 8 비트 데이타 요소를 수신하기 위한 입력과, 시프트 레지스터(82)의 입력에 접속된 8 비트 출력을 갖는 8 비트 레지스터이다. 또한, 시프트 레지스터(82)는 수신 데이타 레지스터(83)의 입력에 접속된 8 비트 출력을 갖는다. 시프트 레지스터(82)는, 핀 제어 논리 블럭(84)의 출력 단자에 접속된 직렬 입력 단자와, 핀 제어 논리 블럭(84)의 입력 단자에 접속된 직렬 출력 단자를 갖는다. 따라서, 시프트 레지스터(82)는 주변 회로(16)의 송신부 및 수신부 모두의 기능을 한다. 송신 동작에 있어서, 시프트 레지스터(82)는 송신될 데이타의 1 바이트를 수신하고, 동시에 핀 제어 논리 블록(84)에 1 비트만큼의 데이타를 시프트-아웃(shift-out)한다. 수신 동작에 있어서, 시프트 레지스터(82)는 핀 제어 논리 블럭(84)으로부터 직렬 데이타 스트림을 수신하여 데이타 바이트들을 형성하고, 이를 수신 데이타 레지스터(83)에 저장한다. 또한, 수신 데이타 레지스터(83)는 신호들 D7 : 0을 정보 버스(32)에 제공하

기 위한 출력을 갖는다.
핀 제어 논리 블럭(84)은 집적 회로 핀(40)에 접속된다. 집적 회로 핀(40) 은, 주변 회로(16)의 레지스터들 및 제어 논리 블록과 함께, 주변 인터페이스(SPI)를 형성한다. 집적 회로 핀들(40)의 기능들은 아래의 <표 1>에 설명되어 있다.
<표 1>

핀 이름	방향 마스터/슬레이브	설명
MISO (마스터-인 /슬레이브-아웃)	입력/출력	전 이중 동작에 있어서, 마스터 SPI 모듈의 MISO 핀은 슬레이브 SPI 모듈의 MISO 핀에 접속된다. 마스터 SPI는 그 MISO 핀 상의 데이타를 수신하고, 동시에 그 MISO 핀으로부터의 데이타를 송신한다 MISO 핀 상의 슬레이브 출력 데이타는 SPI가 슬레이브로서 구성될 때만 인에이블 된다. SPI는, 그 SPMSTR 비트가 2진수의 0이고, 그 SS 핀이 논리 로우에 있을 때, 슬레이브로서 구성된다.
MOSI (마스터-아웃 /슬레이브-인)	출력/입력	전 이중 동작에 있어서, 마스터 SPI 모듈의 MOSI 핀은 슬레이브 SPI 모듈의 MOSI 핀에 접속된다. 마스터 SPI는 그 MOSI 핀으로부터 데이타를 송신하고, 동시에 그 MISO 핀으로부터 데이타를 수신한다. 다중-슬레이브 시스템에 있어서, SS 핀 상의 논리 하이는 MISO 핀을 하이-임피던스 상태로 둔다.
SPSCK (직렬 클럭)	입력/출력	직렬 클럭 이 직렬 클럭은 마스터와 슬레이브 장치들 사이의 데이타 전송을 동기화 한다. 마스터 마이크로컨트롤러에 있어서, SPSCK 핀은 클럭 출력이다. 전 이중 동작에 있어서, 마스터 및 슬레이브 마이크로컨트롤러는 8 직렬 클럭 사이클에서 1 바이트의 데이타를 교환한다. 슬레이브 마이크로컨트롤러에 있어서, SPSCK 핀은 클럭 입력이다.
SS (슬레이브 선택)	입력	마스터 SPI 모듈의 SS 핀에 논리 하이를 인가함으로써, 모듈은 그 MOSI 핀으로부터의 데이타를 송신할 있다. 논리 로우를 인가함으로써, MODF 비트를 설정할 수 있다. 슬레이브 SPI 모듈에 논리 로우를 인가함으로써, 모듈은 그 MOSI 핀 상의 데이타를 수신할 있다 이러한 핀은, 논리 하이를 인가하여 슬레이브를 디스에이블하기 때문에, 슬레이브에 대해 논리 로우가 되어야 한다.

SPI 제어 레지스터(85)는 8 제어 비트들을 포함하는 메모리-맵핑된 레지스터 이다. 레지스터(85)는 주변 회로(16)의 동작을 제어하도록 SPI 제어 블럭(88)에 접속된 출력을 갖는다. 이들 비트의 각각의 가능은 아래의 <표 2>에 설명되어 있다.
<표 2>

비트 이름	설 명
SPRIE	SPI 수신 인터럽트 인에이블 비트. 이 판독/기록 비트는 SPRF 비트에 의해 생성된 DMA 서비스 요구들 또는 CPU 인터럽트 요구들을 인에이블 한다. SPRF 비트는 1 바이트가 시프트 레지스터(82)로부터 레지스터(83)로 시프트 할 때 설정된다. 리셋은 SPRIE 비트를 클리어 한다. SPF 비트는 클리어 함으로써 SPI 모듈을 디스에이블 하는 것은 또한 SPRIE를 클리어 한다.
DMAS	DMA 선택 비트. 이 판독/기록 비트는 SPI 수신기 전체 비트(SPRF) 또는 SPI 송신기 공백 비트(SPTE)가 설정될 때 DMA 서비스 요구들을 선택한다. DMAS 비트를 설정하면, SPRF CPU 인터럽트 요구들 및 SPTE CPU 인터럽트 요구들을 디스에이블 한다. 리셋은 DMAS 비트를 클리어 한다.
SPMSTR	SPI 마스터 비트. 이 판독/기록 비트는 마스터 모드 동작(설정할 때) 또는 슬레이브 모드 동작(클리어 할 때)을 선택한다.
CPOL	클럭 극성 비트. 이 판독/기록 비트는 전송간의 SPSCK 핀의 논리 상태를 결정한다. SPI 모듈들 사이에 데이타를 송신하기 위하여, SPI 모듈들은 동일한 CPOL 비트들을 가져야 한다. 리셋은 CPOL 비트를 클리어 한다
CPHA	클럭 위상 비트. 이 판독/기록 비트는 직렬 클럭과 SPI 데이타 사이의 타이밍 관계를 제어한다. SPI 모듈들 사이에 데이타를 송신하기 위하여, SPI 모듈들은 동일한 CPHA 비트들을 가져야 한다 리셋은 CPHA 비트를 클리어 한다.
SPWOM	SPI 와이어드-OR 모드 비트(SPI Wired-OR Mode Bit). 설정할 때, 이 판독/기록 비트는 핀들 SPSCK, MOSI 및 MISO 상의 풀-업 장치들을 디스에이블 하여, 이들 핀들은 오픈-드레인 출력들이 된다
SPE	SPI 인에이블 이 판독/기록 비트는 설정할 때 SPI 모듈을 인에이블 한다 SPE 비트를 클리어 하면, SPI 상태 및 제어 레지스터를 그 리셋 상태로 복귀한다.
SPTIE	SPI 송신 인터럽트 인에이블. 이 판독/기록 비트는 SPTE 비트에 의해 생성된 DMA 서비스 요구들 또는 CPU 인터럽트 요구들을 인에이블 한다. SPTE는 1 바이트가 송신 데이타 레지스터로부터 시프트 레지스터로 시프트 할 때 설정된다. 리셋은 SPTIE 비트를 클리어 한다. SPE 비트를 클리어 하여 SPI 모듈을 디스에이블 하는 것은 또한 SPTIE를 클리어 한다.

또한, SPI 상태 및 제어 레지스터(86)는 아래의 <표 3>에 설명되는 주변 회로(16)의 상태에 연관된 6 비트를 포함한다.

<표3>

비트 이름	설 명
SPRF	SPI 수신기 전 비트. 이 클리어 가능한 판독 전용 플래그는 1 바이트가 시프트 레지스터(82)로부터 수신 데이타 레지스터(83)로 전송할 때마다 설정된다. SPRF는, 레지스터(85)의 SPRIE 비트가 설정된 경우에, CPU 인터럽트 요구 또는 DMA 서비스 요구를 발생한다 DMAS 비트는 SPRF가 SPRF CPU 인터럽트 요구 또는 SPRF DMA 서비스 요구를 발생하는지를 결정한다. SPRF CPU 인터럽트 (DMAS = 0)에 이어서, CPU(12)는 레지스터(86)를 판독하고, 이어서 레지스터(83)를 판독함으로써 SPRF를 클리어 한다. SPRF DMA 전송(DMAS=1) 동안에, DMA(30)는 레지스터(83)를 판독함으로써 SPRF를 자동으로 클리어 한다.
OVRF	오버플로 비트(Overflow Bit). 이 클리어 가능한 판독 전용 비트는, 다음의 바이트가 시프트 레지스터(82)로 들어가기 이전에, 소프트웨어가 수신 데이타 레지스터(83)의 바이트를 판독하지 않는 경우에 설정된다 오버플로 상태에 있어서, 이미 수신 데이타 레지스터(83)의 바이트는 영향을 받지 않지만, 마지막으로 시프트 된 바이트는 손실된다. OVRF 비트는 레지스터(86)를 판독하고 이어서 레지스터(83)를 판독함으로써 클리어 될 수 있다. 리셋은 OVRF 비트를 클리어 한다.
MODF	모드 폴트 비트(Mode Fault Bit). MODF 비트는 단지 주변 회로(16)가 마스터 모드에 있을 때만 의미가 있다 이 클리어 가능한 판독 전용 비트는, SPMSTR 비트가 2진수의 1일 때, SS 핀이 로우로 되는 경우에 설정된다. 레지스터(86)에 기록함으로써 MODF 비트를 클리어 한다 리셋은 MODF 비트를 클리어 한다.
SPTE	SPI 송신기 공백 비트(SPI Transmitter Empty Bit). 이 클리어 가능한 판독 전용 비트는 레지스터(81)가 시프트 레지스터(82)로 1 바이트의 데이타를 시프트 할 때마다 설정된다 SPTE는, 레지스터(85)의 SPTIE 비트가 설정된 경우에, SPTE CPU 인터럽트 요구 또는 SPTE DMA 서비스 요구를 생성한다. 레지스터(85)의 DMAS 비트는 SPTE가 SPTE 인터럽트 요구 또는 SPTE DMA 서비스 요구를 생성하는지를 결정한다 SPTE CPU 인터럽트(DMAS = 0) 동안에, CPU(12)는 레지스터(83)에 기록함으로써 SPTE 비트를 클리어 한다. SPTE DMA 전송(DMAS = 1) 동안에, DMA(30)는 레지스터(81)에 기록함으로써 SPTE를 자동적으로 클리어 한다.
SPR1/SPR0	SPI 레이트 선택 비트들(SPI Rate Select Bits) 마스터 모드에 있어서, 이들 판독/기록 비트는 00, 01, 10, 또는 11의 SP1 : SP0 값들에 대한 2, 8, 32 또는 128 제수(divisor)를 각각 설정함으로써 보드 레이트를 설정한다. 리셋은 이들 비트를 클리어 한다.

일반적으로, SPI 제어 블럭(88)은 주변 회로(16)의 동작을 제어하는 순차 논리 블럭이다. 동작의 일분은 데이타 수신 또는 데이타 송신의 신호 전송에 관계한다. 이러한 목적을 위해, SPI 제어 블럭(88)은, 두 인터럽트 요구 신호를 CPU(12)에 제공[하나는 송신 레지스터(81)가 채워져 있음을 나타내고, 다른 하나는 수신 레지스터(83)가 비어 있음을 나타냄]하고, 두 BMA 서비스 요구 신호를 DMA(30)에 제공[하나는 송신 레지스터(81)가 채워져 있음을 나타내고, 다른 하나는 수신 레지스터(83)가 비어 있음을 나타냄]하는 4 비트 출력 단자를 포함한다.

부가적으로, SPI 제어 블럭(88)은, 신호 ICLRFLGEN에 응답하여, 마이크로컨트롤러(10)가 배경 모드로 들어갈 때, 주변 회로(16)의 상태를 보존하는 메커니즘을 제공한다. 서로 다른 비트들 상의 ICLRFLGEN의 효과는 아래의 <표 4>에 설명되어 있다.

<표 4>

비트 이름	레지스터(86)를 액세스하는 영향 ICLRFLGEN = 0	ICLRFLGEN = 1
SPRF	레지스터(86)를 판독해도, 클리어 메커니즘을 필요로 하지 않는다.	레지스터(86)를 판독하면, 클리어 메커니즘을 필요로 한다. 클리어 메커니즘이 설치되면, 다음의 레지스터(83)의 판독은 이 비트를 클리어 한다
OVRF	레지스터(86)를 판독해도, 이 비트를 클리어 하지 않는다.	레지스터(86)를 판독하면, 이 비트를 클리어 한다.
MODF	영향 없음	영향 없음
SPTE	레지스터(81)에 기록해도, 이 비트에 영향을 미치지 않는다.	이 비트는 레지스터(81)에 기록함으로써 클리어 된다
SPR1/SPR0	영향 없음	영향 없음

DMA(30)가 레지스터(86)를 판독할 때(및 DMAS = 1), 비트들 SPRF 및 SPTE는 어떤 메커니즘도 필요로 하지 않고 클리어 된다는 점을 주목한다. 그러나, 상태 레지스터 클리어링 및 설치 메커니즘(arming mechanism)은 신호 ICLRFLGEN에 기초하여 조건적으로 보존될 수 있는 가능한 상태의 한 예가 됨은 명백하다.

부가적으로, 주변 회로는, 신호 ICLRFLGEN에 의해 결정된 바와 같이, 배경 모드 동안에 그 상태에 영향을 미치는지를 국부적으로 결정할 수 있다. 예를 들어, 주변 회로(16)는 특정 상태 변화에 대해서 신호 ICLRFLGEN에 응답하는지를 결정하도록 부가적인 제어 비트를 포함할 수 있다. 이러한 상태 비트가 설정되는 경우에, 주변 회로(16)는, 신호 ICLRFLGEN에 응답하여, 배경 모드 동안에 상태들을 선택적으로 변경한다. 즉, 주변 회로(16)는, 신호 ICLRFLGEN이 배경 모드 동안에 활성화 되는 경우에만, 특정의 상태 변경들을 허용한다. 이러한 상태 비트가 클리어 되는 경우에, 주변 회로(16)는 신호 ICLRFLCEN이 활성화되는지에 관계없이 배경 모드 동안에 상태 변경들을 허용한다. 주변 회로(16)에 있어서, 이러한 제어 비트는 레지스터(86)의 사용되지 않는 비트 위치에 배치될 수 있다. 다른 예로서, 타이머 섹션(28)은 신호 ICLRFLGEN에 응답되는지에 대한 '국부적(local)' 결정을 행하는 것이 바람직할 수 있다. 이러한 메커니즘은 부가적인 레벨의 유연성(flexibility)을 제공하고, 일부 응용들에 바람직하게 될 수 있다. 이러한 국부적 제어 비트는 단지 주변 장치내의 일부의 상태 변화만을 제어할 수 있음을 주목한다.

본 발명은 양호한 실시예를 통해 설명되었지만, 본 기술 분야에 숙련된 사람들은 본 발명이 다양한 방식으로 수정될 수 있으며, 특정 설명 및 상기 설명 이외의 다른 많은 실시예들을 취할 수 있음을 알 수 있을 것이다. 배경 모드에서 선택적으로 변경 또는 보존될 수 있는 특정 주변 상태들은 실시예에 따라 변경될 수 있다. 투명한 배경 모드를 실행하는데 이용되는 신호들의 활성 논리 상태들은 반전될 수 있다. 또한, 본 발명에 따른 데이타 프로세서는 (온-칩 메모리를 갖는) 마이크로컨트롤러가 될 수 있거나, 또는 적어도 하나의 온-칩 주변 회로를 갖는 집적 데이타 프로세서일 수 있다. 또한, 이용된 주변 회로들의 형태는 실시예에 따라 변경될 수 있다. 정보 버스(32)는 16-비트 어드레스 버스 및 8-비트 데이타 버스를 포함하였지만, 어드레스 및 데이타 버스들의 크기들은 실시예에 따라 변경될 수 있다. 따라서, 첨부된 특허 청구 범위는 본 발명의 진정한 정신 및 범위 내에 포함되는 발명의 모든 변경안을 포괄하는 것으로 의도되었다.

(57) 청구의 범위

청구항 1.

배경 모드에서 투명한 동작 및 정규 동작 모드를 갖는 데이타 프로세서(10)로서:

명령들을 실행하고 메모리를 액세스하기 위한 중앙 처리 장치(12)와,

상기 중앙 처리 장치에 결합되고, 다수의 상태들을 갖는 적어도 하나의 주변회로(16, 24, 28, 30)로서, 상기 데이타 프로세서가 정규 동작 모드에 있는 동안, 상기 적어도 하나의 주변 회로에 대한 미리 결정된 액세스를 실행하는 상기 중앙처리 장치에 응답하여 제 1 상태와 제 2 상태 사이의 천이(transition)를 행하는 상기 적어도 하나의 주변 회로(16, 24, 28, 30)와,

상기 적어도 하나의 주변 회로에 결합되고, 상기 배경 모드에서 동작하는 시스템 집적 모듈(14)로서, 상기 적어도 하나의 주변 회로를 제어하여, 상기 중앙 처리 장치가 상기 미리 결정된 액세스를 실행할 때, 상기 제 1 상태와 상기 제 2 상태 사이의 천이를 방지하는 상기 시스템 집적 모듈(14)을 포함하고,

이에 의해, 상기 데이타 프로세서(10)는 상기 배경 모드 동안 상기 적어도 하나의 주변 회로의 상태를 보존하고,

상기 시스템 집적 모듈(14)은 제어 신호를 활성화함으로써 상기 적어도 하나의 주변 회로를 제어하여, 상기 제 1 상태와 상기 제 2 상태 사이의 상기 천이를 방지하고, 상기 적어도 하나의 주변 회로는 상기 제어 신호를 수신하기 위한 제어입력을 더 갖는, 데이타 프로세서.

청구항 2.

정규 동작 모드 및 배경 모드를 갖는 집적 회로 마이크로컨트롤러(10)로서:

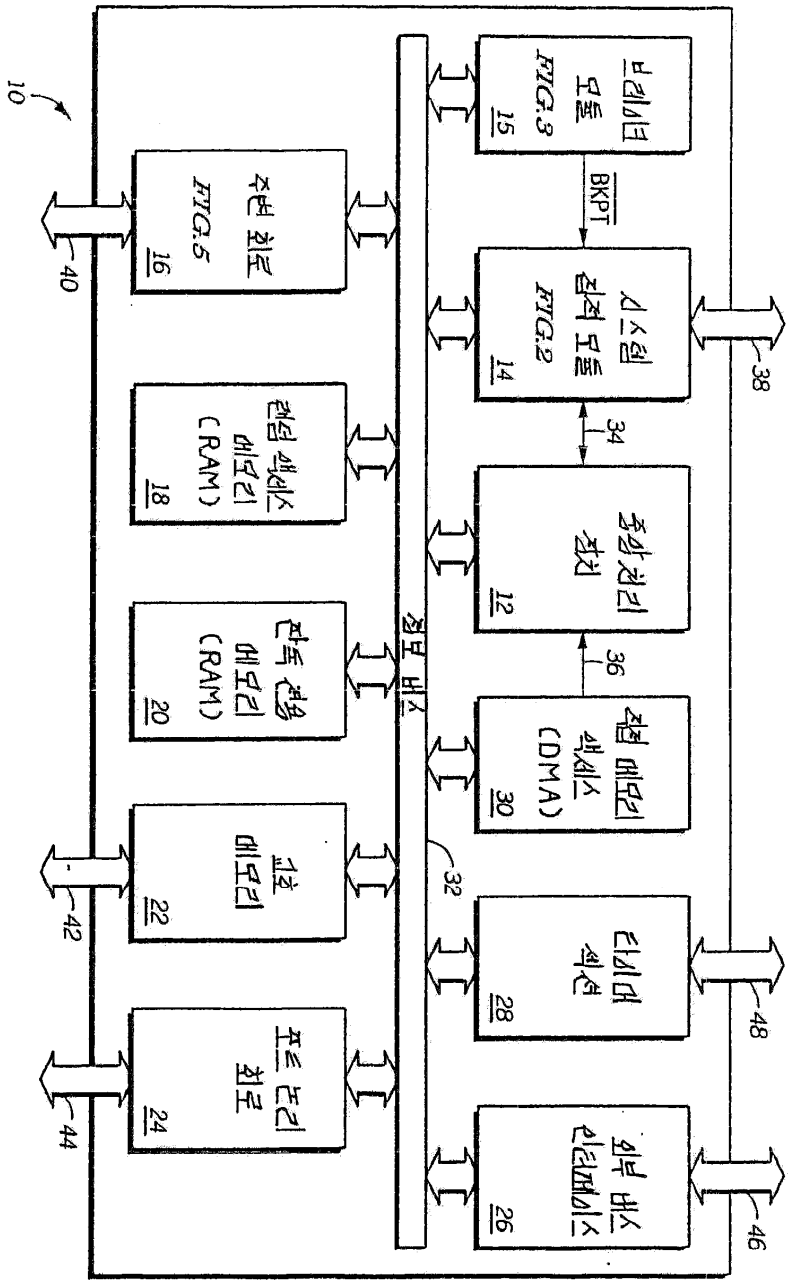
명령들을 실행하고 메모리를 액세스하는 중앙 처리 장치(12)로서, 정보 버스(32)에 결합된 상기 중앙 처리 장치(12)와,
상기 정보 버스(32)에 결합된 적어도 하나의 주변 회로(16, 24, 28, 30)로서, 각각의 주변 회로(16, 24, 28, 30)는 다수의 상태를 갖고, 상기 정규 동작 모드에서 상기 주변 회로를 액세스하는 상기 중앙 처리 장치에 응답하여 상기 다수의 상태 사이의 천이를 행하는, 상기 적어도 하나의 주변 회로(16, 24, 28, 30)와,
상기 배경 모드에서 동작하는 논리 회로(54)를 포함하는 시스템 집적 모듈(14)로서, 상기 적어도 하나의 주변 회로(16, 24, 28, 30) 각각을 제어하여, 상기 중앙 처리 장치에 의해 액세스될 때, 상기 주변 회로의 다수의 상태 사이의 상기 천이를 방지하고, 이에 의해, 상기 집적 회로 마이크로컨트롤러(10)는 상기 배경모드 동안 상기 적어도 하나의 주변 회로 각각의 상태를 보존하는, 상기 시스템 집적 모듈(14)을 포함하고,
상기 시스템 집적 모듈(14)은 제어 신호를 활성화함으로서 상기 적어도 하나의 주변 회로 각각을 제어하여, 상기 다수의 상태 사이의 상기 천이를 방지하고, 상기 적어도 하나의 주변 회로 각각은 상기 제어 신호를 수신하기 위한 제어 입력을 더 갖는, 집적 회로 마이크로컨트롤러.

청구항 3.

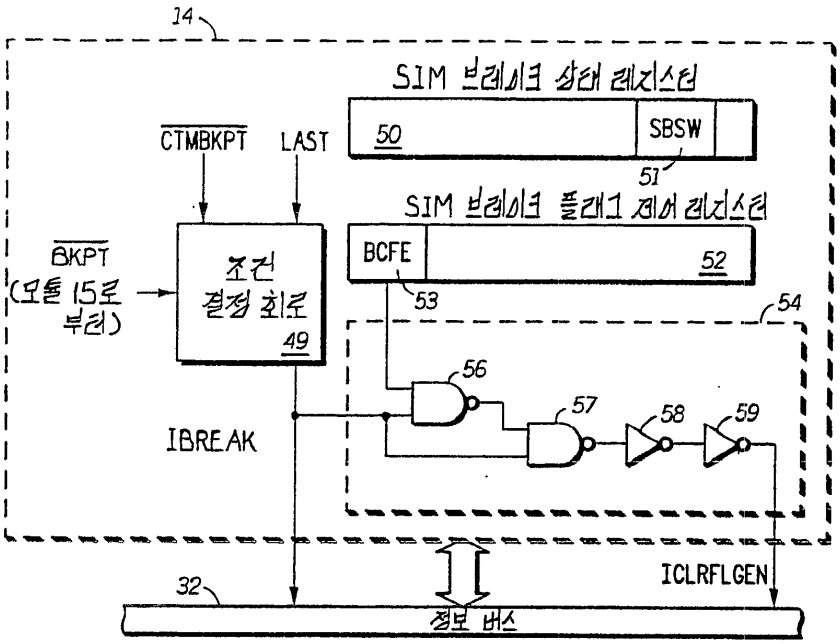
배경 모드에서 데이타 프로세서(10)를 투명하게 동작시키는 방법으로서:
브레이크 클리어 플래그 인에이블 비트(53)를 저장하는 단계로서, 상기 브레이크 클리어 플래그 인에이블 비트는 주변 회로의 상태가 상기 배경 모드에서 영향을 받는지를 나타내고, 상기 주변 회로의 상기 상태는 상기 주변 회로가 정규 동작모드에 있을 때 항상 영향을 받는, 상기 저장 단계와,
브레이크포인트 조건을 검출하는 단계로서, 상기 브레이크포인트 조건에 의해 데이타 프로세서(10)는 상기 정규 동작 모드에서 상기 배경 모드로 들어가는, 상기 검출 단계와,
상기 브레이크 클리어 플래그 인에이블 비트(53)가 제 1 논리 상태에 있는 경우에 상기 브레이크포인트 조건을 검출하는 상기 검출 단계에 응답하여 제어 신호를 활성화하고, 상기 브레이크 클리어 플래그 인에이블 비트가 제 2 논리 상태에 있는 경우에 상기 브레이크포인트 조건을 검출하는 상기 검출 단계에 응답하여 상기 제어 신호를 비활성 상태로 유지하는 단계와,
상기 제어 신호를 상기 주변 회로의 입력에 제공함으로써 상기 배경 모드 동안 상기 주변 회로의 다수의 상태 사이의 천이를 디스에이블 하도록 상기 주변 회로를 선택적으로 제어하는 단계로서, 상기 제어 신호가 활성이면, 상기 주변 회로의 상기 상태는 배경 모드에서 영향을 받지 않고, 상기 제어 신호가 비활성이면, 상기 주변 회로의 상기 상태는 상기 배경 모드에서 영향을 받는, 상기 선택적 제어단계를 포함하는 데이타 프로세서 동작 방법.

도면

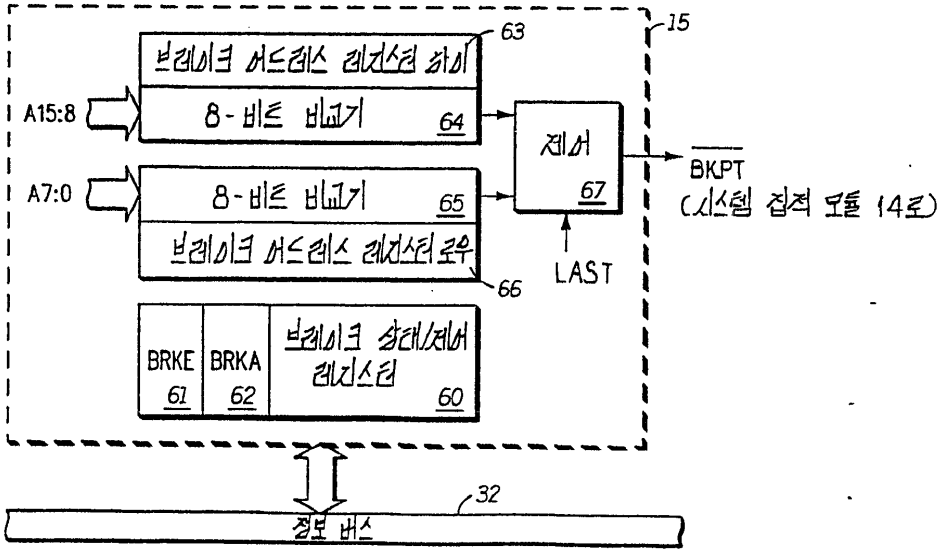
도면1


10
브레이크 모듈 FIG.3 15
BKPT
시스템 컴퍼 모듈 FIG.2 14
중앙 처리 장치 12
램덤 액세스 메모리 (RAM) 18
판독 전용 메모리 (RAM) 20
플래쉬 메모리 22
포트 논리 회로 24
주변 회로 FIG.5 16
직접 메모리 액세스 (DMA) 30
타이머 섹션 28
외부 버스 인터페이스 26
내부 버스 32
34
36
38
40
42
44
46
48

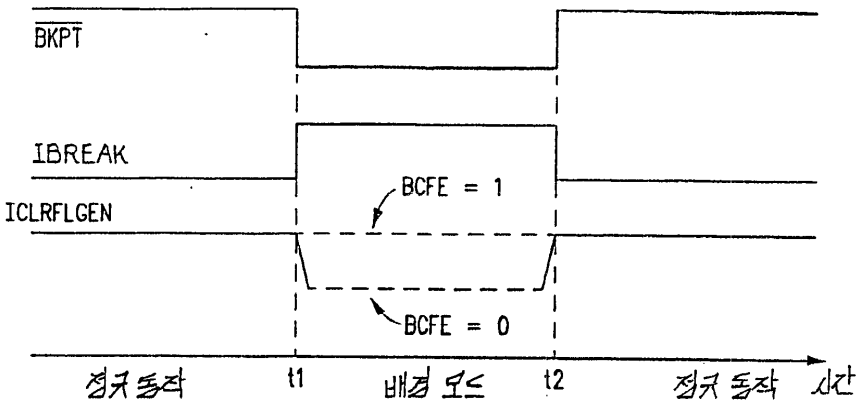
도면2


14
SIM 브레이크 상태 레지스터
CTMBKPT
LAST
50
SBSW
51
SIM 브레이크 플래그 제어 레지스터
BKPT
(모듈 15로부터)
조건 결정 회로
49
BCFE
52
53
54
56
57
58
59
IBREAK
ICLRFLGEN
32
정보 버스

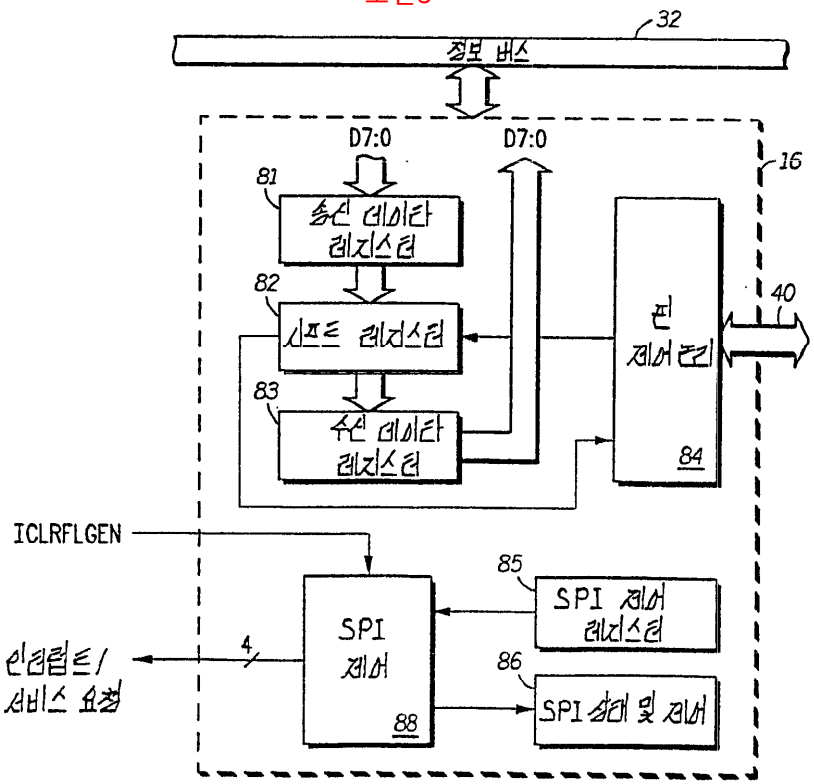
도면3


15
63
브레이크 어드레스 레지스터 하이
A15:8
8-비트 비교기
64
제어
67
BKPT
(시스템 집적 모듈 14로)
A7:0
8-비트 비교기
65
브레이크 어드레스 레지스터 로우
66
LAST
BRKE
61
BRKA
62
브레이크 상태/제어 레지스터
60
32
정보 버스

도면4


BKPT
IBREAK
ICLRFLGEN
BCFE = 1
BCFE = 0
정규 동작
t1
배경 모드
t2
정규 동작
시간

도면5


32
정보 버스
D7:0
D7:0
16
81
송신 데이터 레지스터
82
시프트 레지스터
83
수신 데이터 레지스터
핀 제어 로직
84
40
ICLRFLGEN
85
SPI 제어 레지스터
SPI 제어
88
4
인터럽트/ 서비스 요청
86
SPI 상태 및 제어