

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



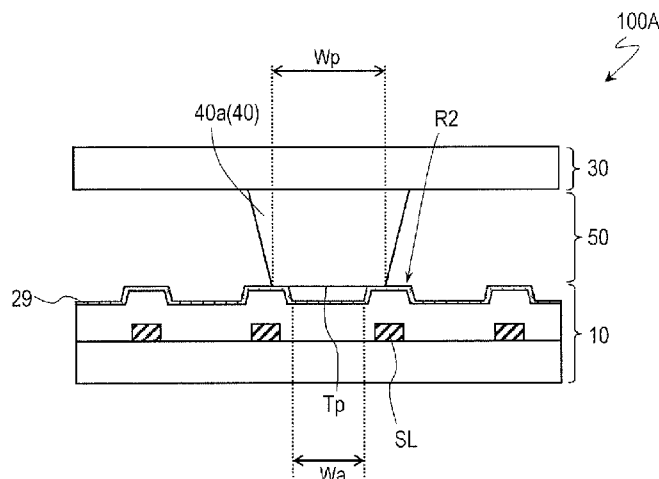
(10) 国際公開番号

WO 2018/168767 A1

- (51) 国際特許分類:
G02F 1/1339 (2006.01)
- (21) 国際出願番号: PCT/JP2018/009500
- (22) 国際出願日: 2018年3月12日(12.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-050424 2017年3月15日(15.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 岡田 訓明 (OKADA Kuniaki). 内田 誠一(UCHIDA Seiichi).
- (74) 代理人: 奥田 誠司 (OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) **Abstract:** This liquid crystal display device (100A) is provided with a TFT substrate (10), a counter substrate (30) and a liquid crystal layer (50). The TFT substrate comprises a gate bus line (GL) that extends in a first direction and a source bus line (SL) that extends in a second direction. The counter substrate comprises a plurality of columnar spacers (40) that define the thickness of the liquid crystal layer. The liquid crystal layer-side surface of the TFT substrate comprises: a plurality of first projections which overlap a plurality of gate bus lines and extend in the first direction, while protruding toward the liquid crystal layer; and a plurality of second projections which overlap a plurality of source bus lines and extend in the second direction, while protruding toward the liquid crystal layer. The plurality of columnar spacers include a first columnar spacer (40a) which supports at least two projections among the plurality of first projections or at least two projections among the plurality of second projections by means of the top surface.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 液晶表示装置 (100A) は、TFT基板 (10)、対向基板 (30) および液晶層 (50) を備える。TFT基板は、第1方向に延びるゲートバスライン (GL) と、第2方向に延びるソースバスライン (SL) とを有する。対向基板は、液晶層の厚さを規定する複数の柱状スペーサ (40) を有する。TFT基板の液晶層側の表面は、複数のゲートバスラインと重なり第1方向に延び、液晶層側に突き出ている複数の第1凸部と、複数のソースバスラインと重なり第2方向に延び、液晶層側に突き出ている複数の第2凸部とを有する。複数の柱状スペーサは、複数の第1凸部の内の少なくとも2つの凸部または複数の第2凸部の内の少なくとも2つの凸部を、頂面において支持する第1柱状スペーサ (40a) を含む。

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

背景技術

[0002] アクティブマトリクス基板を備えた液晶表示装置は、現在種々の用途に用いられている。近年、アクティブマトリクス型の液晶表示装置の高精細化が進んでいる。また、狭額縁化や製造コストの削減の要請も強まっている。

[0003] アクティブマトリクス型の液晶表示装置は、一般に、アクティブマトリクス基板と、アクティブマトリクス基板に対向するように配置された対向基板（「カラーフィルタ基板」と呼ばれることもある。）と、両基板の間に設けられた液晶層とを備える。アクティブマトリクス基板は、画素ごとにスイッチング素子、例えば薄膜トランジスタ（TFT）を有する。アクティブマトリクス基板が有する複数の画素によって、液晶表示装置の表示領域が画定される。

[0004] 一般に、液晶表示装置の液晶層の厚さ（「セルギャップ」とも呼ばれる。）は、アクティブマトリクス基板と対向基板との間に配置されるスペーサによって規定される。液晶表示装置の高精細化にともない、フォトリソグラフィプロセスを用いて、予め決められた位置にスペーサを形成する方法が広く採用されている。このようにして形成されたスペーサは、「柱状スペーサ」または「フォトスペーサ（「PS」と略することがある。）」と呼ばれる。柱状スペーサは、例えば特許文献1に開示されているように、対向基板に形成されることが多い。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-242035号公報

特許文献2：特開2016-1350号公報

発明の概要

発明が解決しようとする課題

[0006] 液晶表示装置に振動や外部からの力が加えられると、対向基板に設けられた柱状スペーサによって、アクティブマトリクス基板の配向膜が部分的に剥がれることがある。これにより、液晶分子の配向の乱れに起因して表示品位が低下することがある。なお、柱状スペーサの近傍は、通常、例えば対向基板に設けられた遮光層（ブラックマトリクス）で覆われているので、表示に寄与しない。従って、遮光層で覆われている領域において液晶分子の配向の乱れが生じて、表示品位にはほぼ影響しない。しかしながら、例えば液晶表示装置の運搬時に、振動や外部からの力が加えられると、アクティブマトリクス基板と対向基板との位置関係がずれたり、アクティブマトリクス基板および／または対向基板がたわんだりすることにより、遮光層で覆われていない領域（すなわち表示に寄与する領域）においても配向膜の剥がれやこれに起因した液晶分子の配向の乱れが生じることがある。この場合、表示品位が低下し得る。表示品位の低下を抑制するために、液晶分子の配向の乱れが生じ得る部分を遮光層で覆うと、遮光層の面積が従来よりも大きくなるので、液晶表示装置の開口率が低下する。特に高精細な液晶表示装置においては、開口率の低下が顕著である。

[0007] 本発明は、上記問題に鑑みてなされたものであり、その目的は、開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる液晶表示装置を提供することにある。

課題を解決するための手段

[0008] 本発明の実施形態による液晶表示装置は、TFT基板と、前記TFT基板に対向するように設けられた対向基板と、前記TFT基板および前記対向基板の間に設けられた液晶層とを備え、複数の行および複数の列を有するマトリクス状に配列された複数の画素を有する液晶表示装置であって、前記TFT基板は、前記複数の画素のそれぞれに設けられたTFTと、第1方向に延

びる複数のゲートバスラインと、前記第 1 方向と異なる第 2 方向に延びる複数のソースバスラインとを有し、前記対向基板は、前記液晶層の厚さを規定する複数の柱状スペーサを有し、前記 T F T 基板の前記液晶層側の表面は、前記複数のゲートバスラインと重なり前記第 1 方向に延び、前記液晶層側に突き出ている複数の第 1 凸部と、前記複数のソースバスラインと重なり前記第 2 方向に延び、前記液晶層側に突き出ている複数の第 2 凸部とを有し、前記複数の柱状スペーサは、前記複数の第 1 凸部の内の少なくとも 2 つの凸部または前記複数の第 2 凸部の内の少なくとも 2 つの凸部を、頂面において支持する第 1 柱状スペーサを含む。

[0009] ある実施形態において、前記少なくとも 2 つの凸部が延びる方向と直交する方向において、前記第 1 柱状スペーサの頂面の幅は、前記少なくとも 2 つの凸部の内の互いに隣接する凸部の間に形成されている凹部の幅よりも大きい。

[0010] ある実施形態において、前記少なくとも 2 つの凸部が延びる方向と直交する方向において、前記第 1 柱状スペーサの頂面の幅は、前記複数の画素の画素ピッチよりも大きい。

[0011] ある実施形態において、前記少なくとも 2 つの凸部が延びる方向と直交する断面において、前記第 1 柱状スペーサの頂面が、前記少なくとも 2 つの凸部を覆っている。

[0012] ある実施形態において、前記複数の柱状スペーサは、前記 T F T 基板の法線方向から見たとき、前記複数のゲートバスラインの内の少なくとも 2 つまたは前記複数のソースバスラインの内の少なくとも 2 つと重なり、前記 T F T 基板と接触していない第 2 柱状スペーサをさらに含む。

[0013] ある実施形態において、前記 T F T 基板は、基板と、前記基板に支持され、前記 T F T のゲート電極と、前記複数のゲートバスラインとを含む第 1 導電層と、前記基板に支持され、前記 T F T のソース電極と、前記複数のソースバスラインとを含む第 2 導電層と、前記第 1 導電層と前記第 2 導電層との間に形成されたゲート絶縁層と、前記 T F T の半導体層と、前記第 1 導電層

、前記第2導電層および前記半導体層の上に形成された層間絶縁層と、前記層間絶縁層上に形成された第1透明導電層と、前記第1透明導電層上に形成された無機絶縁層と、前記無機絶縁層上に形成された第2透明導電層とを有し、前記層間絶縁層は有機絶縁層を含まない。

[0014] ある実施形態において、前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記第1導電層および前記第2導電層を含む。

[0015] ある実施形態において、前記TFT基板は、前記少なくとも2つの凸部の内の互いに隣接する凸部の間に、前記層間絶縁層を有しない領域を含む。

[0016] ある実施形態において、前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記層間絶縁層上に形成された遮光層をさらに含む。

[0017] ある実施形態において、前記遮光層は、前記第2透明導電層上に前記第2透明導電層に接触するように形成されている。

[0018] ある実施形態において、前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記層間絶縁層上に形成された第3導電層をさらに含む。

[0019] ある実施形態において、前記第3導電層は、前記第2透明導電層上に絶縁層を介して形成されている。

[0020] ある実施形態において、前記第1透明導電層は、前記複数の画素のそれぞれに設けられ、前記TFTのドレイン電極に電氣的に接続された画素電極を含む。

[0021] ある実施形態において、前記ドレイン電極は、前記第1透明導電層に含まれる。

[0022] ある実施形態において、前記半導体層は、酸化物半導体を含む。

[0023] ある実施形態において、前記半導体層は、 In-Ga-Zn-O 系の半導体を含む。

[0024] ある実施形態において、前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む。

[0025] ある実施形態において、前記半導体層は、積層構造を有する。

発明の効果

[0026] 本発明の実施形態によると、開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる液晶表示装置が提供される。

図面の簡単な説明

[0027] [図1]本発明の実施形態による液晶表示装置100Aを模式的に示す断面図である。

[図2]比較例の液晶表示装置900を模式的に示す断面図である。

[図3]液晶表示装置100Aの具体的な構造の一例を示す平面図である。

[図4]液晶表示装置100Aの具体的な構造の一例を示す断面図であり、図3中のA-A'線に沿った断面を示している。

[図5]液晶表示装置100Aを模式的に示す断面図である。

[図6]液晶表示装置100Aの遮光層（ブラックマトリクス）32、カラーフィルタ層33、および柱状スペーサ40の配置を模式的に示す平面図である。

[図7]比較例の液晶表示装置900の遮光層932、カラーフィルタ層33、および柱状スペーサ940の配置を模式的に示す平面図である。

[図8]本発明の実施形態による他の液晶表示装置100Bを模式的に示す断面図である。

[図9]本発明の実施形態によるさらに他の液晶表示装置100Cを模式的に示す断面図である。

[図10]本発明の実施形態によるさらに他の液晶表示装置100Dを模式的に示す断面図であり、図11中のB-B'線に沿った断面を示している。

[図11]液晶表示装置100Dを模式的に示す平面図である。

[図12]本発明の実施形態によるさらに他の液晶表示装置100Eを模式的に示す断面図である。

[図13]本発明の実施形態によるさらに他の液晶表示装置100Fを模式的に示す断面図である。

[図14]本発明の実施形態によるさらに他の液晶表示装置100Gを模式的に示す平面図である。

[図15]液晶表示装置100Gを模式的に示す断面図である。

[図16]本発明の実施形態による液晶表示装置に用いられる他のTFT基板10Aを模式的に示す平面図である。

[図17]TFT基板10Aにおける結晶質シリコンTFT710Aおよび酸化物半導体TFT710Bの断面図である。

発明を実施するための形態

[0028] 以下で、図面を参照して、本発明の実施形態による液晶表示装置を説明する。なお、本発明は以下で例示する実施形態に限られない。以下の図面において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、その説明を省略することがある。

[0029] (実施形態1)

図1を参照しながら、本実施形態における液晶表示装置100Aを説明する。図1は、液晶表示装置100Aを模式的に示す断面図である。

[0030] 図1に示すように、液晶表示装置100Aは、TFT基板10と、TFT基板10に対向するように設けられた対向基板（「カラーフィルタ基板」とも呼ばれる）30と、TFT基板10および対向基板30の間に設けられた液晶層50とを備える。また、液晶表示装置100Aは、複数の行および複数の列を有するマトリクス状に配列された複数の画素を有する。

[0031] TFT基板10は、複数の画素のそれぞれに設けられたTFT（薄膜トランジスタ）（不図示）と、第1方向に延びる複数のゲートバスライン（走査配線）（不図示）と、第1方向と異なる第2方向に延びる複数のソースバスライン（信号配線）SLとを有する。図1は、第2方向に直交する断面を示している。

[0032] TFT基板10の液晶層50側の表面は、複数のソースバスラインSLと重なり第2方向に延び、液晶層50側に突き出ている複数の凸部R2（「第2凸部R2」ということがある。）を有する。TFT基板10の液晶層50

側の表面は、複数のゲートバスラインと重なり第1方向に延び、液晶層50側に突き出ている複数の凸部（不図示；「第1凸部」ということがある。）をさらに有する。

[0033] 対向基板30は、液晶層50の厚さ（セルギャップ）を規定する複数の柱状スペーサ40を有する。

[0034] 複数の柱状スペーサ40は、複数の第2凸部R2の内の少なくとも2つの凸部R2を、頂面Tpにおいて支持する第1柱状スペーサ40aを含む。ここでは、第1柱状スペーサ40aは、複数の第2凸部R2の内の互いに隣接する2つの凸部R2を、頂面Tpにおいて支持する。第1柱状スペーサ40aの頂面（頂部）Tpは、第1柱状スペーサ40aのTFT基板10側の端を含む。図4を参照して後述するように、複数の柱状スペーサ40は、配向膜で覆われている。「第1柱状スペーサ40aが、凸部を頂面において支持する」とは、第1柱状スペーサ40aの頂面（頂部）を覆うように形成された配向膜を介して、第1柱状スペーサ40aの頂面（頂部）と凸部とが接することを含む。図1では、簡単のために対向基板30が有する配向膜の図示を省略している。

[0035] 液晶表示装置100Aは、上述した構成を有することにより、開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる。以下、この理由を、図2をあわせて参照しながら説明する。図2は、比較例の液晶表示装置900を模式的に示す断面図である。図2では、液晶表示装置100Aの構成要素と実質的に同じ構成要素には同じ参照符号を付しており、その説明を省略することがある。

[0036] 図2に示すように、比較例の液晶表示装置900の柱状スペーサ940は、頂面Tpにおいて、1つの第2凸部R2を支持している点において、液晶表示装置100Aの第1柱状スペーサ40aと異なる。

[0037] 対向基板30に設けられた柱状スペーサ940は、TFT基板10と、凸部R2において接触している。比較例の液晶表示装置900においては、柱

状スペーサ 940 によって、TFT 基板 10 の配向膜 29 のうち、凸部 R2 以外の部分に形成された配向膜 29 が部分的に削られることがある。配向膜 29 の部分的な剥がれは、例えば、振動や外部からの力が液晶表示装置に加えられた場合（例えば液晶表示装置の運搬時など）に、TFT 基板 10 と対向基板 30 との位置関係がずれたり、TFT 基板 10 および／または対向基板 30 がたわんだりすることにより、柱状スペーサ 940 が凸部 R2 以外の部分に（少なくとも一時的に）接触することに起因している。凸部 R2 はソースバスライン SL と重なるので、凸部 R2 と重なる領域は通常表示に寄与しないが、凸部 R2 と重ならない領域は、表示に寄与する領域を含む。表示に寄与する領域において、配向膜 29 の剥がれやこれに起因した液晶分子の配向の乱れが生じると、表示品位が低下し得る。例えば、ノーマリブラックモードで表示を行う液晶表示装置においては、黒表示状態における光漏れの原因となり、輝点として視認されたり、コントラストが低下したりすることがある。表示品位の低下を抑制するために、液晶分子の配向の乱れが生じ得る部分を遮光層で覆うと、遮光層の面積が従来よりも大きくなるので、液晶表示装置の開口率が低下する。

[0038] 本実施形態の液晶表示装置 100A が有する第 1 柱状スペーサ 40a は、頂面 Tp において、少なくとも 2 つの凸部 R2 を支持している。このような構造を有する第 1 柱状スペーサ 40a は、TFT 基板 10 の液晶層 50 側の表面のうち、凸部 R2 以外の部分に接触し難い。例えば、TFT 基板 10 と対向基板 30 との位置関係が図 1 に示す状態から第 2 方向に直交する方向（図 1 の左右方向）にずれても、第 1 柱状スペーサ 40a は、互いに隣接する凸部 R2 の間に形成されている凹部に入り込み難い。従って、液晶表示装置 100A においては、TFT 基板 10 の配向膜 29 のうちの凸部 R2 以外の部分に形成された配向膜 29 が削られることが抑制される。従って、表示品位の低下が抑制される。表示品位の低下を抑制するために、遮光層の面積を従来よりも大きくする必要もない。このように、液晶表示装置 100A は、開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれ

ることに起因した表示品位の低下を抑制することができる。

[0039] 特許文献2は、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる液晶表示装置を開示している。特許文献2の液晶表示装置においては、アクティブマトリクス基板および対向基板の両方がスペーサ部を有し、アクティブマトリクス基板が有するスペーサ部と、対向基板が有するスペーサ部とが、液晶層の厚さを規定するスペーサを構成する液晶表示装置を開示している。アクティブマトリクス基板が有するスペーサ部と、対向基板が有するスペーサ部とは、互いに異なる方向に伸びているので、液晶表示装置に振動や外部からの力が加えられても、表示に寄与する領域に形成されている配向膜がスペーサ部によって削られることが抑制される。

[0040] しかしながら、特許文献2の液晶表示装置は、アクティブマトリクス基板および対向基板の両方にスペーサ部を有するので、例えば比較例の液晶表示装置900と比較すると、製造に必要な工程数が多い。本実施形態の液晶表示装置100Aは、比較例の液晶表示装置900と比べて製造工程を増やすことなく、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができるという点において、特許文献2の液晶表示装置に対して有利である。

[0041] 液晶表示装置100Aの第1柱状スペーサ40aは、例えば以下の条件を満たすように形成されていてもよい。図1に示すように、第1柱状スペーサ40aが支持する2つの凸部R2が伸びる方向（すなわち第2方向）と直交する方向において、第1柱状スペーサ40aの頂面Tpの幅Wpは、互いに隣接する凸部R2の間に形成されている凹部の幅Waよりも大きくてもよい。この条件を満たす場合、第1柱状スペーサ40aは、頂面Tpにおいて、少なくとも2つの凸部R2を支持することができる。なお、上述したように、第1柱状スペーサ40aは配向膜で覆われているが、頂面Tpにおいて少なくとも2つの凸部R2を支持することができる第1柱状スペーサ40aのサイズや形状に関しては、第1柱状スペーサ40aを覆う配向膜の厚さはほ

ば無視することができる。一般に配向膜の厚さは、第1柱状スペーサ40aの頂面Tpの幅Wpや、凹部の幅Waに比べて十分小さいためである。

[0042] 比較例の液晶表示装置900においては、図2に示すように、第2方向と直交する方向において、柱状スペーサ940の頂面Tpの幅Wpは、互いに隣接する凸部R2の間に形成されている凹部の幅Waよりも小さい。従って、柱状スペーサ940は、頂面Tpにおいて、1つの凸部R2のみを支持する。

[0043] 図3および図4を参照しながら、液晶表示装置100Aの具体的な構造を説明する。図3および図4は、液晶表示装置100Aの具体的な構造の一例を示す平面図および断面図であり、図4は、図3中のA-A'線に沿った断面を示している。ここでは、FFS (Fringe Field Switching) モードの液晶表示装置100Aを例示するが、表示モードはFFSモードに限定されるものではない。表示モードとしては、例えばTN (Twisted Nematic) モード、VA (Vertical Alignment) モードなどの公知の種々の表示モードを用いることができる。

[0044] 図4に示すように、TF基板10は、基板11と、第1導電層12と、ゲート絶縁層13と、半導体層14と、第2導電層16と、層間絶縁層17と、第1透明導電層18と、無機絶縁層19と、第2透明導電層20とを有する。TF基板10は、液晶層50側の表面に配向膜29をさらに有する。

[0045] 図3に示すように、TF基板10は、複数の画素のそれぞれに設けられたTF15と、第1方向に延びる複数のゲートバスラインGLと、第2方向に延びる複数のソースバスラインSLとを有する。また、TF基板10は、複数の画素のそれぞれに設けられた画素電極18aを有する。

[0046] 例示するTF基板10においては、第1方向が水平方向であり、第2方向が垂直方向である。第1方向と第2方向は互いに略直交している。第1方向に沿って配列された複数の画素を画素行ということがあり、第2方向に沿って配列された複数の画素を画素列ということがある。第1方向を行方向と

ということがあり、第2方向を列方向ということがある。なお、第1方向および第2方向は、この例に限定されない。

[0047] 図3に示すように、液晶表示装置100Aは、複数の行および複数の列を有するマトリクス状に配列された複数の画素を有する。後述する図6に示すように、複数の画素は、複数のカラー表示画素を構成している。第1方向（行方向）に配列された赤（R）、緑（G）および青（B）画素によって1つのカラー表示画素が構成されており、R画素列、G画素列、B画素列がストライプ状に配列されている（すなわち、画素列ごとに異なる色を表示する）。このような複数の画素の配列は、「ストライプ配列」または「縦ストライプ配列」と呼ばれることもある。液晶表示装置100Aにおいては、第1方向の画素ピッチ（図3の P_x ）は第2方向の画素ピッチ（図3の P_y ）よりも小さい。

[0048] TFT15は、ゲート電極12g、ソース電極16sおよびドレイン電極18dを含む。TFT15は、活性層として半導体層14をさらに含む。ゲート電極12gは、ゲートバスラインGLに電氣的に接続されており、ゲートバスラインGLからゲート信号（走査信号）を供給される。図示している例では、ゲートバスラインGLの一部（半導体層14に重なる領域）が、ゲート電極12gとして機能する。ソース電極16sは、ソースバスラインSLに電氣的に接続されており、ソースバスラインSLからソース信号（表示信号）を供給される。図示している例では、ソース電極16sは、ソースバスラインSLから分岐するように延設されている。ドレイン電極18dは、画素電極18aに電氣的に接続されている。

[0049] 半導体層14のうち、ソース電極16sと接する領域は、「ソース領域」と呼ばれ、ドレイン電極18dと接する領域は、「ドレイン領域」と呼ばれる。また、半導体層14のうち、ゲート電極12gとオーバーラップし、かつ、ソース領域とドレイン領域との間に位置する領域は、「チャンネル領域」と呼ばれる。

[0050] 半導体層14は、例えば酸化物半導体層である。半導体層14は、これに

限られず、例えばアモルファスシリコン層であってもよいし、結晶質シリコン層であってもよい。結晶質シリコン層は、例えばポリシリコン層であり得る。

[0051] TFT 15 は、透明な絶縁性の基板（例えばガラス基板）11 によって支持されている。

[0052] 第1導電層12は、基板11に支持され、ゲート電極12gおよび複数のゲートバスラインGLを含む。ここでは、第1導電層12は、基板11の液晶層50側の表面上に形成されている。

[0053] 第2導電層16は、基板11に支持され、ソース電極16sおよび複数のソースバスラインSLを含む。ゲート絶縁層13は、第1導電層12と第2導電層16の間に形成されている。ここでは、ゲート絶縁層13は、第1導電層12を覆うように形成されており、第2導電層16は、ゲート絶縁層13の上に形成されている。TFT 15の半導体層14は、ゲート絶縁層13上に形成されている。ソース電極16sは、半導体層14のソース領域の上面に接触するように形成されている。

[0054] 層間絶縁層17は、半導体層14および第2導電層16の上に形成されている。層間絶縁層17は、半導体層14および第2導電層16を覆うように形成されている。層間絶縁層17は、半導体層14のドレイン領域に達する開口部17hを有する。層間絶縁層17は、無機材料から形成されている。層間絶縁層17は、有機絶縁層を含まない。

[0055] 一般に、TFT基板において、TFT、ゲートバスラインおよびソースバスラインを覆う層間絶縁層は、比較的厚い（例えば1 μ mから3 μ m程度の厚さを有する）有機絶縁層を含むことがある。有機絶縁材料は、無機絶縁材料に比べて低い誘電率を有しており、厚く堆積しやすい。このような層間絶縁層を形成すると、透明電極を形成する前の表面を平坦化することができる。

[0056] 本実施形態においては、層間絶縁層17が有機絶縁層を含まないので、TFT基板10のうち、第1導電層12および／または第2導電層16を含む

積層構造を有する部分における、TFT基板10の液晶層50側の表面の高さは、その他の部分における、TFT基板10の液晶層50側の表面の高さよりも高い。例えば、複数のゲートバスラインに重なる部分および複数のソースバスラインに重なる部分における、TFT基板10の液晶層50側の表面の高さは、その周りよりも高い。従って、TFT基板10の液晶層50側の表面に、複数のゲートバスラインに重なる複数の第1凸部と、複数のソースバスラインに重なる複数の第2凸部とが形成される。ここでは、TFT基板10は、第1凸部と重なる領域および第2凸部と重なる領域において、第1導電層12と第2導電層16とを含む。

[0057] 第1透明導電層18は、層間絶縁層17上に形成されている。第1透明導電層18は、透明導電材料から形成され、各画素に設けられた第1透明電極18aを含む。ここでは、第1透明電極18aは画素電極として機能する。本実施形態では、画素電極18aと同一の透明導電膜から形成され、画素電極18aから延設された部分がドレイン電極18dとして機能する。つまり、第1透明導電層18は、画素電極18aおよびドレイン電極18dを含み、ドレイン電極18dは、透明である。本願明細書では、このようなドレイン電極18dを「透明ドレイン電極」とも呼び、透明ドレイン電極18dを含むコンタクト構造を「透明コンタクト構造」と呼ぶ。ドレイン電極18dは、層間絶縁層17に形成された開口部17h内において、半導体層14のドレイン領域の上面に接触している。

[0058] 無機絶縁層19は、第1透明導電層18上に形成されている。無機絶縁層19は、画素電極18aおよびドレイン電極18dを覆うように形成されている。

[0059] 第2透明導電層20は、無機絶縁層19上に形成されている。第2透明導電層20は、透明導電材料から形成されている。第2透明導電層20は、共通電極（「対向電極」ともいう。）として機能する。共通電極20は、各画素に対応する領域内に、少なくとも1つ（図3に示す例では1つ）のスリット20sを有している。画素電極18aおよび共通電極20と、これらの間

に位置する無機絶縁層 19 とによって、補助容量が構成される。

[0060] 対向基板 30 は、カラーフィルタ層（不図示）と、遮光層（ブラックマトリクス）（不図示）とを有する。カラーフィルタ層および遮光層は、透明な絶縁性の基板（例えばガラス基板）31 によって支持されている。対向基板 30 は、遮光層およびカラーフィルタ層を覆うオーバーコート層（不図示）をさらに有している。オーバーコート層を形成することにより、柱状スペーサを形成する前の表面を平坦化することができる。

[0061] 対向基板 30 は、複数の柱状スペーサ 40 をさらに有する。複数の柱状スペーサ 40 は、オーバーコート層上に設けられている。複数の柱状スペーサ 40 は、例えば感光性樹脂材料から形成されている。

[0062] 対向基板 30 は、液晶層 50 側の表面に配向膜 39 をさらに有する。配向膜 39 は、オーバーコート層および複数の柱状スペーサ 40 を覆うように形成されている。

[0063] 液晶層 50 は、水平配向型である。TFT 基板 10 および対向基板 30 の液晶層 50 側の表面には、それぞれ、水平配向膜 29 および 39 が設けられている。水平配向膜は、液晶層 50 中の液晶分子をその表面に略平行に配向させる配向規制力を有する。配向膜としては、光配向処理によって配向処理される配向膜（光配向膜）を用いてもよいし、ラビング配向処理によって配向処理される配向膜を用いてもよい。

[0064] TFT 15 の具体的な構造は、ここで例示したものに限定されない。TFT 15 は、例示しているようなボトムゲート型であってもよいし、トップゲート型であってもよい。TFT 15 が有するド레인電極 18d は、透明ド레인電極でなくてもよい（例えば第 2 導電層 16 に含まれていてもよい）。

[0065] 液晶表示装置の TFT が透明ド레인電極を有すると（つまり透明コンタクト構造を採用すると）、開口率の向上をはかることができる一方で、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下が起こりやすくなる傾向にある。従って、本実施形態のように、透明コンタ

クト構造を採用すると、柱状スペーサ40を有することによって表示品位の低下を抑制できる効果が顕著にあらわれる。

[0066] 本発明の実施形態によるFFSモードの液晶表示装置は例示した構成に限られず、公知のFFSモードの液晶表示装置に広く適用できる。例えば、画素電極と共通電極との配置関係は逆であってもよい。すなわち、画素電極は第2透明導電層20に含まれており、共通電極は第1透明導電層18に含まれていてもよい。また、本発明の実施形態による液晶表示装置は、横電界モードの液晶表示装置に限られず、例えばVAモードまたはTNモード等の縦電界モードの液晶表示装置であってもよい。VAモードまたはTNモードの液晶表示装置においては、第2透明導電層20で画素電極を形成し、第1透明導電層18で補助容量電極を形成し、対向基板30に、画素電極に対向する対向電極を設ければよい。

[0067] 複数の柱状スペーサ40は、第1柱状スペーサ40aよりも低い第2柱状スペーサをさらに含んでもよい。図5をあわせて参照しながら、第2柱状スペーサ40bについて説明する。図5は、液晶表示装置100Aを模式的に示す別の断面図である。図5は、第2方向に直交する断面を示している。

[0068] 第1柱状スペーサ40aは、TF基板10および対向基板30の両方に接触するのに対し、第2柱状スペーサ40bは、対向基板30にのみ接触する。すなわち、第2柱状スペーサ40bは、TF基板10と接触していない。第1柱状スペーサ40aは「メインスペーサ」と呼ばれることもあり、第2柱状スペーサ40bは「サブスペーサ」と呼ばれることもある。液晶パネルが押圧されたときには、第2柱状スペーサ40bも両方の基板に接することがある。

[0069] 第2柱状スペーサ40bは、TF基板10の法線方向から見たとき、複数のソースバスラインSLの内の少なくとも2つと重なるように構成されている。このような構造を有する第2柱状スペーサ40bは、たとえ液晶表示装置100Aに外部からの力が加えられて、第2柱状スペーサ40bがTF基板10に接触しても、TF基板10の液晶層50側の表面のうちの、

凸部 R 2 以外の部分には接触し難い。従って、第 2 柱状スペーサ 4 0 b によって、T F T 基板 1 0 の配向膜 2 9 のうちの凸部 R 2 以外の部分に形成された配向膜 2 9 が削ることが抑制される。

[0070] ただし、液晶表示装置 1 0 0 A が有する第 2 柱状スペーサ（サブスペーサ）は、上記の構成を有するものに限られない。T F T 基板 1 0 の法線方向から見たとき、複数のソースバスライン S L の内の 1 つのみと重なるように構成されていてもよい。サブスペーサは、外部から大きな力が加えられない限り T F T 基板 1 0 に接触しないので、サブスペーサによって配向膜が部分的に剥がれ、それに起因して表示品位が低下することは少ないと考えられるためである。

[0071] 第 2 柱状スペーサ 4 0 b は、例えば第 1 柱状スペーサ 4 0 a よりもおおよそ $0.5 \mu\text{m}$ 低い。単位面積当たりの第 1 柱状スペーサ 4 0 a の数と第 2 柱状スペーサ 4 0 b の数との割合は適宜調整され得るが、例えば 1 対 1 0 である。第 2 柱状スペーサ 4 0 b の数を多くすることによって、液晶表示装置の耐押圧性を向上させることができる。

[0072] 図 6 および図 7 を参照しながら、液晶表示装置 1 0 0 A が、比較例の液晶表示装置 9 0 0 に比べて高い開口率を得ることができることを説明する。図 6 は、液晶表示装置 1 0 0 A の遮光層（ブラックマトリクス）3 2、カラーフィルタ層 3 3、および柱状スペーサ 4 0 の配置を模式的に示す平面図であり、図 7 は、比較例の液晶表示装置 9 0 0 の遮光層 9 3 2、カラーフィルタ層 3 3、および柱状スペーサ 9 4 0 の配置を模式的に示す平面図である。図 7 では、液晶表示装置 1 0 0 A の構成要素と実質的に同じ構成要素には同じ参照符号を付しており、その説明を省略することがある。

[0073] 図 6 に示すように、液晶表示装置 1 0 0 A が有する遮光層 3 2 は、第 1 方向に延びる複数の第 1 遮光部 3 2 a と、第 2 方向に延びる複数の第 2 遮光部 3 2 b とを含む。T F T 基板 1 0 の法線方向から見たとき、第 1 遮光部 3 2 a のそれぞれは、ゲートバスライン G L と重なり、第 2 遮光部 3 2 b のそれぞれは、ソースバスライン S L と重なる。すなわち、T F T 基板 1 0 の法線

方向から見たとき、第1遮光部32aのそれぞれは、第1凸部と重なり、第2遮光部32bのそれぞれは、第2凸部と重なる。柱状スペーサ40のそれぞれは、少なくとも2つの第2遮光部32b（ここでは互いに隣接する2つの第2遮光部32b）と重なるように形成されている。なお、図6の柱状スペーサ40は、第1柱状スペーサ40aおよび第2柱状スペーサ40bを含み得る。カラーフィルタ層33は、赤カラーフィルタ33R、緑カラーフィルタ33G、および青カラーフィルタ33Bを含む。なお、柱状スペーサ40の配置とカラーフィルタ層33との関係や柱状スペーサ40の配置密度は、例示するものに限定されるものではない。

[0074] 図7に示すように、比較例の液晶表示装置900が有する遮光層932は、第1方向に延びる複数の第1遮光部932aと、第2方向に延びる複数の第2遮光部932bとを含む。上述したように、比較例の液晶表示装置900においては、柱状スペーサ940によって、TFT基板10の配向膜29のうちの凸部（第1凸部および第2凸部を含む）以外の部分に形成された配向膜29が削られることがある。これに起因した表示品位の低下を抑制するために、柱状スペーサ940を有する画素における第1遮光部932aの幅は、柱状スペーサ940の第2方向の長さ W_{sa} に対して比較的大きく設定されている。図中では、この差の長さ（すなわち、柱状スペーサ940を有する画素における第1遮光部932aの幅と、柱状スペーサ940の第2方向の長さ W_{sa} との差の長さ）を W_{bp} とする。ここで、柱状スペーサ940の第2方向の長さ W_{sa} は、例えば柱状スペーサ940の底面（底部）の第2方向の長さである。液晶表示装置100Aの柱状スペーサ40の第2方向の長さ W_{sa} についても同様である。

[0075] また、R画素、G画素、およびB画素の開口率の差は小さいことが好ましいので、 W_{bp} の長さが大きくなると、柱状スペーサ940を有しない画素における第1遮光部932aの幅 W_{ba} も大きくなり得る。

[0076] これに対して、液晶表示装置100Aにおいては、柱状スペーサ40によって、TFT基板10の配向膜29のうちの凸部（第1凸部および第2凸部

を含む)以外の部分に形成された配向膜29が削られることが抑制される。従って、図6に示すように、柱状スペーサ40を有する画素における第1遮光部32aの幅と、柱状スペーサ40の第2方向の長さ W_{sa} との差の長さ W_{bp} を、比較例の液晶表示装置900に比べて小さくすることができる。例えば、表示品位を確保する観点から、比較例の液晶表示装置900における W_{bp} の長さはおよそ $6\mu m \sim 7\mu m$ とすることが好ましいのに対し、液晶表示装置100Aにおいては、表示品位を保ったまま、 W_{bp} の長さをおよそ $2\mu m \sim 3\mu m$ にすることができる。

[0077] また、液晶表示装置100Aの柱状スペーサ40を有しない画素における第1遮光部32aの幅 W_{ba} は、比較例の液晶表示装置900の柱状スペーサ940を有しない画素における第1遮光部932aの幅 W_{ba} よりも小さい。

[0078] このように、遮光層32の面積を比較例の液晶表示装置900に比べて小さくすることができるので、液晶表示装置100Aは、比較例の液晶表示装置900に比べて開口率を向上させることができる。

[0079] 柱状スペーサ40の形状は図示した例に限定されず、種々の形状(例えば略正方形、略六角形など)であってよい。図3には、基板11の法線方向から見たときの柱状スペーサ40の形状が略円形である例を示したが、図6に示すように、基板11の法線方向から見たときの柱状スペーサ40の形状を略楕円形としてもよい。柱状スペーサ40の第2方向の長さを小さくすることによって、液晶表示装置100Aの開口率をさらに向上させることができる。

[0080] [製造方法]

本実施形態における液晶表示装置100Aは、例えば、以下のようにして製造することができる。

[0081] まず、対向基板30の作製方法を説明する。

[0082] まず、透明基板(例えばガラス基板)31上に遮光膜を堆積し、この遮光膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによ

って、遮光層 32 を形成する。遮光層 32 は、例えば、厚さ 200 nm の Ti 層である。なお、遮光層 32 の材料は、例示したような金属材料に限定されず、例えば、黒色の感光性樹脂材料であってもよい。

[0083] 次に、赤 (R) 画素、緑 (G) 画素および青 (B) 画素に対応する領域に赤カラーフィルタ 33 R、緑カラーフィルタ 33 G および青カラーフィルタ 33 B を順次形成することにより、カラーフィルタ層 33 を形成する。赤カラーフィルタ 33 R、緑カラーフィルタ 33 G および青カラーフィルタ 33 B の材料としては、例えば、着色された感光性樹脂材料を用いることができる。

[0084] 次に、カラーフィルタ層 33 を覆うオーバーコート層を形成する。オーバーコート層は、例えば熱硬化性樹脂や感光性樹脂のような有機材料を用いて形成する。

[0085] 続いて、オーバーコート層上に、複数の柱状スペーサ 40 を形成する。複数の柱状スペーサ 40 は、例えば、感光性樹脂材料から形成される。

[0086] 最後に、オーバーコート層および柱状スペーサ 40 を覆うように配向膜 39 を形成し、配向膜 39 に配向処理 (例えば光配向処理) を施すことにより、対向基板 30 が得られる。

[0087] 次に、TFT 基板 10 の作製方法を説明する。

[0088] まず、透明基板 (例えばガラス基板) 11 上に導電膜を堆積し、この導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、ゲート電極 12 g およびゲートバスライン GL を含む第 1 導電層 12 を形成する。第 1 導電層 12 は、例えば、厚さ 30 nm の TaN 層および厚さ 300 nm の W 層がこの順で積層された積層構造を有する。

[0089] 次に、第 1 導電層 12 を覆うようにゲート絶縁層 13 を形成する。ゲート絶縁層 13 は、例えば、厚さ 325 nm の SiNx 層および厚さ 50 nm の SiO₂ 層がこの順で積層された積層構造を有する。

[0090] 続いて、ゲート絶縁層 13 上に酸化物半導体膜を堆積し、この酸化物半導体膜をフォトリソグラフィプロセスで所望の形状にパターニングすることにより、

よって、酸化物半導体層 14 を形成する。酸化物半導体層 14 は、例えば、厚さ 50 nm の In-Ga-Zn-O 系の半導体層である。

[0091] その後、導電膜を堆積し、この導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、ソース電極 16s およびソースバスライン SL を含む第 2 導電層 16 を形成する。第 2 導電層 16 は、例えば、厚さ 30 nm の Ti 層、厚さ 200 nm の Al 層および厚さ 100 nm の Ti 層がこの順で積層された積層構造を有する。

[0092] 次に、酸化物半導体層 14 および第 2 導電層 16 を覆うように、層間絶縁層 17 を形成する。層間絶縁層 17 は、例えば、厚さ 300 nm の SiO_2 層である。層間絶縁層 17 は、半導体層 14 のドレイン領域に達する開口部 17h を有する。

[0093] その後、層間絶縁層 17 上に透明導電膜を堆積し、この透明導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、画素電極 18a およびドレイン電極 18d を含む第 1 透明導電層 18 を形成する。第 1 透明導電層 18 は、例えば、厚さ 100 nm の IZO 層である。

[0094] 次に、第 1 透明導電層 18 を覆うように無機絶縁層 19 を形成する。無機絶縁層 19 は、例えば、厚さ 100 nm の SiN 層である。

[0095] 続いて、無機絶縁層 19 上に透明導電膜を堆積し、この透明導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、スリット 20s を有する共通電極 20 を含む第 2 透明導電層 20 を形成する。第 2 透明導電層 20 は、例えば、厚さ 100 nm の IZO 層である。

[0096] その後、第 2 透明導電層 20 を覆うように全面に配向膜 29 を形成し、配向膜 29 に配向処理（例えば光配向処理）を施すことにより、TFT 基板 10 が得られる。

[0097] 上述したようにして作製された TFT 基板 10 および対向基板 30 を互いに貼り合せ、両者の間隙に液晶材料を注入することによって液晶層 50 を形成する。その後、得られた構造体を個々のパネルに分断することにより、液晶表示装置 100A が完成する。

[0098] (実施形態2)

図8を参照しながら、本実施形態の液晶表示装置100Bを説明する。図8は、液晶表示装置100Bを模式的に示す断面図である。以下では、液晶表示装置100Bが、実施形態1における液晶表示装置100Aと異なる点を中心に説明を行う。

[0099] 液晶表示装置100Bにおいては、図8に示すように、第1柱状スペーサ40aが支持する2つの凸部R2が延びる方向（すなわち第2方向）と直交する方向において、第1柱状スペーサ40aの頂面Tpの幅Wpは、複数の画素の画素ピッチPxよりも大きい。図示する例では、Pxは第2方向と直交する第1方向の画素ピッチである。このような構造を有する第1柱状スペーサ40aは、TF基板10の液晶層50側の表面のうち、凸部R2以外の部分にいっそう接触し難い。例えば、TF基板10と対向基板30との位置関係が図8に示す状態から第2方向に直交する方向（図1の左右方向）にずれても、第1柱状スペーサ40aは、常に互いに隣接する2つの凸部R2を支持するので、互いに隣接する2つの凸部R2の間に形成されている凹部に入り込み難い。液晶表示装置100Bにおいては、TF基板10の配向膜29のうちの凸部（第1凸部および第2凸部を含む）以外の部分に形成された配向膜29が削られることがより効果的に抑制される。

[0100] (実施形態3)

図9を参照しながら、本実施形態の液晶表示装置100Cを説明する。図9は、液晶表示装置100Cを模式的に示す断面図である。以下では、液晶表示装置100Cが、実施形態1における液晶表示装置100Aと異なる点を中心に説明を行う。

[0101] 液晶表示装置100Cにおいては、図9に示すように、第1柱状スペーサ40aが支持する少なくとも2つの凸部R2が延びる方向（すなわち第2方向）と直交する方向において、第1柱状スペーサ40aの頂面Tpの幅Wpは、第1柱状スペーサ40aが支持する少なくとも2つの凸部R2を覆っている。ここでは、第2方向と直交する方向において、第1柱状スペーサ40

aの頂面T_pの幅W_pは、互いに隣接する2つの凸部R₂を覆っている。このような構造を有する第1柱状スペーサ40aは、TFT基板10の液晶層50側の表面のうち、凸部R₂以外の部分にいっそう接触し難い。液晶表示装置100Cにおいては、TFT基板10の配向膜29のうちの凸部（第1凸部および第2凸部を含む）以外の部分に形成された配向膜29が削られることがより効果的に抑制される。

[0102] （実施形態4）

図10および図11を参照しながら、本実施形態の液晶表示装置100Dを説明する。図10および図11は、液晶表示装置100Dを模式的に示す断面図および平面図である。図10は、図11中のB-B'線に沿った断面を示している。以下では、液晶表示装置100Dが、実施形態1における液晶表示装置100Aと異なる点を中心に説明を行う。

[0103] 図10および図11に示すように、液晶表示装置100Dにおいて、TFT基板10は、第1柱状スペーサ40aが支持する少なくとも2つの凸部R₂の内の互いに隣接する凸部R₂の間に、層間絶縁層17を有しない領域を含む。層間絶縁層17は、互いに隣接する凸部R₂の間に開口部17aを有する。

[0104] 液晶表示装置100Dは、互いに隣接する凸部R₂の間に、層間絶縁層17を有しない領域を含むので、液晶表示装置100Aに比べて、凸部R₂の高さ（凸部R₂におけるTFT基板10の液晶層50側の表面の高さ）と、隣接する2つの凸部R₂の間に形成されている凹部の高さ（凹部におけるTFT基板10の液晶層50側の表面の高さ）との差が大きい。これにより、隣接する2つの凸部R₂の間に形成されている凹部に形成されている配向膜29が削られることが効果的に抑制される。

[0105] 表示に寄与する領域に形成されている配向膜29が削られることを抑制するために、開口部17aは、表示に寄与する領域に形成されていることが好ましい。ここでは、開口部17aは、TFT基板10の法線方向から見たとき、画素電極18aと重なっている。図示するように、開口部17aの全て

が、TFT基板10の法線方向から見たとき、画素電極18aと重なっていてもよい。ここでは、開口部17aは半導体層14のドレイン領域に達しており、ドレイン電極18dは、層間絶縁層17に形成された開口部17a内において、半導体層14のドレイン領域の上面に接触している。なお、開口部17aの大きさや形状は、例示するものに限定されない。

[0106] (実施形態5)

図12を参照しながら、本実施形態の液晶表示装置100Eを説明する。図12は、液晶表示装置100Eを模式的に示す断面図である。以下では、液晶表示装置100Eが、実施形態1における液晶表示装置100Aと異なる点を中心に説明を行う。

[0107] 図12に示すように、液晶表示装置100EのTFT基板10は、第1柱状スペーサ40aが支持する少なくとも2つの凸部R2と重なる領域において、層間絶縁層17上に形成された遮光層28をさらに含む。遮光層28は、TFT基板10の法線方向から見たとき、ソースバスラインSLと重なる。遮光層28は、ここでは、第2透明導電層20上に第2透明導電層20に接触するように形成されている。遮光層28は、第2透明導電層20の下に第2透明導電層20に接触するように形成されていてもよい。遮光層28は、例えば金属材料で形成されていてもよいし、あるいは、黒色の感光性樹脂材料で形成されていてもよい。

[0108] 液晶表示装置100EのTFT基板10は遮光層28をさらに含むので、液晶表示装置100Aに比べて、凸部R2におけるTFT基板10の液晶層50側の表面の高さが高い。すなわち、液晶表示装置100Aに比べて、凸部R2の高さ（凸部R2におけるTFT基板10の液晶層50側の表面の高さ）と、隣接する2つの凸部R2の間に形成されている凹部の高さ（凹部におけるTFT基板10の液晶層50側の表面の高さ）との差が大きい。従って、隣接する2つの凸部R2の間に形成されている凹部に形成されている配向膜29が削られることが効果的に抑制される。

[0109] 液晶表示装置100Aにおいては、TFT基板10と対向基板30との間

にアライメントずれが生じて、ソースバスラインSLの一部が対向基板30の遮光層32に覆われていない場合、ソースバスラインSLのその部分の表面反射によって表示品位が低下することがある。液晶表示装置100Eは、ソースバスラインSLと重なる遮光層28を有することによって、TFT基板10と対向基板30との間にアライメントずれが生じた場合であっても、ソースバスラインSLの表面の反射による表示品位の低下を抑制することができる。

[0110] (実施形態6)

図13を参照しながら、本実施形態の液晶表示装置100Fを説明する。図13は、液晶表示装置100Fを模式的に示す断面図である。以下では、液晶表示装置100Fが、実施形態1における液晶表示装置100Aと異なる点を中心に説明を行う。

[0111] 図13に示すように、液晶表示装置100FのTFT基板10は、第1柱状スペーサ40aが支持する少なくとも2つの凸部R2と重なる領域において、層間絶縁層17上に形成された第3導電層22をさらに含む。第3導電層22は、第2透明導電層20上に、絶縁層21を介して形成されている。第3導電層22は、TFT基板10の法線方向から見たとき、ソースバスラインSLと重なる。

[0112] 第3導電層22は、第1透明導電層18および第2透明導電層20とは別に独立した導電層として形成されており、画素電極、共通電極、および補助容量電極のいずれをも含まない。第3導電層22は、例えば、タッチスクリーン機能を有する液晶表示パネル用のTFT基板において、複数の共通電極の内の少なくともいずれか1つと接続され、タッチスクリーン制御回路から、タッチ駆動信号およびタッチ検出信号を送受信するための複数の信号線を形成するための導電層であってもよい。あるいは、第3導電層22は、共通電極20の電気抵抗を低下させるための補助配線を形成するための導電層であってもよい。第3導電層22は、実施形態5において説明した遮光層として機能してもよい。

[0113] 液晶表示装置 100F の TFT 基板 10 は第 3 導電層 22 をさらに含むので、液晶表示装置 100A に比べて、凸部 R2 における TFT 基板 10 の液晶層 50 側の表面の高さが高い。すなわち、液晶表示装置 100A に比べて、凸部 R2 の高さ（凸部 R2 における TFT 基板 10 の液晶層 50 側の表面の高さ）と、隣接する 2 つの凸部 R2 の間に形成されている凹部の高さ（凹部における TFT 基板 10 の液晶層 50 側の表面の高さ）との差が大きい。従って、隣接する 2 つの凸部 R2 の間に形成されている凹部に形成されている配向膜 29 が削られることが効果的に抑制される。

[0114] （実施形態 7）

先の実施形態では、第 1 柱状スペーサが、複数のソースバスラインと重なる複数の凸部の内の少なくとも 2 つの凸部を、頂面において支持する例を説明してきたが、本発明の実施形態はこれに限定されるものではない。本実施形態では、第 1 柱状スペーサが、複数のゲートバスラインと重なる複数の凸部の内の少なくとも 2 つの凸部を、頂面において支持する例を説明する。

[0115] 図 14 および図 15 を参照しながら、本実施形態の液晶表示装置 100G を説明する。図 14 および図 15 は、液晶表示装置 100G を模式的に示す平面図および断面図である。以下では、液晶表示装置 100G が、実施形態 1 における液晶表示装置 100A と異なる点を中心に説明を行う。図 15 は、第 1 方向に直交する断面を示している。

[0116] 図 15 に示すように、液晶表示装置 100G において、第 1 柱状スペーサ 40a は、複数のゲートバスライン GL と重なる複数の第 1 凸部 R1 の内の少なくとも 2 つの凸部 R1 を、頂面 Tp において支持する。

[0117] このような構成を有する液晶表示装置 100G においても、液晶表示装置 100A と同様の効果が得られる。第 1 柱状スペーサ 40a は、TFT 基板 10 の液晶層 50 側の表面のうち、凸部 R1 以外の部分に接触し難いので、液晶表示装置 100G においては、TFT 基板 10 の配向膜 29 のうちの凸部（第 1 凸部および第 2 凸部を含む）以外の部分に形成された配向膜 29 が削られることが抑制される。従って、表示品位の低下が抑制される。表示品

位の低下を抑制するために、遮光層の面積を従来よりも大きくする必要もない。このように、液晶表示装置 100G は、開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる。

[0118] 図 14 に示すように、液晶表示装置 100G においては、第 2 方向（列方向）に配列された赤（R）、緑（G）および青（B）画素によって 1 つのカラー表示画素が構成されており、R 画素行、G 画素行、B 画素行がストライプ状に配列されている（すなわち、画素行ごとに異なる色を表示する）。このような複数の画素の配列は、「横ストライプ配列」と呼ばれることもある。液晶表示装置 100G においては、第 2 方向の画素ピッチは第 1 方向の画素ピッチよりも小さい。

[0119] なお、複数の柱状スペーサ 40 は、第 2 柱状スペーサ（サブスペーサ）をさらに含んでもよい。図 14 中の柱状スペーサ 40 は、第 1 柱状スペーサ 40a および第 2 柱状スペーサ 40b を含んでもよい。図 14 に示す第 2 柱状スペーサ 40b は、TFT 基板 10 と接触しておらず、TFT 基板 10 の法線方向から見たとき、複数のゲートバスライン GL の内の少なくとも 2 つと重なっている。

[0120] [酸化物半導体について]

半導体層 14 は、酸化物半導体層であってもよい。酸化物半導体層 14 に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c 軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0121] 酸化物半導体層 14 は、2 層以上の積層構造を有していてもよい。酸化物半導体層 14 が積層構造を有する場合、酸化物半導体層 14 は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよいし、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよく、また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層 14 が上層と下層とを

含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0122] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0123] 酸化物半導体層14は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本発明の実施形態では、酸化物半導体層14は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層14は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

[0124] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0125] なお、結晶質In-Ga-Zn-O系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。In-Ga-Zn-O系半導体層を有するTFETは、高い移動度（a-SiTFETに比べ20倍超）および低いリーク電流（a-SiTFETに比べ100分の1未満）を有して

いるので、駆動TF T（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれるTF T）および画素TF T（画素に設けられるTF T）として好適に用いられる。

[0126] 酸化物半導体層14は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ； InSnZnO ）を含んでもよい。 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層14は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体などを含んでいてもよい。

[0127] なお、酸化物半導体層14を活性層として用いるTF T15は、「チャネルエッチ型のTF T」であってもよいし、「エッチストップ型のTF T」であってもよい。

[0128] 「チャネルエッチ型のTF T」では、チャネル領域上にエッチストップ層が形成されておらず、ソースおよびドレイン電極のチャネル側の端部下面は、酸化物半導体層の上面と接するように配置されている。チャネルエッチ型のTF Tは、例えば酸化物半導体層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。ソース・ドレイン分離工程において、チャネル領域の表面部分がエッチングされる場合がある。

[0129] 一方、チャネル領域上にエッチストップ層が形成されたTF T（エッチストップ型TF T）では、ソースおよびドレイン電極のチャネル側の端部下面は、例えばエッチストップ層上に位置する。エッチストップ型のTF Tは、例えば酸化物半導体層のうちチャネル領域となる部分を覆うエッチストップ

層を形成した後、酸化物半導体層およびエッチストップ層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。

[0130] [TFT基板の他の構成]

以下、図面を参照しながら、本発明の実施形態による液晶表示装置に用いられる他のTFT基板を説明する。ここで説明するTFT基板は、同一基板上に形成された酸化物半導体TFTと結晶質シリコンTFTとを備えるアクティブマトリクス基板である。

[0131] アクティブマトリクス基板は、画素毎にTFT（画素用TFT）を備えている。画素用TFTとしては、例えばIn-Ga-Zn-O系の半導体膜を活性層とする酸化物半導体TFTが用いられる。

[0132] 画素用TFTと同一基板上に、周辺駆動回路の一部または全体を一体的に形成することもある。このようなアクティブマトリクス基板は、ドライバモノリシックのアクティブマトリクス基板と呼ばれる。ドライバモノリシックのアクティブマトリクス基板では、周辺駆動回路は、複数の画素を含む領域（表示領域）以外の領域（非表示領域または額縁領域）に設けられる。周辺駆動回路を構成するTFT（回路用TFT）は、例えば、多結晶シリコン膜を活性層とした結晶質シリコンTFTが用いられる。このように、画素用TFTとして酸化物半導体TFTを用い、回路用TFTとして結晶質シリコンTFTを用いると、表示領域では消費電力を低くすることが可能となり、さらに、額縁領域を小さくすることが可能となる。

[0133] 次に、酸化物半導体TFTと結晶質シリコンTFTとを備えるアクティブマトリクス基板のより具体的な構成を、図面を用いて説明する。

[0134] 図16は、TFT基板10Aの平面構造の一例を示す模式的な平面図であり、図17は、TFT基板10Aにおける結晶質シリコンTFT（以下、「第1薄膜トランジスタ」と称する。）710Aおよび酸化物半導体TFT（以下、「第2薄膜トランジスタ」と称する。）710Bの断面構造を示す断面図である。

[0135] 図16に示すように、TFT基板10Aは、複数の画素を含む表示領域702と、表示領域702以外の領域（非表示領域）とを有している。非表示領域は、駆動回路が設けられる駆動回路形成領域701を含んでいる。駆動回路形成領域701には、例えばゲートドライバ回路740、検査回路770などが設けられている。表示領域702には、行方向に延びる複数のゲートバスライン（図示せず）と、列方向に延びる複数のソースバスラインSLとが形成されている。図示していないが、各画素は、例えばゲートバスラインおよびソースバスラインSLで規定されている。ゲートバスラインは、それぞれ、ゲートドライバ回路の各端子に接続されている。ソースバスラインSLは、それぞれ、TFT基板10Aに実装されるドライバIC750の各端子に接続されている。

[0136] 図17に示すように、TFT基板10Aにおいて、表示領域702の各画素には画素用TFTとして第2薄膜トランジスタ710Bが形成され、駆動回路形成領域701には回路用TFTとして第1薄膜トランジスタ710Aが形成されている。

[0137] TFT基板10Aは、基板711と、基板711の表面に形成された下地膜712と、下地膜712上に形成された第1薄膜トランジスタ710Aと、下地膜712上に形成された第2薄膜トランジスタ710Bとを備えている。第1薄膜トランジスタ710Aは、結晶質シリコンを主として含む活性領域を有する結晶質シリコンTFTである。第2薄膜トランジスタ710Bは、酸化物半導体を主として含む活性領域を有する酸化物半導体TFTである。第1薄膜トランジスタ710Aおよび第2薄膜トランジスタ710Bは、基板711に一体的に作り込まれている。ここでいう「活性領域」とは、TFTの活性層となる半導体層のうちチャネルが形成される領域を指すものとする。

[0138] 第1薄膜トランジスタ710Aは、下地膜712上に形成された結晶質シリコン半導体層（例えば低温ポリシリコン層）713と、結晶質シリコン半導体層713を覆う第1の絶縁層714と、第1の絶縁層714上に設けら

れたゲート電極 715A とを有している。第1の絶縁層 714 のうち結晶質シリコン半導体層 713 とゲート電極 715A との間に位置する部分は、第1薄膜トランジスタ 710A のゲート絶縁膜として機能する。結晶質シリコン半導体層 713 は、チャネルが形成される領域（活性領域） 713c と、活性領域の両側にそれぞれ位置するソース領域 713s およびドレイン領域 713d とを有している。この例では、結晶質シリコン半導体層 713 のうち、第1の絶縁層 714 を介してゲート電極 715A と重なる部分が活性領域 713c となる。第1薄膜トランジスタ 710A は、また、ソース領域 713s およびドレイン領域 713d にそれぞれ接続されたソース電極 718sA およびドレイン電極 718dA を有している。ソースおよびドレイン電極 718sA、718dA は、ゲート電極 715A および結晶質シリコン半導体層 713 を覆う層間絶縁膜（ここでは、第2の絶縁層 716）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン半導体層 713 と接続されていてもよい。

[0139] 第2薄膜トランジスタ 710B は、下地膜 712 上に設けられたゲート電極 715B と、ゲート電極 715B を覆う第2の絶縁層 716 と、第2の絶縁層 716 上に配置された酸化物半導体層 717 とを有している。図示するように、第1薄膜トランジスタ 710A のゲート絶縁膜である第1の絶縁層 714 が、第2薄膜トランジスタ 710B を形成しようとする領域まで延設されていてもよい。この場合には、酸化物半導体層 717 は、第1の絶縁層 714 上に形成されていてもよい。第2の絶縁層 716 のうちゲート電極 715B と酸化物半導体層 717 との間に位置する部分は、第2薄膜トランジスタ 710B のゲート絶縁膜として機能する。酸化物半導体層 717 は、チャネルが形成される領域（活性領域） 717c と、活性領域の両側にそれぞれ位置するソースコンタクト領域 717s およびドレインコンタクト領域 717d を有している。この例では、酸化物半導体層 717 のうち、第2の絶縁層 716 を介してゲート電極 715B と重なる部分が活性領域 717c となる。また、第2薄膜トランジスタ 710B は、ソースコンタクト領域 71

7 s およびドレインコンタクト領域 7 1 7 d にそれぞれ接続されたソース電極 7 1 8 s B およびドレイン電極 7 1 8 d B をさらに有している。尚、基板 7 1 1 上に下地膜 7 1 2 を設けない構成も可能である。

[0140] 薄膜トランジスタ 7 1 0 A、7 1 0 B は、パッシベーション膜 7 1 9 で覆われている。画素用 T F T として機能する第 2 薄膜トランジスタ 7 1 0 B では、ゲート電極 7 1 5 B はゲートバスライン（図示せず）、ソース電極 7 1 8 s B はソースバスライン（図示せず）、ドレイン電極 7 1 8 d B は画素電極 7 2 3 に接続されている。この例では、ドレイン電極 7 1 8 d B は、パッシベーション膜 7 1 9 に形成された開口部内で、対応する画素電極 7 2 3 と接続されている。ソース電極 7 1 8 s B にはソースバスラインを介してビデオ信号が供給され、ゲートバスラインからのゲート信号に基づいて画素電極 7 2 3 に必要な電荷が書き込まれる。

[0141] なお、図示するように、パッシベーション膜 7 1 9 上にコモン電極として透明導電層 7 2 1 が形成され、透明導電層（コモン電極）7 2 1 と画素電極 7 2 3 との間に第 3 の絶縁層 7 2 2 が形成されていてもよい。この場合、画素電極 7 2 3 にスリット状の開口が設けられていてもよい。このような T F T 基板 1 0 A は、例えば F F S モードの表示装置に適用され得る。F F S モードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極 7 2 3 から出て液晶層（図示せず）を通り、さらに画素電極 7 2 3 のスリット状の開口を通してコモン電極 7 2 1 に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

[0142] また、図 1 6 に示す検査回路 7 7 0 を構成する T F T（検査用 T F T）として、酸化物半導体 T F T である薄膜トランジスタ 7 1 0 B を用いてもよい。

- [0143] なお、図示していないが、検査TF Tおよび検査回路は、例えば、図16に示すドライバIC 750が実装される領域に形成されてもよい。この場合、検査用TF Tは、ドライバIC 750と基板711との間に配置される。
- [0144] 図示する例では、第1薄膜トランジスタ710Aは、ゲート電極715Aと基板711（下地膜712）との間に結晶質シリコン半導体層713が配置されたトップゲート構造を有している。一方、第2薄膜トランジスタ710Bは、酸化物半導体層717と基板711（下地膜712）との間にゲート電極715Bが配置されたボトムゲート構造を有している。このような構造を採用することにより、同一基板711上に、2種類の薄膜トランジスタ710A、710Bを一体的に形成する際に、製造工程数や製造コストの増加をより効果的に抑えることが可能である。
- [0145] 第1薄膜トランジスタ710Aおよび第2薄膜トランジスタ710BのTF T構造は上記に限定されない。例えば、これらの薄膜トランジスタ710A、710Bは同じTF T構造を有していてもよい。あるいは、第1薄膜トランジスタ710Aがボトムゲート構造、第2薄膜トランジスタ710Bがトップゲート構造を有していてもよい。また、ボトムゲート構造の場合、薄膜トランジスタ710Bのようにチャネルエッチ型でもよいし、エッチストップ型でもよい。また、ソース電極およびドレイン電極が半導体層の下方に位置するボトムコンタクト型でもよい。
- [0146] 第2薄膜トランジスタ710Bのゲート絶縁膜である第2の絶縁層716は、第1薄膜トランジスタ710Aが形成される領域まで延設され、第1薄膜トランジスタ710Aのゲート電極715Aおよび結晶質シリコン半導体層713を覆う層間絶縁膜として機能してもよい。このように第1薄膜トランジスタ710Aの層間絶縁膜と第2薄膜トランジスタ710Bのゲート絶縁膜とが同一の層（第2の絶縁層）716内に形成されている場合、第2の絶縁層716は積層構造を有していてもよい。例えば、第2の絶縁層716は、水素を供給可能な水素供与性の層（例えば窒化珪素層）と、水素供与性の層上に配置された、酸素を供給可能な酸素供与性の層（例えば酸化珪素層）

）とを含む積層構造を有していてもよい。

[0147] 第1薄膜トランジスタ710Aのゲート電極715Aと、第2薄膜トランジスタ710Bのゲート電極715Bとは、同一層内に形成されていてもよい。また、第1薄膜トランジスタ710Aのソースおよびドレイン電極718sA、718dAと、第2薄膜トランジスタ710Bのソースおよびドレイン電極718sB、718dBとは、同一の層内に形成されていてもよい。「同一層内に形成されている」とは、同一の膜（導電膜）を用いて形成されていることをいう。これにより、製造工程数および製造コストの増加を抑制できる。

産業上の利用可能性

[0148] 本発明の実施形態によると、液晶表示装置の開口率の低下を抑制しつつ、柱状スペーサによって配向膜が部分的に剥がれることに起因した表示品位の低下を抑制することができる。本発明の実施形態は、例えば高精細な液晶表示装置に好適に用いられる。

符号の説明

[0149] 10、10A TFT基板

- 11 基板
- 12 第1導電層
- 12g ゲート電極
- 13 ゲート絶縁層
- 14 半導体層
- 16 第2導電層
- 16s ソース電極
- 17 層間絶縁層
- 18 第1透明導電層
- 18a 第1透明電極（画素電極）
- 18d ドレイン電極
- 19 無機絶縁層

- 2 0 第2透明導電層（共通電極）
- 2 0 s スリット
- 2 1 絶縁層
- 2 2 第3導電層
- 2 8 遮光層
- 2 9 配向膜
- 3 0 対向基板
- 3 2 遮光層（ブラックマトリクス）
- 3 3 カラーフィルタ層
- 3 9 配向膜
- 4 0 柱状スペーサ
- 4 0 a 第1柱状スペーサ
- 4 0 b 第2柱状スペーサ
- 5 0 液晶層
- 1 0 0 A、1 0 0 B、1 0 0 C、1 0 0 D 液晶表示装置
- 1 0 0 E、1 0 0 F、1 0 0 G 液晶表示装置
- G L ゲートバスライン
- R 1、R 2 凸部
- S L ソースバスライン

請求の範囲

- [請求項1] T F T 基板と、前記 T F T 基板に対向するように設けられた対向基板と、前記 T F T 基板および前記対向基板の間に設けられた液晶層とを備え、
- 複数の行および複数の列を有するマトリクス状に配列された複数の画素を有する液晶表示装置であって、
- 前記 T F T 基板は、前記複数の画素のそれぞれに設けられた T F T と、第 1 方向に延びる複数のゲートバスラインと、前記第 1 方向と異なる第 2 方向に延びる複数のソースバスラインとを有し、
- 前記対向基板は、前記液晶層の厚さを規定する複数の柱状スペーサを有し、
- 前記 T F T 基板の前記液晶層側の表面は、
- 前記複数のゲートバスラインと重なり前記第 1 方向に延び、前記液晶層側に突き出ている複数の第 1 凸部と、
- 前記複数のソースバスラインと重なり前記第 2 方向に延び、前記液晶層側に突き出ている複数の第 2 凸部と
- を有し、
- 前記複数の柱状スペーサは、前記複数の第 1 凸部の内の少なくとも 2 つの凸部または前記複数の第 2 凸部の内の少なくとも 2 つの凸部を、頂面において支持する第 1 柱状スペーサを含む、液晶表示装置。
- [請求項2] 前記少なくとも 2 つの凸部が延びる方向と直交する方向において、前記第 1 柱状スペーサの頂面の幅は、前記少なくとも 2 つの凸部の内の互いに隣接する凸部の間に形成されている凹部の幅よりも大きい、請求項 1 に記載の液晶表示装置。
- [請求項3] 前記少なくとも 2 つの凸部が延びる方向と直交する方向において、前記第 1 柱状スペーサの頂面の幅は、前記複数の画素の画素ピッチよりも大きい、請求項 1 または 2 に記載の液晶表示装置。
- [請求項4] 前記少なくとも 2 つの凸部が延びる方向と直交する断面において、

前記第1柱状スペーサの頂面が、前記少なくとも2つの凸部を覆っている、請求項1から3のいずれかに記載の液晶表示装置。

[請求項5] 前記複数の柱状スペーサは、前記TFT基板の法線方向から見たとき、前記複数のゲートバスラインの内の少なくとも2つまたは前記複数のソースバスラインの内の少なくとも2つと重なり、前記TFT基板と接触していない第2柱状スペーサをさらに含む、請求項1から4のいずれかに記載の液晶表示装置。

[請求項6] 前記TFT基板は、
基板と、
前記基板に支持され、前記TFTのゲート電極と、前記複数のゲートバスラインとを含む第1導電層と、
前記基板に支持され、前記TFTのソース電極と、前記複数のソースバスラインとを含む第2導電層と、
前記第1導電層と前記第2導電層との間に形成されたゲート絶縁層と、
前記TFTの半導体層と、
前記第1導電層、前記第2導電層および前記半導体層の上に形成された層間絶縁層と、
前記層間絶縁層上に形成された第1透明導電層と、
前記第1透明導電層上に形成された無機絶縁層と、
前記無機絶縁層上に形成された第2透明導電層と
を有し、
前記層間絶縁層は有機絶縁層を含まない、請求項1から5のいずれかに記載の液晶表示装置。

[請求項7] 前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記第1導電層および前記第2導電層を含む、請求項6に記載の液晶表示装置。

[請求項8] 前記TFT基板は、前記少なくとも2つの凸部の内の互いに隣接す

る凸部の間に、前記層間絶縁層を有しない領域を含む、請求項6または7に記載の液晶表示装置。

[請求項9] 前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記層間絶縁層上に形成された遮光層をさらに含む、請求項6から8のいずれかに記載の液晶表示装置。

[請求項10] 前記遮光層は、前記第2透明導電層上に前記第2透明導電層に接触するように形成されている、請求項9に記載の液晶表示装置。

[請求項11] 前記TFT基板は、前記少なくとも2つの凸部と重なる領域において、前記層間絶縁層上に形成された第3導電層をさらに含む、請求項6から8のいずれかに記載の液晶表示装置。

[請求項12] 前記第3導電層は、前記第2透明導電層上に絶縁層を介して形成されている、請求項11に記載の液晶表示装置。

[請求項13] 前記第1透明導電層は、前記複数の画素のそれぞれに設けられ、前記TFTのドレイン電極に電氣的に接続された画素電極を含む、請求項6から12のいずれかに記載の液晶表示装置。

[請求項14] 前記ドレイン電極は、前記第1透明導電層に含まれる、請求項13に記載の液晶表示装置。

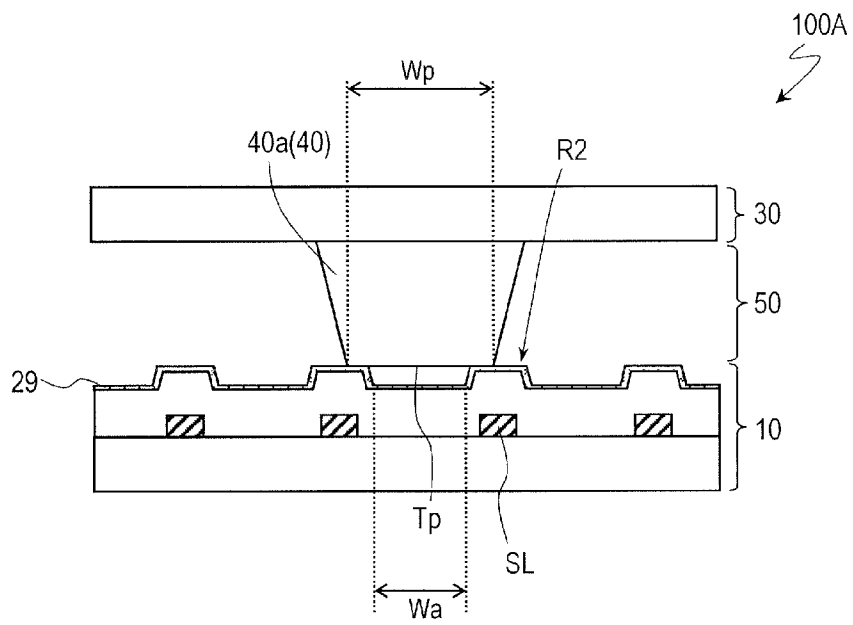
[請求項15] 前記半導体層は、酸化物半導体を含む、請求項6から14のいずれかに記載の液晶表示装置。

[請求項16] 前記半導体層は、In-Ga-Zn-O系の半導体を含む、請求項6から15のいずれかに記載の液晶表示装置。

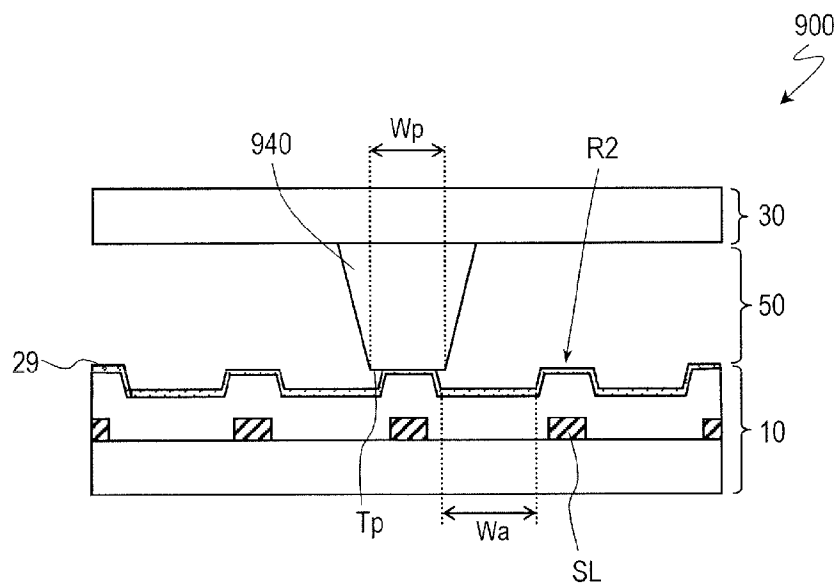
[請求項17] 前記In-Ga-Zn-O系の半導体は、結晶質部分を含む、請求項16に記載の液晶表示装置。

[請求項18] 前記半導体層は、積層構造を有する、請求項6から17のいずれかに記載の液晶表示装置。

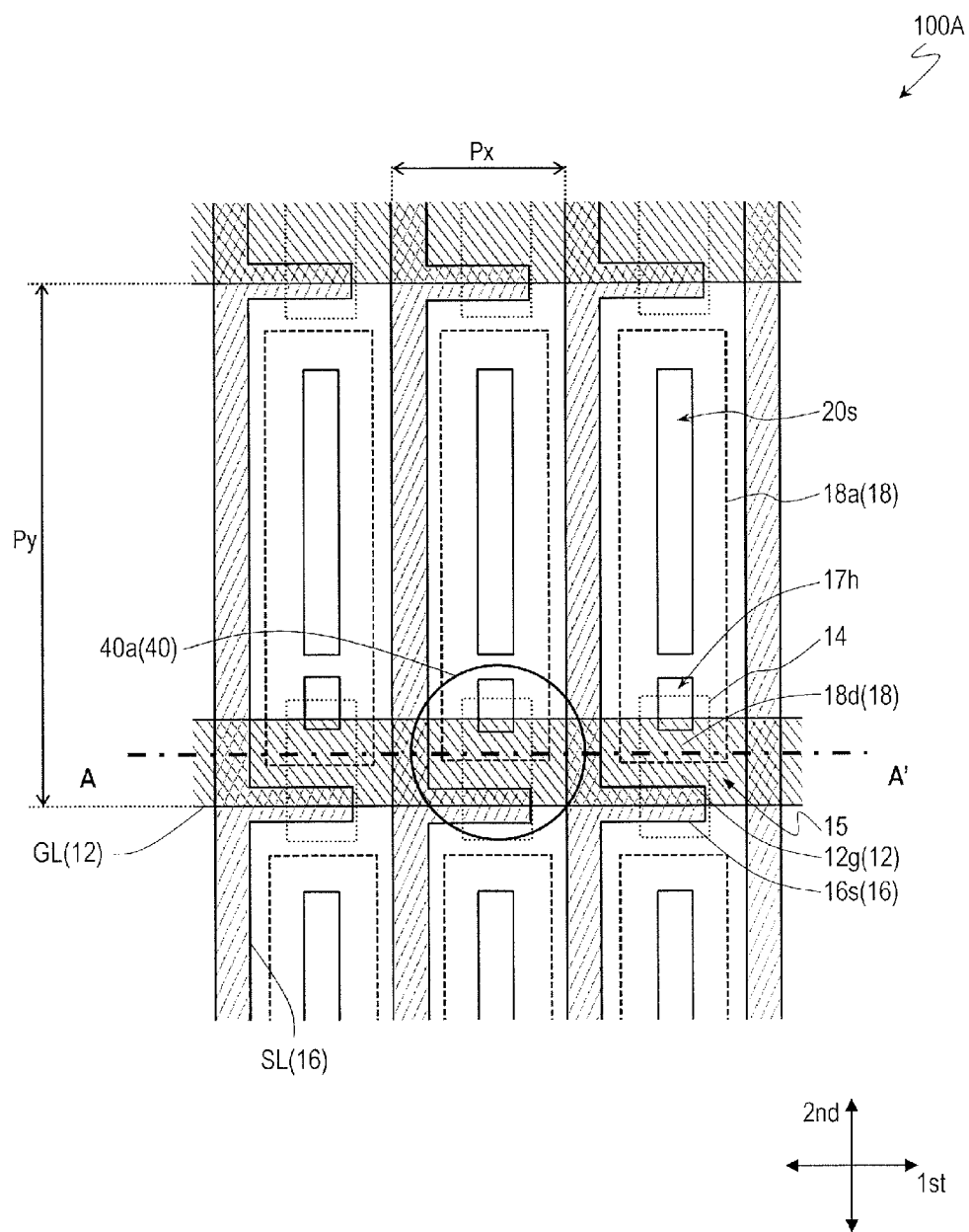
[図1]



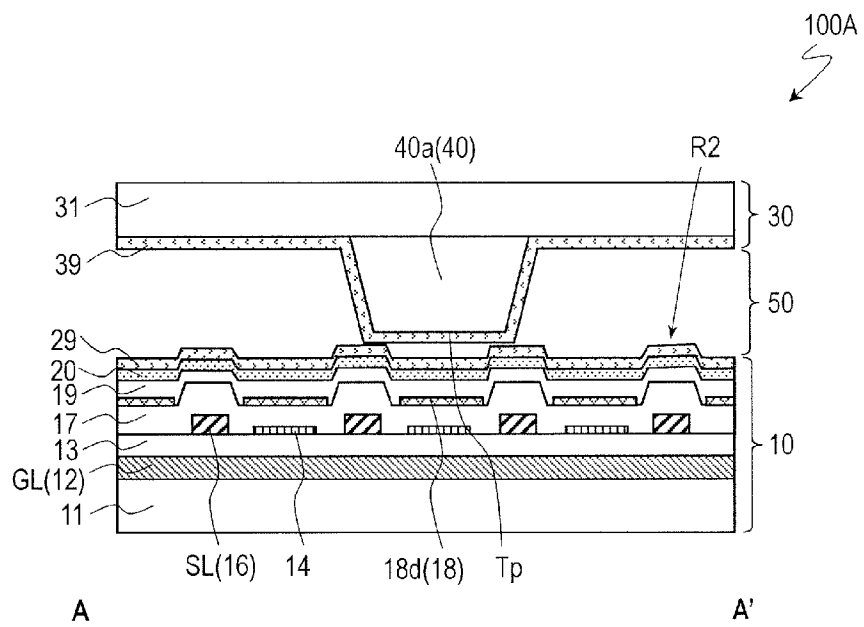
[図2]



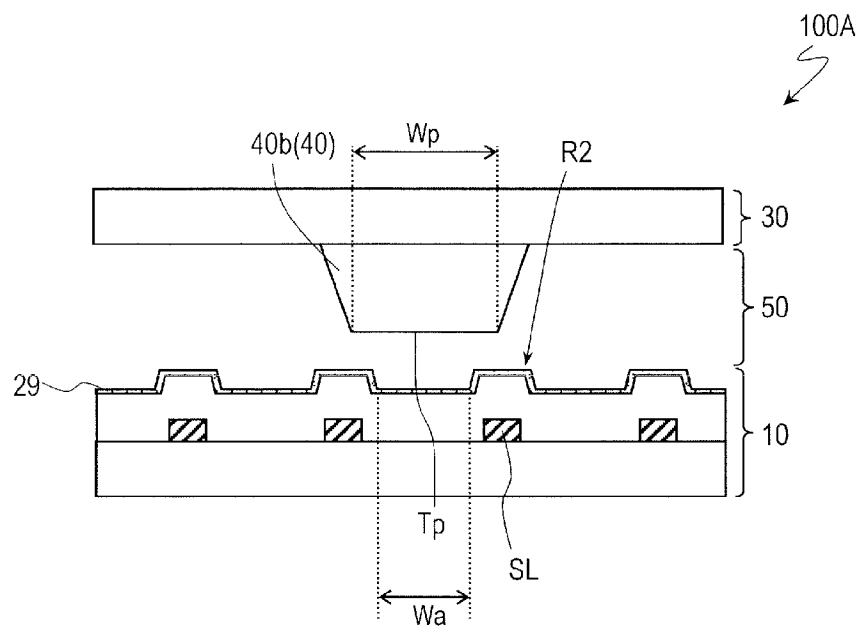
[図3]



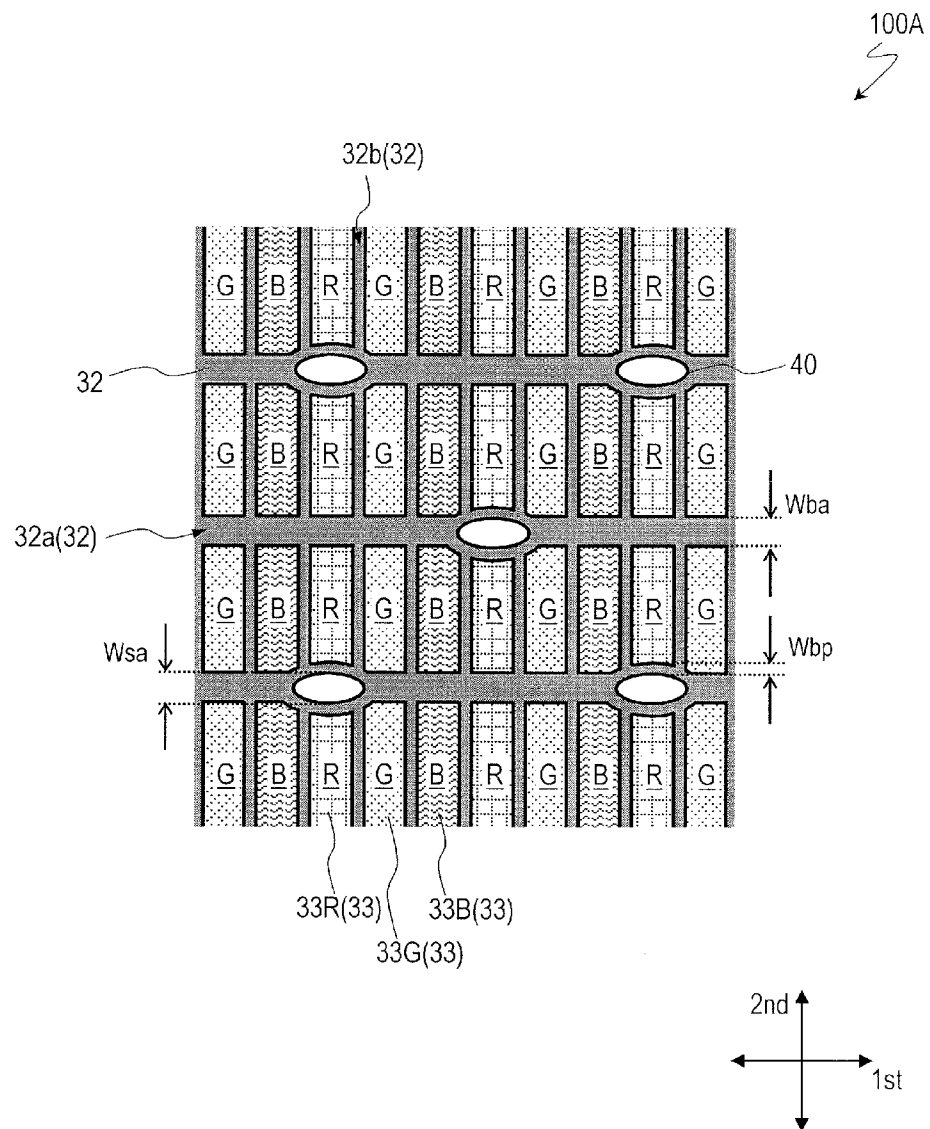
[図4]



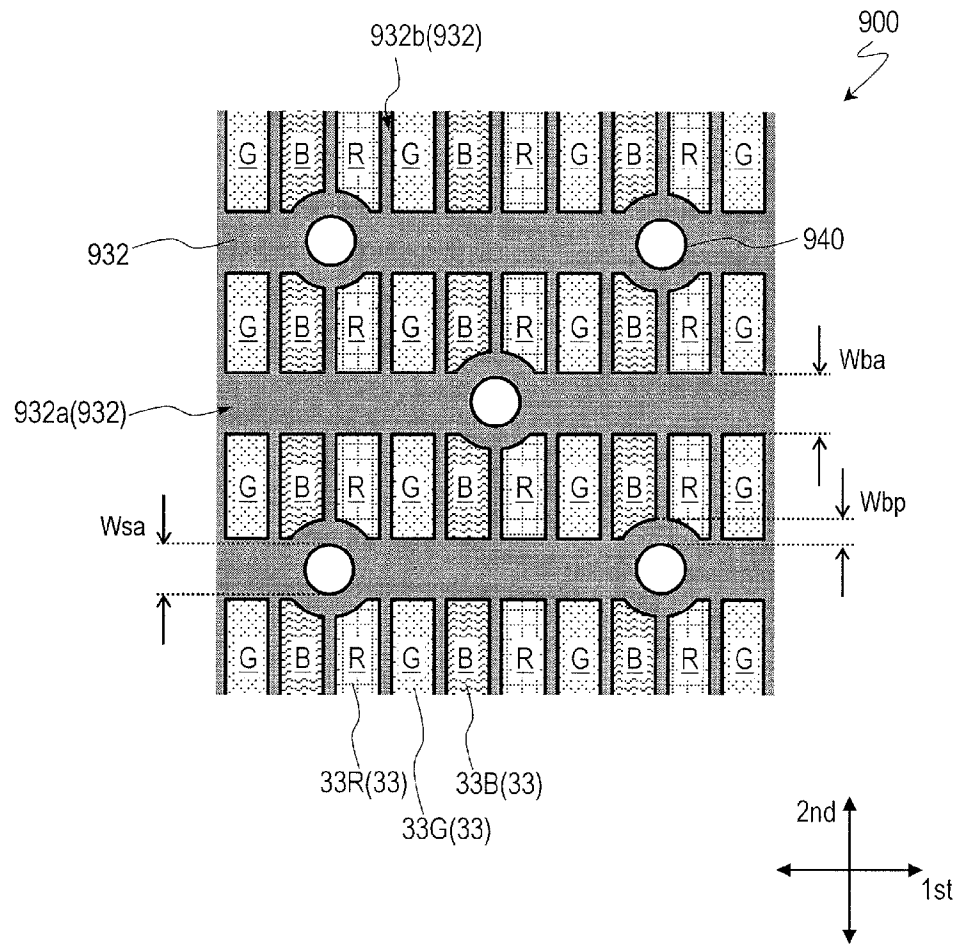
[図5]



[図6]



[図7]



[図8]

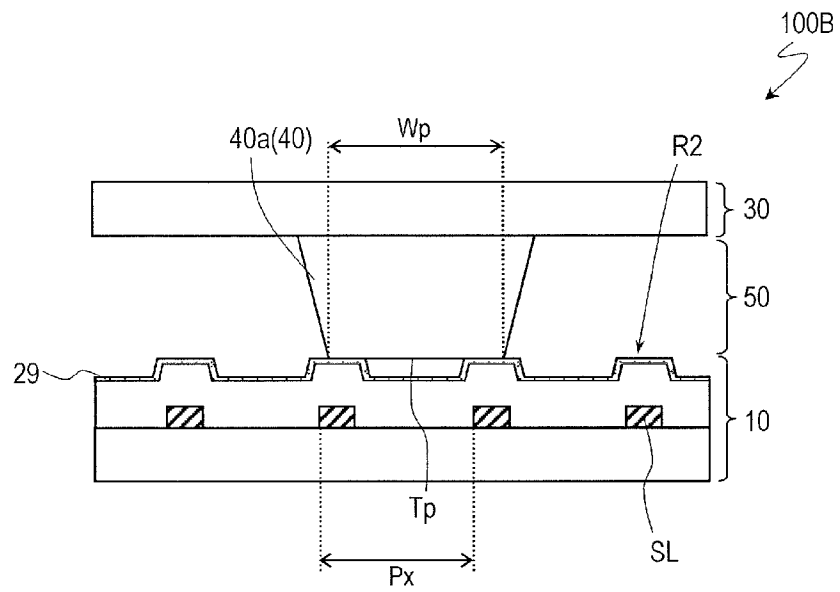
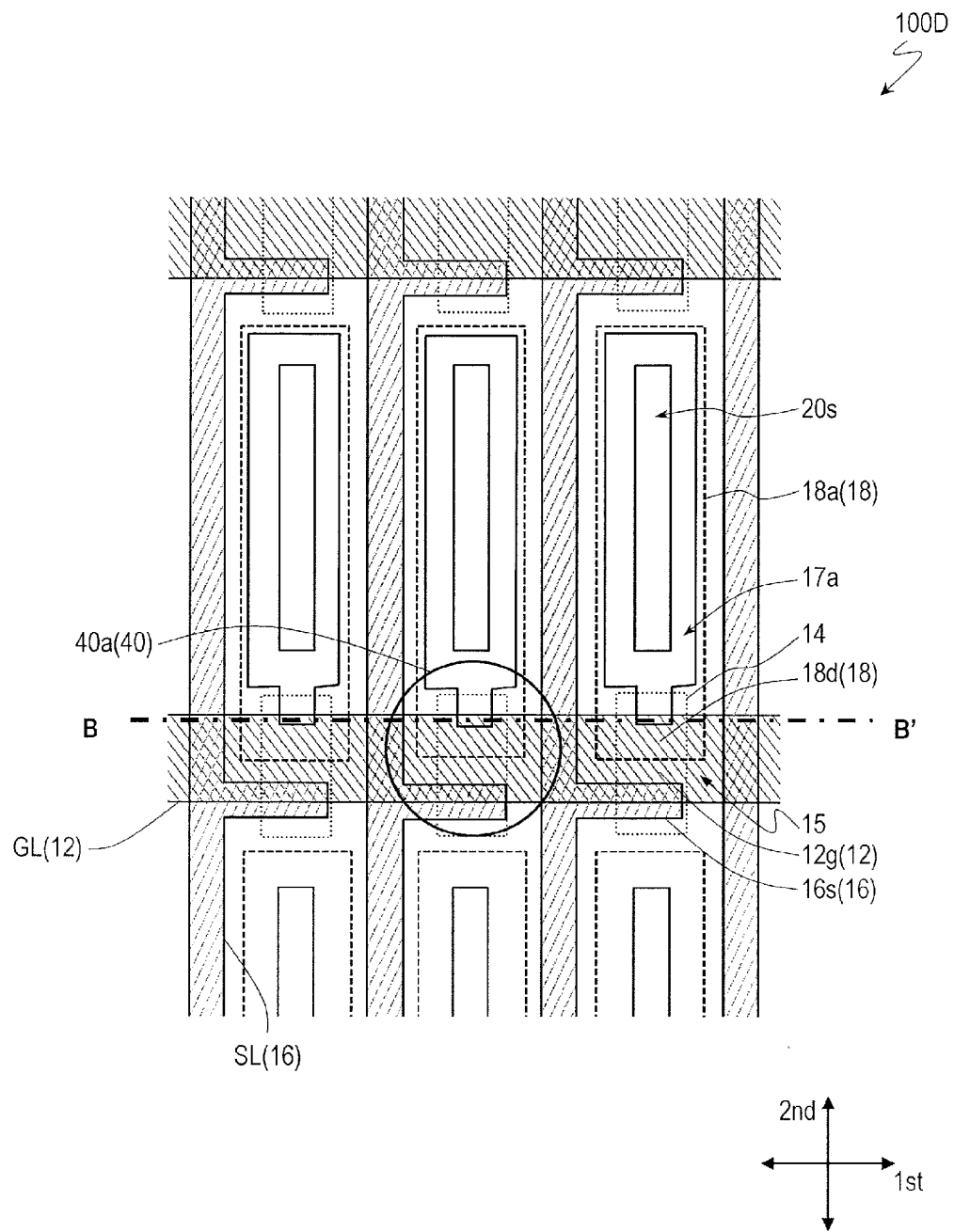


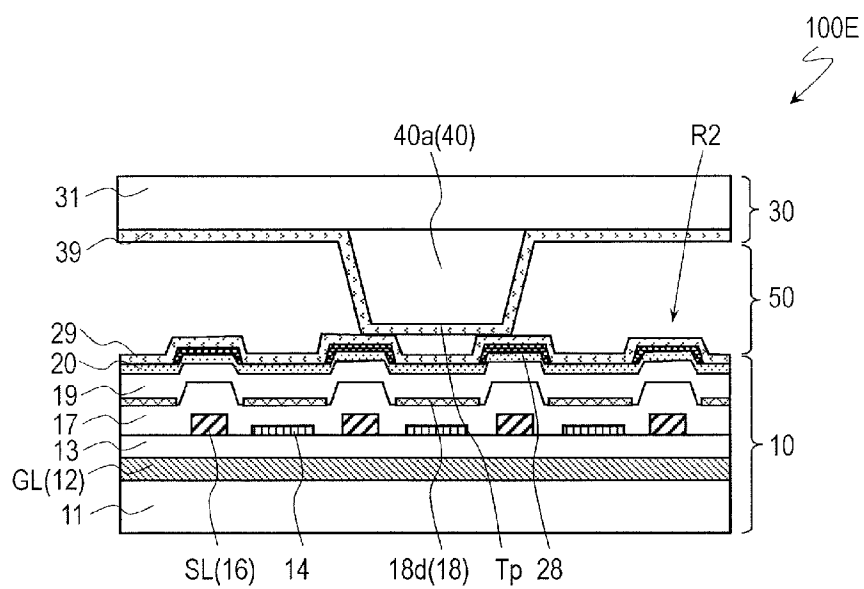
Figure 10 is a cross-sectional view of a semiconductor device 100C. The device consists of a substrate 29, a first layer 10, a second layer 50, and a third layer 30. The first layer 10 contains four rectangular regions with diagonal hatching, representing conductive contacts. The second layer 50 is a thin layer above the first layer. The third layer 30 is a thicker layer above the second layer. A central region of the third layer 30 is recessed, forming a well. The width of this recessed region is labeled W_p . The depth of the recessed region is labeled T_p . The width of the first layer 10 is labeled W_a . The label SL points to the side wall of the recessed region. The label $40a(40)$ points to the top surface of the third layer 30. The label $R2$ points to the bottom surface of the third layer 30. The label $100C$ is in the top right corner with a curved arrow pointing to the device.

[illegible]

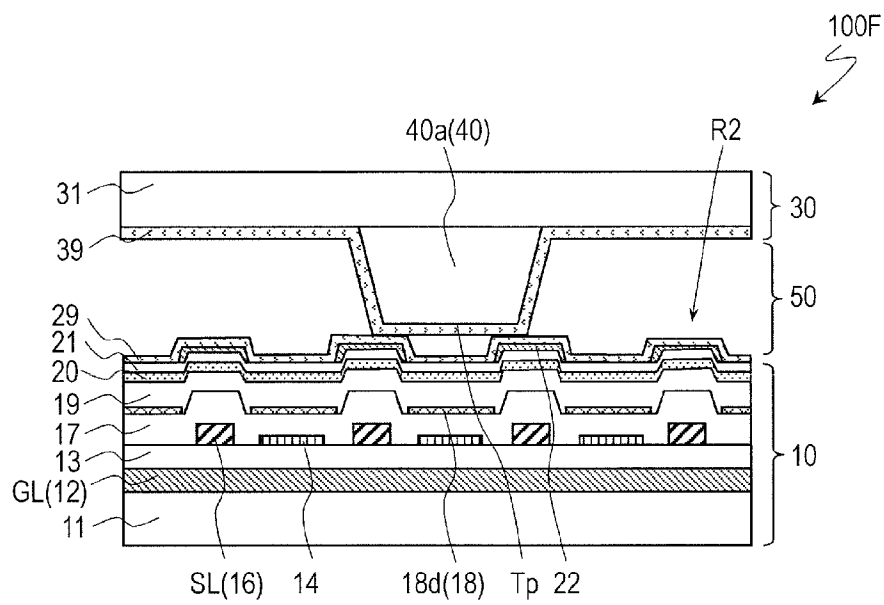
[図11]



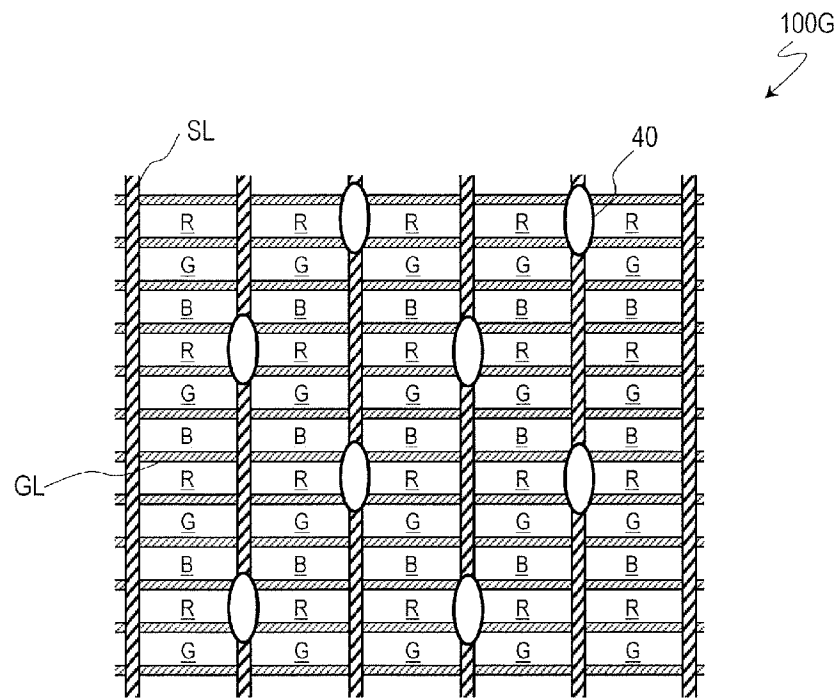
[図12]



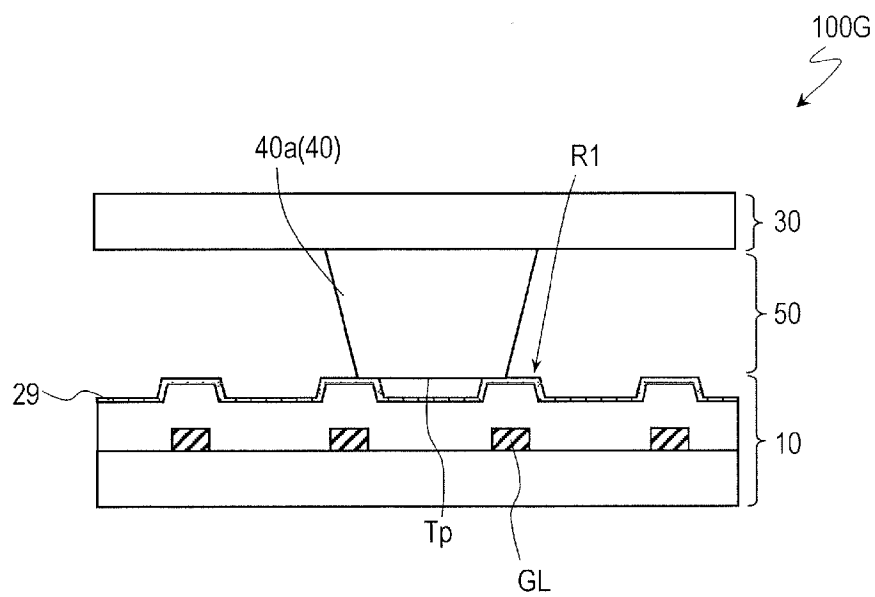
[図13]



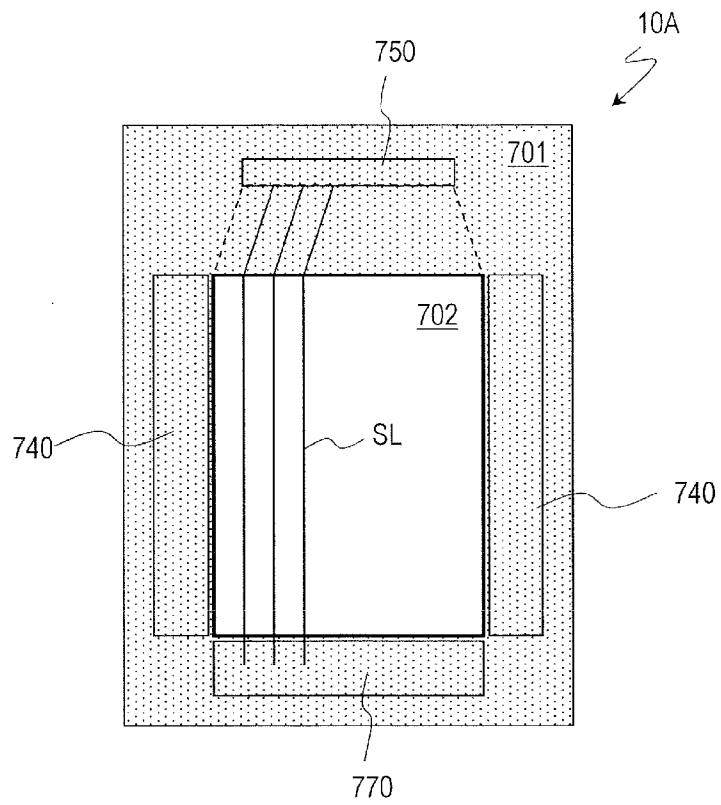
[図14]



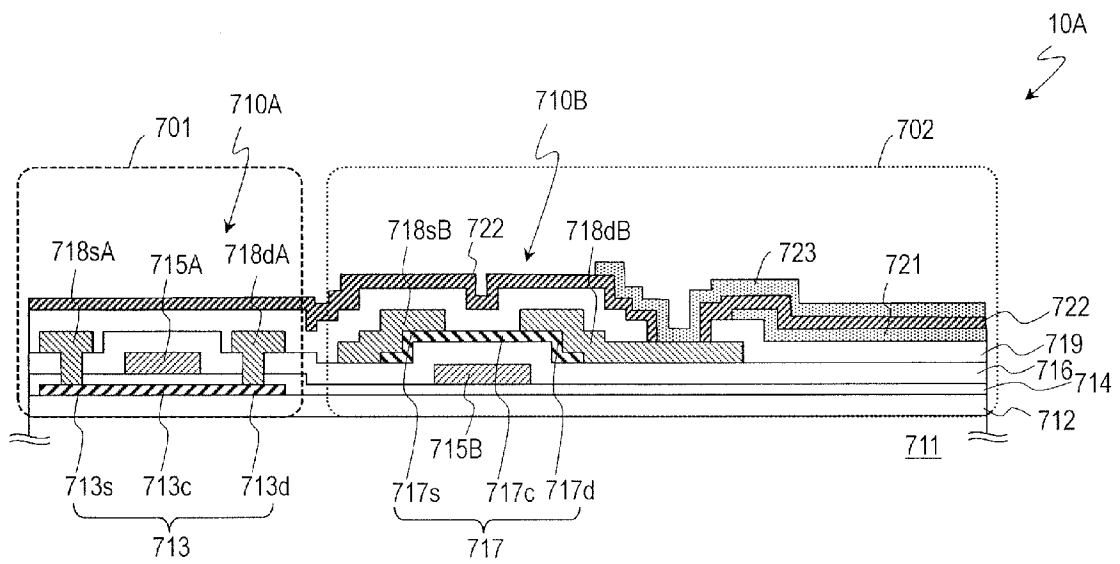
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009500

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1339 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1339

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Japio-GPG/FX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2012/124662 A1 (SHARP CORP.) 20 September 2012, paragraphs [0022], [0034], [0035], [0038], [0039], [0066], [0067], [0074], [0075], [0077], fig. 2, 3, 7, 14, 15 (Family: none)	1-4
Y		5-18
Y	JP 2007-094372 A (LG. PHILIPS LCD CO., LTD.) 12 April 2007, paragraphs [0057], [0067], fig. 7 & US 2007/0070286 A1, paragraphs [0071], [0081], fig. 7 & GB 2430758 A & DE 102006028993 A & FR 2891376 A & KR 10-2007-0035820 A & CN 1940659 A & TW 200712631 A	5-18
A	JP 2001-183669 A (CASIO COMPUTER CO., LTD.) 06 July 2001, paragraphs [0009], [0010], fig. 2 (Family: none)	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09.05.2018

Date of mailing of the international search report

29.05.2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009500

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 9318505 B2 (SAMSUNG DISPLAY CO., LTD.) 19 April 2016, column 3, lines 23-35, fig. 2 & KR 10-2015-0065465 A	1-18

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/1339(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/1339

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Japio-GPG/FX

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2012/124662 A1（シャープ株式会社）2012.09.20 段落番号[0022],[0034],[0035],[0038],[0039],[0066],[0067], [0074],[0075],[0077],図2,3,7,14,15（ファミリーなし）	1-4 5-18
Y	JP 2007-094372 A（エルジー フィリップス エルシーディー カ ンパニー リミテッド）2007.04.12, 段落番号[0057],[0067],図7 & US 2007/0070286 A1, 段落番号[0071],[0081],図7 & GB 2430758 A & DE 102006028993 A & FR 2891376 A & KR 10-2007-0035820 A & CN 1940659 A & TW 200712631 A	5-18

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

横井 亜矢子

2 L

9706

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-183669 A (カシオ計算機株式会社) 2001.07.06 段落番号[0009], [0010], 図2 (ファミリーなし)	1-18
A	US 9318505 B2 (SAMSUNG DISPLAY CO., LTD.) 2016.04.19 3 欄 23-35 行, 図2 & KR 10-2015-0065465 A	1-18