

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/4063 (2006.01)

G11C 11/413 (2006.01)

G11C 8/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 02118950.1

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416702C

[22] 申请日 2002.4.30 [21] 申请号 02118950.1
[30] 优先权

[32] 2001.5.4 [33] US [31] 60/288,744

[32] 2001.7.9 [33] US [31] 09/901,785

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 沈载润 柳济焕

[56] 参考文献

US5297104A 1994.3.22

US5940343A 1999.8.17

US5650976A 1997.7.22

US6046956A 2000.4.4

审查员 董 乐

[74] 专利代理机构 北京市柳沈律师事务所
代理人 王志森 黄小临

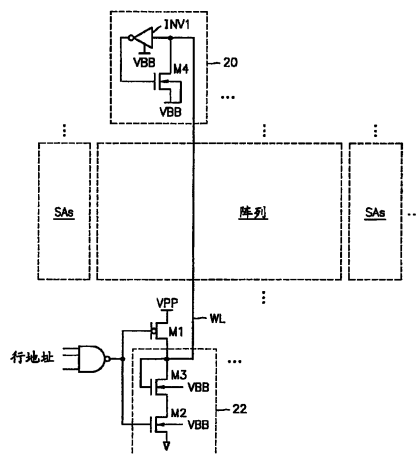
权利要求书 2 页 说明书 10 页 附图 15 页

[54] 发明名称

半导体存储器件和使字线放电的方法

[57] 摘要

一种利用负偏压字线方案的存储器件在预充电操作的过程中将字线放电电流从负电压源中转移，由此降低电压波动并减小了负电压源的电流消耗。在预充电操作的过程中将主字线、子字线、字线启动信号或其它类型的字线耦合到负电压源。在预充电操作的过程中字线也耦合到第二电源，然后在大部分字线放电电流已经转移之后与第二电源断开。然后负电压源可以放电字线并将其保持在负偏压。



1. 一种使字线放电的方法，该方法包括：
响应字线的电压或行地址将该字线耦合到第一电源；以及
将电流从该字线转移到第二电源，其中该字线是子字线，响应字线启动信号和 PX 信号通过子字线驱动器驱动该子字线，
并且将电流从字线转移到第二电源包括：
以第二电源为基准的反相器驱动 PX 线；以及
在大部分字线放电电流已经转移到第二电源之后使反相器与第二电源断开。
2. 根据权利要求 1 所述的方法，其中将电流从该字线转移到第二电源包括：
响应行地址将该字线耦合到第二电源；以及
在大部分字线放电电流已经转移到第二电源之后使字线与第二电源断开。
3. 根据权利要求 2 所述的方法，其中使字线与第二电源断开包括当字线电压达到二极管的阈值电压时关断二极管。
4. 根据权利要求 1 所述的方法，其中将字线耦合到第一电源包括响应字线启动信号的电压将字线启动信号耦合到第一电源。
5. 根据权利要求 4 所述的方法，其中通过一晶体管将字线启动信号耦合到第一电源，以与用于制造单元访问晶体管相同的单元 V_{th} 注入工艺制造该晶体管。
6. 根据权利要求 4 所述的方法，还包括响应于行地址将电流从字线启动信号转移到第二电源。
7. 根据权利要求 1 所述的方法，其中还包括响应行地址将 PX 信号耦合到第一电源。
8. 一种半导体存储器件，该半导体存储器件包括：
字线；和
字线驱动器电路，该字线驱动器电路耦合到该字线并适合于在预充电操作的过程中将该字线耦合到第一电源；
其中字线驱动器电路适合于在预充电操作的过程中将放电电流转移到第

二电源，并且字线驱动器电路还包括耦合到主字线的电源保持电路，

所述电源保持电路包括：

耦合在主字线和第一电源之间的第一晶体管，以及

耦合在第一晶体管和主字线之间的反相器。

9. 根据权利要求 8 所述的半导体存储器件，其中：

该字线是主字线；以及

该字线驱动器电路包括驱动级，该驱动级耦合到主字线并适合于在预充电操作的过程中将字线放电电流转移到第二电源。

10. 根据权利要求 9 所述的半导体存储器件，其中：驱动级包括：

耦合到第二电源的第二晶体管，以及

耦合在第二晶体管和主字线之间的二极管。

11. 根据权利要求 8 所述的半导体存储器件，其中电源保持电路设置在与行解码器相对的存储器阵列的一侧上。

12. 根据权利要求 9 所述的半导体存储器件，其中驱动级包括：

第一晶体管，其设置以将主字线耦合到第一电源；以及

第二晶体管，其设置以将字线放电电流转移到第二电源。

13. 一种半导体存储器件，该半导体存储器件包括：

多个子字线；

多个子字线驱动器，这些子字线驱动器耦合到该子字线并适合于在预充电操作的过程中响应多个字线启动信号和多个 PX 信号将该子字线耦合到第一电源；

多个 PX 信号发生器，这些 PX 发生器耦合到多个子字线驱动器并适合于响应下行地址产生多个 PX 信号；

行解码器，行解码器耦合到多个子字线驱动器并适合于响应上行地址产生多个字线启动信号；

多个电源保持电路，该电源保持电路耦合到字线启动信号并适合于响应每个字线启动信号的电压将字线启动信号耦合到第一电源；

其中行解码器适合于在每个字线的预充电操作的过程中响应上行地址将字线启动信号放电电流转移到第二电源，

其中行解码器适合于响应上行地址将每个字线启动信号耦合到第二电源并响应每个字线启动信号的电压将每个字线启动信号与第二电源断开。

半导体存储器件和使字线放电的方法

本申请要求以临时申请 No. 60/288,744 作为优先权的基础,该申请是由与本申请的发明人相同的发明人在 2001 年 5 月 4 日申请的题为“WORD LINE DRIVER FOR A SEMICONDUCTOR MEMORY DEVICE”的申请,在此以引用该申请的全部内容可供参考。

技术领域

一般地说本发明涉及半导体存储器件,更具体地说涉及用于半导体存储器件的字线驱动器电路。

背景技术

附图 1 所示为在典型的 DRAM 存储器件中的存储单元。通过两种主要类型的漏电流降低这种存储单元的刷新时间:由在晶体管 M1 的结边界处的缺陷所引起的结漏电流 I_1 ; 和由流经晶体管 M1 的子阈值(sub-threshold)电流引起的沟道漏电流 I_2 。通过降低沟道注入剂量能够降低结漏电流 I_1 ,但是这使 I_2 增加。类似地,通过增加 M1 的阈值电压 V_{th} 可以降低子阈值电流 I_2 ,但这使 I_1 增加。

已经设计了负偏压字线方案来同时降低结漏电流和沟道漏电流。采用负字线方案的存储器件给非选择的存储单元的字线施加负电压 V_{bb} (通常为 -0.4 至 -0.5 伏特)。然而这种负偏压字线方案的实施出现了多个问题。首先,要求较大的负电压源来处理在放电操作过程中在字线从 V_{pp} 或 V_{dd} 放电到 V_{bb} 时所产生的较高的放电电流。这些放电电流还易于在 V_{bb} 中引起电压波动。运行字线控制电路所需的电流还对负电压源提出附加要求。因此,负电压源在存储器件中往往占用较大的空间。其次,由于每个字线都要求一个负字线驱动器,因此常规的负字线方案所需的复杂的实施方式一般具有芯片面积损失。此外,在字线驱动器的间距内很难实施负电压转换器。

发明内容

根据本发明的负字线驱动方案在预充电操作的过程中将字线放电电流从负电压源中转移出来。

本发明提供一种使字线放电的方法,该方法包括:响应字线的电压或行

地址将该字线耦合到第一电源；以及将电流从该字线转移到第二电源，其中该字线是子字线，响应字线启动信号和 PX 信号通过子字线驱动器驱动该子字线，并且将电流从字线转移到第二电源包括：以第二电源为基准的反相器驱动 PX 线；以及在大部分字线放电电流已经转移到第二电源之后使反相器与第二电源断开。

本发明还提供一种半导体存储器件，该半导体存储器件包括：字线；和字线驱动器电路，该字线驱动器电路耦合到该字线并适合于在预充电操作的过程中将该字线耦合到第一电源；其中字线驱动器电路适合于在预充电操作的过程中将放电电流转移到第二电源，并且字线驱动器电路还包括耦合到主字线的电源保持电路，所述电源保持电路包括：耦合在主字线和第一电源之间的第一晶体管，以及耦合在第一晶体管和主字线之间的反相器；以及驱动级包括：耦合到第二电源的第二晶体管，以及耦合在第二晶体管和主字线之间的二极管。9. 根据权利要求 8 所述的半导体存储器件，其中：该字线是主字线；以及该字线驱动器电路包括驱动级，该驱动级耦合到主字线并适合于在预充电操作的过程中将字线放电电流转移到第二电源。

本发明还提供一种半导体存储器件，该半导体存储器件包括：多个子字线；多个子字线驱动器，这些子字线驱动器耦合到该子字线并适合于在预充电操作的过程中响应多个字线启动信号和多个 PX 信号将该子字线耦合到第一电源；多个 PX 信号发生器，这些 PX 发生器耦合到多个子字线驱动器并适合于响应下行地址产生多个 PX 信号；行解码器，行解码器耦合到多个子字线驱动器并适合于响应上行地址产生多个字线启动信号；多个电源保持电路，该电源保持电路耦合到字线启动信号并适合于响应每个字线启动信号的电压将字线启动信号耦合到第一电源；其中行解码器适合于在每个字线的预充电操作的过程中响应上行地址将字线启动信号放电电流转移到第二电源，其中行解码器适合于响应上行地址将每个字线启动信号耦合到第二电源并响应每个字线启动信号的电压将每个字线启动信号与第二电源断开。本发明的这些方面和其它方面都已公开并要求保护。

附图说明

附图 1 所示为在 DRAM 存储器件中的已有技术的存储单元。

附图 2 所示为利用主 (main) 字线驱动方案的已有技术的 DRAM 器件的核心结构。

附图 3 所示为已有技术的字线驱动器的示意图。

附图 4 所示为根据本发明的存储器件的第一实施例。

附图 5 所示为根据本发明的存储器件的第二实施例。

附图 6 所示为根据本发明的存储器件的第三实施例。

附图 7 所示为利用子字线驱动方案的已有技术的 DRAM 器件的核心结构。

附图 8 所示为已有技术的 NMOS 子字线驱动器的示意图。

附图 9 所示为附图 8 的 NMOS 类型的子字线驱动器的一个操作周期的时序图。

附图 10 所示为已有技术的 CMOS 子字线驱动器的示意图。

附图 11 所示为附图 10 的 CMOS 类型的子字线驱动器的一个操作周期的时序图。

附图 12 所示为已有技术的 PXID 发生器的示意图。

附图 13 所示为已有技术的 WEI 发生器的示意图。

附图 14 所示为 NMOS 子字线驱动器电路、PXID 发生器和 WEI 驱动器的已有技术的结构。

附图 15 所示为 CMOS 子字线驱动器电路、PXID 发生器和 WEI 驱动器的已有技术的结构。

附图 16 所示为根据本发明的存储器件的第四实施例。

附图 17 所示为根据本发明的存储器件的第五实施例。

附图 18 所示为根据本发明的存储器件的第六实施例。

附图 19 所示为根据本发明的存储器件的第七实施例。

具体实施方式

主字线驱动器方案

附图 2 所示为利用主字线驱动方案的已有技术的 DRAM 器件的核心结构。在附图 2 中所示的核心结构包括存储单元阵列 12、读出放大器块 14 和主行解码器 16。在每个存储单元 12 的内部是单个的存储单元 MC，每个存储单元 MC 具有位于位线 BL/BLB 和主字线 WL 的交叉处的单元晶体管和单元电容。非选择的存储单元的字线 WL 保持在电源地电压 V_{ss} 。当访问(access)存储单元 MC（例如在读操作的过程中）时，通常将相应的字线驱动到升高(boost)的电压 V_{pp} ，这种电压导通了该访问晶体管并允许在读出放大器块 14 中的读出放大器通过位线 BL/BLB 读出单元电容的状态。

因为每个主字线 WL 都耦合到多个存储单元,所以它们造成了很大的电容负载。因此,主行解码器包含字线驱动器比如在附图 3 中所示的字线驱动器。在此,字线驱动器是一种由叠加的 PMOS 晶体管 M1 和 NMOS 晶体管 M2 形成的简单推挽级。M2 的源极连接到在常规的存储器件中的 V_{ss} 。在预充电操作的过程中(在完成访问存储单元之后),由于字线 WL 放电,大量的电流通过 M2 流到 V_{ss} 。在应用负字线方案的存储器件中,M2 的源极连接到负电源 V_{bb} 以使字线保持在 V_{bb} 以降低在访问晶体管中的泄漏。然而,这使得在预充电操作的过程中较大的放电电流流入到 V_{bb} 中,由此在 V_{bb} 中造成电压波动以及其它的问题。

实施例 1

附图 4 所示为根据本发明的存储器件的第一实施例。在附图 4 中所示的驱动电路被构造成在预充电操作之后它将字线 WL 保持在 V_{bb} , 但将大多数字线放电电流转移到 V_{ss} , 由此降低了对负电源的需求。附图 4 的驱动电路包括电源保持电路(或“保持电路”)20 和具有经改变的驱动器部分 22 的驱动级。保持电路 20 包括 NMOS 晶体管 M4 和连接到 V_{bb} 的衬底, 该晶体管 M4 具有连接在 WL 和 V_{bb} 之间的沟道和连接到反相器(inverter) INV1 的输出的栅极。反相器 INV1 以 V_{bb} 为基准, 并且具有连接到字线的输入。在经改变的驱动器部分 22 中, 连接 NMOS 晶体管 M3 的二极管与 M2 串联连接。M2 和 M3 的衬底都连接到 V_{bb} 。保持电路 20 优选位于与其余的主行解码器相对的单元阵列的侧面以结省在解码器区域中的空间。

现在参考附图 4 描述根据本发明的预充电操作。在访问操作结束时, 因为晶体管 M1 导通所以字线 WL 保持在 V_{pp} 。反相器 INV1 的输出较低, 晶体管 M2 和 M4 都关断, 二极管连接的晶体管 M3 并不导过电流。当响应行地址的改变使字线无效(deactivate)时, 晶体管 M1 关断, M2 导通, 来自字线的放电电流通过 M2 和 M3 流入到 V_{ss} 。这就是说, 因为响应地址改变字线通过 M2 和 M3 耦合到 V_{ss} , 所以字线放电电流被转移到 V_{ss} 。

当字线电压下降到 INV1 的切换点时, INV1 的输出变高, M4 导通, 字线电压被下拉到 V_{bb} , 因为响应字线的电压降低它通过 M4 耦合到 V_{bb} 。在字线电压降低到足够切换反相器 INV1 时, 来自字线的大多数放电电流都已经转移到 V_{ss} , 因此要求很小的字线电流来将字线保持在 V_{bb} 。

在保持电路启动时二极管连接的晶体管 M3 防止电流通过 M2 从 V_{ss} 中流

回。即，在字线放电电流大体都已经转移到 V_{ss} 之后 M3 响应字线电压使字线与 V_{ss} 断开。M2 和 M3 的衬底也都连接到 V_{bb} 以防止在保持电路启动时电流流经这些晶体管。

在附图 4 中所示的结构优点在于因为大多数的字线放电电流转移到 V_{ss} 所以它降低了对负电源的电流消耗。另外的优点在于它使字线控制电路所需的 V_{bb} 电流最小。再一优点是字线驱动器电路装备在字线间距内。

实施例 2

附图 5 所示为根据本发明的存储器件的第二实施例。在附图 5 中所示的驱动电路与附图 4 的驱动电路的不同之处在于在附图 5 中不需要保持电路，并且对经改变的驱动器部分 24 作进一步改进，包括较大的 NMOS 下拉晶体管 M2。M2 的源极连接到 V_{bb} ，M3 的栅极与 M2 的栅极一起连接到行解码器的输出。M4 的沟道连接在 M2 的漏极和 V_{ss} 之间，M4 的栅极连接到字线 WL。M2、M3 和 M4 的衬底都连接到 V_{bb} 。因此，现在只要 M3 导通，通过响应字线电压将字线耦合到 V_{ss} ，则晶体管 M4 将字线放电电流转移到 V_{ss} 。现在晶体管 M2 响应行地址信息将字线耦合到 V_{bb} 。

在访问操作结束时，字线处于 V_{pp} ，M4 导通，但没有电流流经 M4，因为 M2 和 M3 通过行解码器关断。在预充电操作开始时，M2 和 M3 都导通，但绝大部分字线放电电流通过 M4 流到 V_{ss} ，因为 M4 比 M2 大得多。当字线电压达到 M3 的阈值电压 V_{th} 时，由于 WL 下拉到 V_{bb} 所以其余的字线放电电流流经 M1 和 M2。

在附图 5 中所示的结构具有多个与附图 4 的结构相同的优点，并且另外的优点在于不需要保持电路，但 M4 的增加在解码器区域中要求更大的面积。

实施例 3

附图 6 所示为根据本发明的存储器件的第三实施例。在附图 6 中所示的驱动电路的结构和操作都与附图 5 的驱动电路的结构和操作类似，但是晶体管 M3 已经改变为与 M4 串联而不是与 M2 串联。

子字线驱动方案

上文讨论的本发明关于具有主字线方案的存储器件的原理可以延伸到其它类型的存储器件中，例如这些器件包括利用子字线驱动方案的存储器件。附图 7 所示为利用子字线驱动方案的典型的已有技术的 DRAM 器件的核心结构。虽然这种类型存储器件公开在美国专利 US5,416,748、5,596,542、

5,764,585、5,781,498 和 5,986,966 中，但是在此为了方便还是简要概述这种类型的存储器件。

在附图 7 中所示的核心结构包括读出放大器块、单元阵列 30、子字线驱动器块 32 和连接电路。在每个存储单元阵列 30 中是单个存储单元 MC，每个存储单元 MC 具有位于位线 BL/BLB 和子字线 WL 的交叉处的单元电容和单元晶体管。子字线 WL 由位于子字线驱动器块 32 内的子字线驱动器 36 驱动。每个子字线驱动器 36 由来自主行解码器 38 中的一根字线启动线 WEI 和 PX 线控制，该 PX 线是如下文所述分布在整个器件中的一种类型的字线。

主行解码器 38 响应七个高地址位 ADDRESS (2-8) 产生 64 个字线启动信号 WEI<0: 63>。这些信号通过驱动器进行缓存，驱动器在解码器 38 的外面，但它也可以在该解码器的里面。附图 7 的字线启动信号基本与在附图 2 中的主字线相同的方式运行，但它们连接到子字线驱动器 36 而不是直接连接到在存储单元中的访问晶体管。

然而，通过 PXI 发生器/解码器 42 响应量更低的地址位 ADDRESS(0-1) 驱动其余的字线 PXI<0: 3>。通过本身分布在整个器件中的字线驱动电路将这些 PX 信号分布在整个存储器件中。PXI 线驱动通常位于在连接 (conjunction) 电路中的 PXID 发生器 40。PXID 发生器又驱动 PXID/PXB 线，这些线是驱动子字线驱动器 36 的互补信号线。

所有的子字线 WL 正常地预充电到 V_{ss} 。当访问存储单元时，相应的字线启动信号 WEI 和 PXID/B 信号都启动 (activate)。这使得相应的子字线驱动器 SWD 将相应的子字线驱动到 V_{pp} 。在访问操作完成之后，子字线驱动器将子字线 WL 预充电到 V_{ss} 。

将 PX 线和字线驱动器电路分布在整个器件中使得存储器件可以以更高的速度运行。

附图 8 所示为常规的已有技术的 NMOS 型的子字线驱动器电路。参考附图 8 和 9 描述这种电路的结构和操作。在有效操作之前，在附图 9 中除了 PXIB 以外其它所有的信号线都处于 V_{ss} ，而 PXIB 是有效的低信号。为开始有效操作，首先将 WEI 驱动到 V_{pp} 。这就使结点 N1 切换到 $V_{pp} - V_{th}$ (假设百分之百的抽吸效率)，这里 V_{th} 是 M4 的阈值电压。结点 N1 仍然保持在浮动状态，因为 M4 的栅源电压为 V_{th} 。在较短的时间之后，当 PXID 驱动到 V_{pp} 时，因为 M1 的漏极栅极耦合电容的缘故，将结点 N1 升压到 $2V_{pp} - V_{th}$ (再次假设百分

之百的抽吸效率)。然后 PXID 通过 M1 给字线 WL 输送足够的电流以达到 V_{pp} 的电平。

在预充电操作的过程中, 时序相反, 字线 WL 放电。因为 M1 的宽度/长度比远大于 M2 的宽度/长度比, 所以绝大部分放电电流流经 M1。

附图 10 所示为典型的已有技术的 CMOS 型子字线驱动器电路。参考附图 10 和 11 描述这种电路的结构和操作。在 CMOS 实施方式中, 应用 WEIB (WEI 的互补信号) 作为字线启动信号。在有效操作之前, 在附图 11 中所示的所有信号线都处于它们的无效状态。为成为有效操作, 在 PXID 从 V_{ss} 变到 V_{pp} 的同时 WEIB 从 V_{pp} 切换到 V_{ss} 。这就使 PXID 通过 M5 将子字线 WL 充电到 V_{pp} 。

在预充电操作的过程中, 时序相反, 字线 WL 放电到 V_{ss} 。在预充电操作的早期, 大多数字线放电电流流经 M5, 因为它的宽度/长度比远大于 M7 的宽度/长度比。在子字线电压到达 M5 的阈值电压 V_{th} 时, 晶体管 M5 导通, 其余的放电电流通过 M6 和 M7 流动。

在附图 10 中所示的 CMOS 实施方式的子字线驱动器电路是一种比在附图 8 中所示的实施方式更简单的电路, 但 PMOS 晶体管 M5 需要额外的空间, 因为它在半导体芯片上需要一个独立的凹下部分 (well)。

附图 12 所示为已有技术的 PXID 发生器电路 40 的示意图。附图 12 的电路产生通常用于驱动在附图 7 的子字线驱动器电路 36 以及在附图 8 和 10 中的子字线驱动器电路的互补信号 PXID 和 PXIB。PXID 和 PXIB 的电压摆动通常分别为 V_{ss} 到 V_{pp} 和 V_{ss} 到 V_{dd} 。反相器 INV3 通常以较大的晶体管制造, 因为它输送字子字线的绝大部分充电和放电电流。

附图 13 所示为用于驱动在附图 7 中所示的字线启动信号 WEI 的已有技术驱动电路的示意图, 该字线启动信号又驱动在附图 8 和附图 10 中所示的子字线驱动器电路。

附图 14 所示为 NMOS 子字线驱动器电路、PXID 发生器和 WEI 驱动器的已有技术的结构。在附图 9 中所示的时序应用到这种结构中以启动和禁止子字线 WL。如果在附图 4 中所示的以 V_{bb} 为基准的电路试图以实施负偏压字线方案, 则从负电压发生器中消耗过量的电流。这些电流是: (i) 在预充电操作过程中的字线放电电流, (ii) PXI 发生器 42 和 PXID 发生器 40 的驱动电流, 以及 (iii) WEI 驱动器的驱动电流。这些较大的电流分量在 V_{bb} 电源中和在字线“低”电平中造成波动, 并降低了单元刷新特性。

附图 15 所示为 CMOS 子字线驱动器电路、PXID 发生器和 WEI 驱动器的已有技术的结构。将在附图 11 中所示的时序应用到这种结构中以启动和禁止子字线 WL。试图应用附图 15 的结构实施负偏压字线方案具有如上文参考附图 14 所讨论的相同问题。

实施例 4

附图 16 所示为根据本发明的存储器件的第四实施例。在附图 16 中所示的结构在某些方面与在附图 14 中所示的 NMOS 子字线驱动器方案类似，但是具有下的改进。在 PXID40 中的反相器 INV3 的公共电源端通过 NMOS 晶体管 5 连接到 Vss。M5 的栅极连接到 PXID 线。M7 的源极连接到 Vbb，象 M6 的源极一样，M6 的源极连接到 PXID 和它的栅极连接到 PXIB。在 WEI 驱动器中的驱动级具有以在附图 4 中所示的经修改的驱动器部分 22 相同方式构造的经修改的驱动器部分 46。以在附图 4 中所示的保持电路 20 相同方式构造的保持电路 44 连接到字线启动信号 WEI。

现在参考附图 16 描述根据本发明的预充电操作。在附图 9 中所示的相同的时序应用到附图 16 的电路中。为开始预充电操作，PXID 变低（即变到 Vss），这使得结点 N2 和 PXIB 变高（即变到 Vpp）。在预充电操作的早期，由于子字线 WL 较大的电容性负载的缘故，PXID 保持在 Vpp。由于 PXID 放电较慢，所以 M5 导通，并且大部分字线放电电流经过 M5 和 M8 流到 Vss 直到 PXID 的电压电平达到 M5 的阈值电压 Vth。因此，在本实例中，子字线耦合到 Vss，然后响应字线的电压从 Vss 中断开。当 PXID 下降到 M5 的 Vth 之下时，晶体管 M5 关断，子字线 WL 通过晶体管 M6 和 M7 进一步放电到 Vbb。当 WL 的电压达到 Vbb 时，M6 和 M7 将 WL 和 PXID 都保持在 Vbb。因此，大部分字线放电电流从 Vbb 转移到 Vss。

在 PXID 变低之后不久，行地址解码器使 WEI 通过 M2 和 M3 放电直到 WEI 达到 M3 的阈值电压 Vth。当 WEI 电压降低到足够使反相器 INV1 的输出变高时，晶体管 M4 导通并进一步使 WL 放电到 Vbb。然后保持电路 44 将 WL 保持在 Vbb 以防止不希望的电流通过 PXID 流回。因此，来自字线启动信号 WEI 的放电电流也转移到 Vss。

在优选的实施中，保持电路 44 设置在 WEI 驱动器的阵列 30 的相对侧。这使得实施更加容易，因为否则由于较小的 WEI 线间距它很难在行解码器区域中容纳保持电路。

如附图 16 所示, 优选将反相器 INV2 的信号摆动设置到 V_{ss} 至 V_{dd} 以消除如果一直将 PXIB 驱动向下到 V_{bb} 时可能发生的 V_{bb} 电流消耗。

在优选的实施例中, 晶体管 M6 和 M7 的阈值电压 V_{th} 增加以降低流经 M6 和 M7 的子阈值电流。这可以通过应用相同的单元 V_{th} 注入工艺来制造 M6 和 M7 来实现, 应用该注入工艺来制造单元访问晶体管。因此, 本发明可以进一步降低负电源的电流消耗而不要求附加的工艺步骤并且使芯片面积损失最小。

晶体管 M6 位于附图 16 的右手侧的连接区域中以节省在连接区域中的空间, 反相器 INV2、INV3 和 INV4 都位于该连接区域中。这样比较方便, 因为在附图 16 中所示的双 PXID 线都已经选定路线在附图 14 中所示的结构中。因此, 本发明的优点在于它允许根据本发明容易地修改已有的存储器件设计。

如上文所述, 在附图 16 中所示的实施例的优点在于因为大部分字线放电电流转移到 V_{ss} 所以它降低了对负电源的电流消耗。另外的优点在于它使子字线控制电路所需的 V_{bb} 电流最小。再一优点在于预充电操作所需的时序并不需要改变。

实施例 5

附图 17 所示为根据本发明的存储器件的第五实施例。在附图 17 中所示的结构类似于在附图 16 中所示的 NMOS 子字线驱动器方案, 但是从该驱动级中已经删除了二极管连接的晶体管 M3。相反应用单元 V_{th} 注入实施 NMOS 晶体管 M2, 并且它的源极直接连接到 V_{bb} 。删除了保持电路。在预充电操作过程中, 当 WEI 过渡到低逻辑电平时, WEI 通过 M2 直接放电到 V_{bb} 。因为 M2 以单元 V_{th} 注入实施, 所以行地址解码器仍然以 V_{ss} 为基准而不使子阈值电流流经 M2。虽然在附图 17 中所示的结构将正常的字线放电电流耦合到 V_{bb} , 但是 WEI 的电容性负载相对较低, 附图 17 的实施例另外的优点在于它不需要保持电路。

实施例 6

附图 18 所示为根据本发明存储器件的第六实施例。在附图 18 中所示的结构应用 CMOS 子字线驱动器比如在附图 15 中所示的子字线驱动器, 但是对 PXID 发生器 40 进行了改进以包括晶体管 M5, 从而在大部分字线放电电流已经转移到 V_{ss} 之后根据本发明将反相器 INV3 与 V_{ss} 断开。已经增加了晶体管 M6 以响应 PXIB 将 PXID 线连接到 V_{bb} 。此外, 晶体管 M6、M7 和 M9 都以单元

Vth 注入实施。

将在附图 11 中所示的相同的时序用于附图 18 的实施例。PXID 发生器以与附图 16 的电路相同的方式将子字线放电电流转移到 Vss。然而，附图 18 的实施例的另外的优点在于字线启动信号 WEIB 通过 M2 放电到 Vss，因此降低了 Vbb 的电流消耗。字线启动信号 WEIB 可以以 Vss 为基准，因为晶体管 M6、M7 和 M9 都以单元 Vth 注入实施。因此，消除了保持电路。附图 18 的实施例具有紧凑、容易实施带有较低的 Vbb 电流需求的负偏压子字线方案以及芯片面积损失最小的优点。

实施例 7

附图 19 所示为根据本发明的存储器件的第七实施例。在附图 19 中所示的结构大部分与附图 18 类似，但是 M6 已经移到在阵列的左侧具有 PXID 发生器的连接区域中。这就消除了一直在接子字线驱动器 (SWD) 32 上选择路线 (route) 的双 PXID 线。

作为进一步的改进，如果附图 16 的保持电路和经改进的 WEI 驱动器都与附图 18 或 19 的实施例一同使用，则晶体管 M6、M7 和 M9 都可以不需要单元 Vth 注入而实施。

在本发明的优选实施例中已经描述并示出了本发明的原理，但是很显然在不脱离这种原理的前提下可以对本发明的结构和细结作出修改。例如，虽然在上文中以 DRAM 存储器件作为实例进行描述，但是本发明并不限于 DRAM 字线驱动器。作为进一步的实例，上文所描述的实施例实施了负偏压字线方案。然而，负偏压应该理解为在有效的模式中施加到字线的极性相反的极性的电位。

此外，如上文所述，在根据本发明的预充电操作的过程中，响应地址或在字线上的特定电压的变化将字线耦合到不同的电源，但是本发明还考虑响应其它的激励也执行这些耦合操作。此外，还可以将字线放电电流转移到电源而不是 Vbb。然而，在本文中，电源不仅指电压源比如 Vss，而且还指从字线转移放电电流的任何适合的电流吸收器 (sink)。

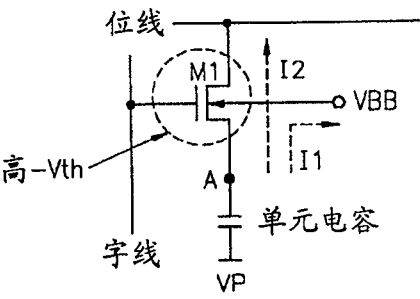


图 1

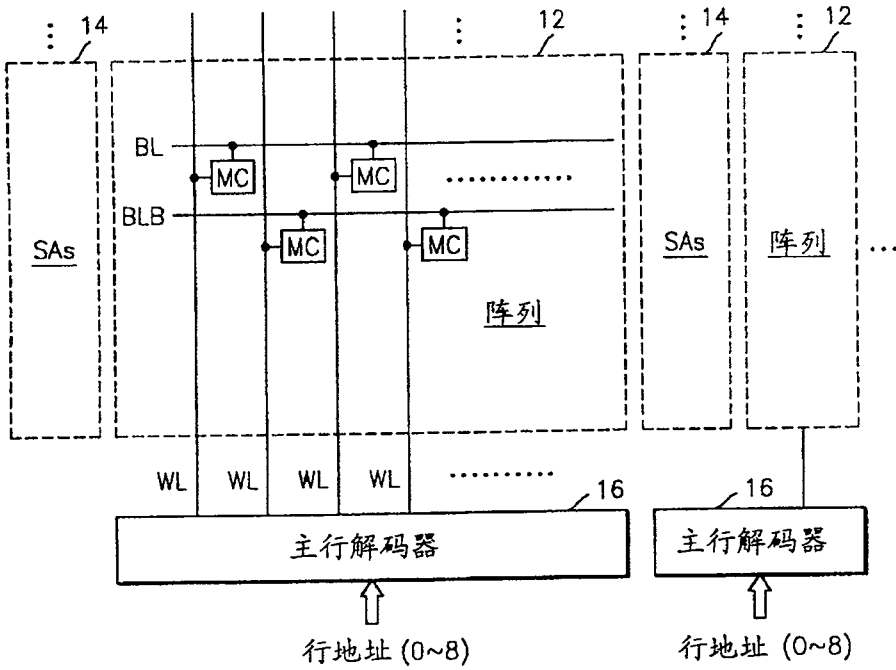


图 2

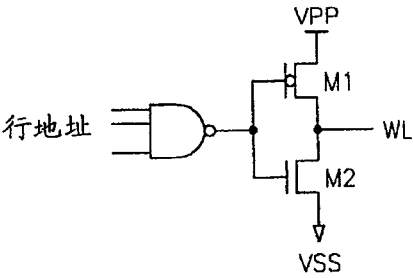


图 3

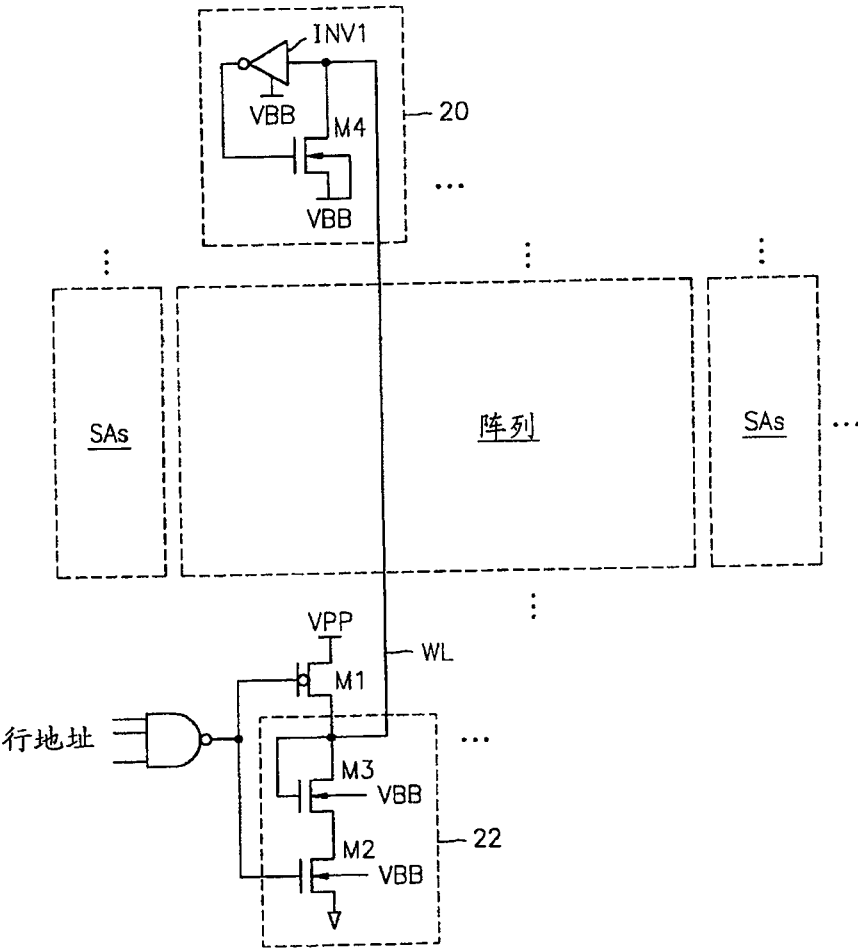


图 4

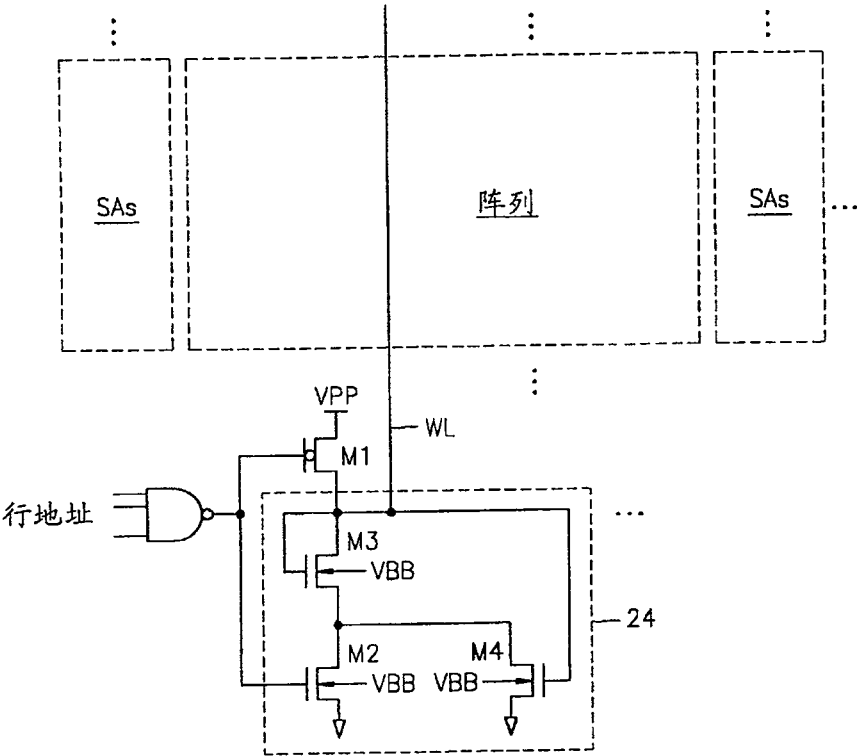


图 5

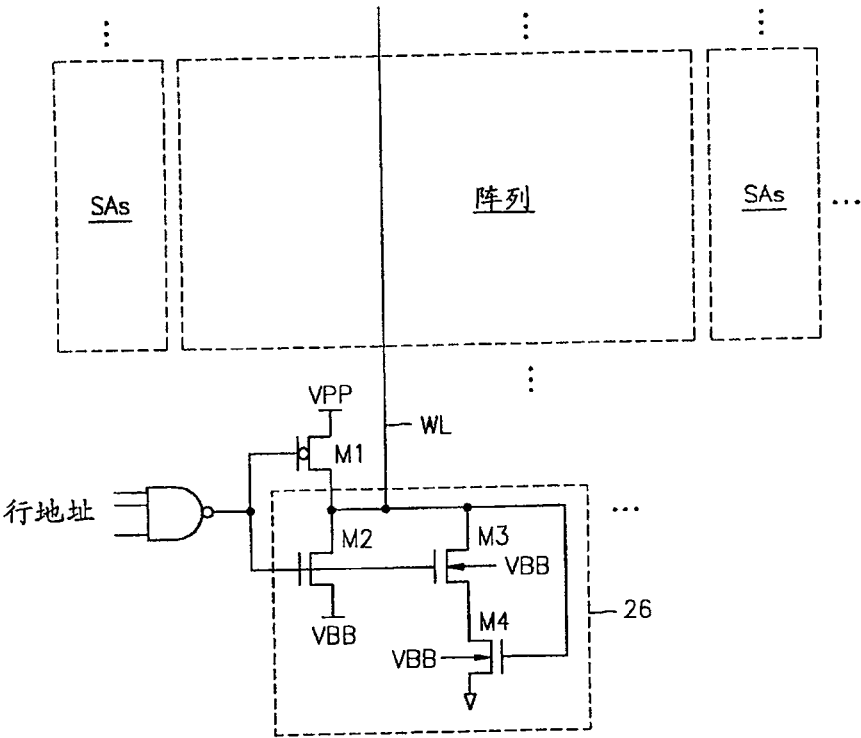


图 6

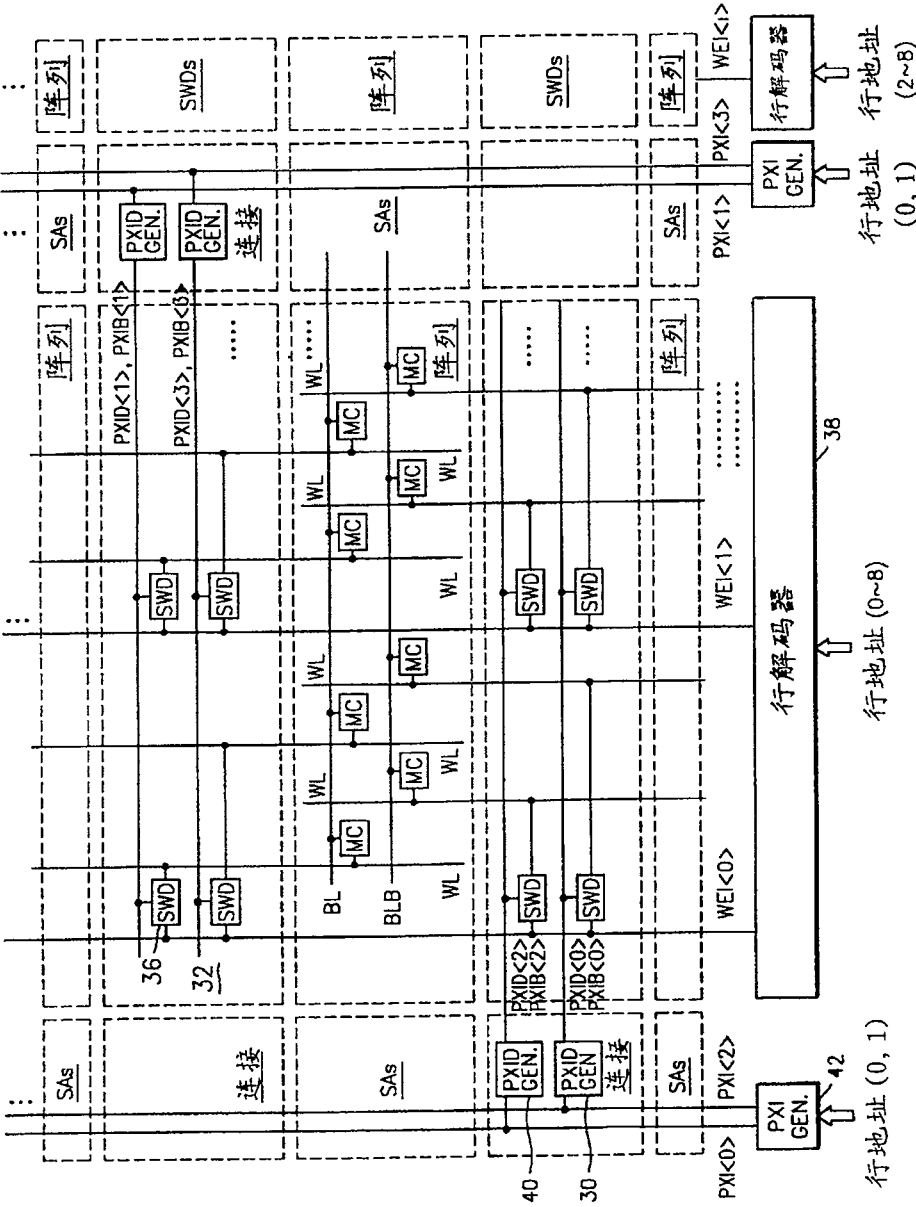


图 7

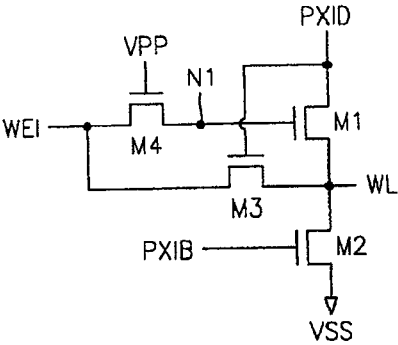


图 8

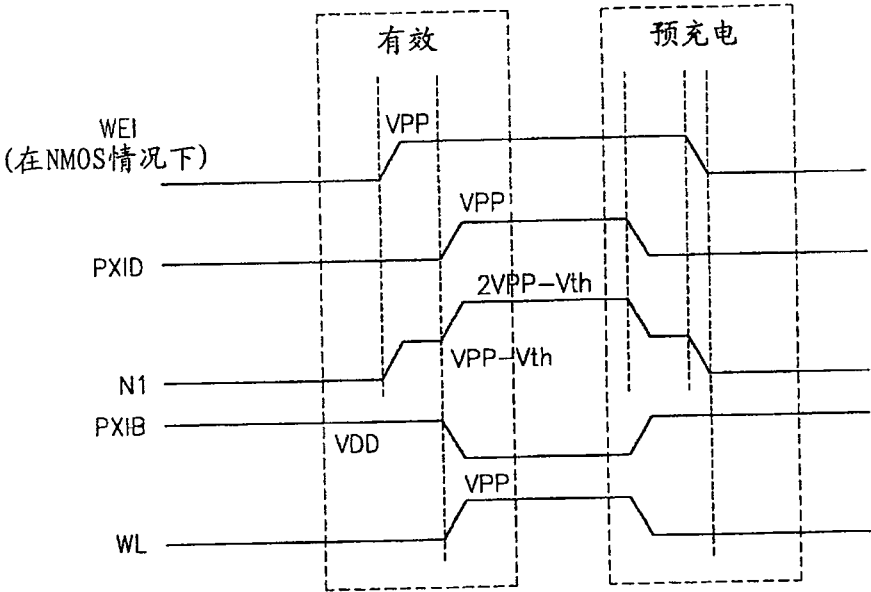


图 9

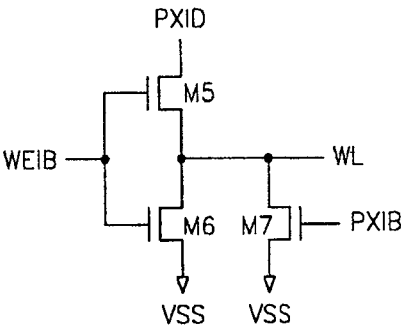


图 10

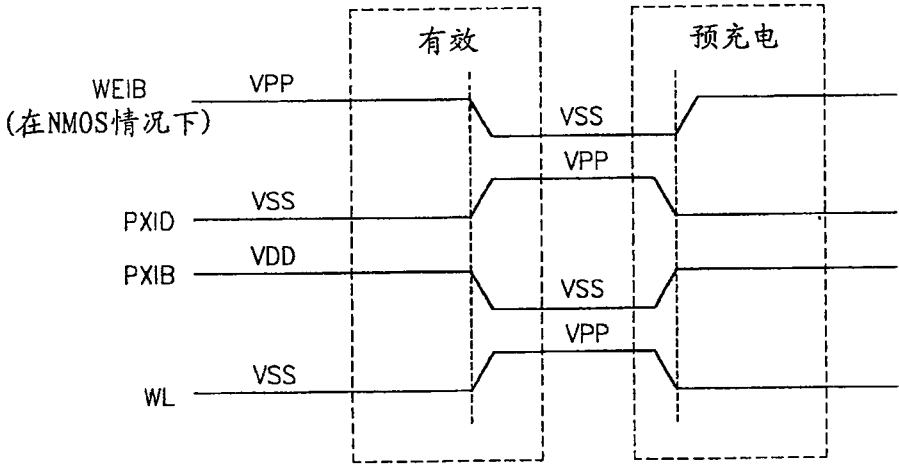


图 11

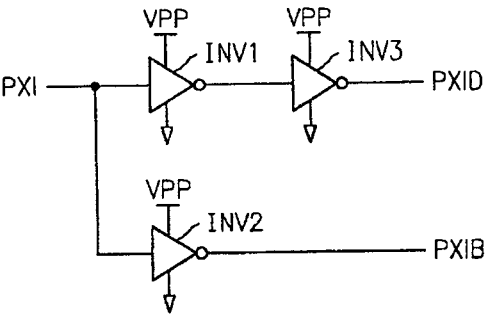


图 12

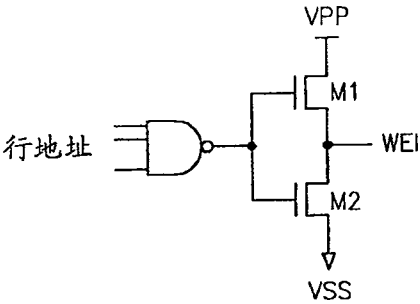


图 13

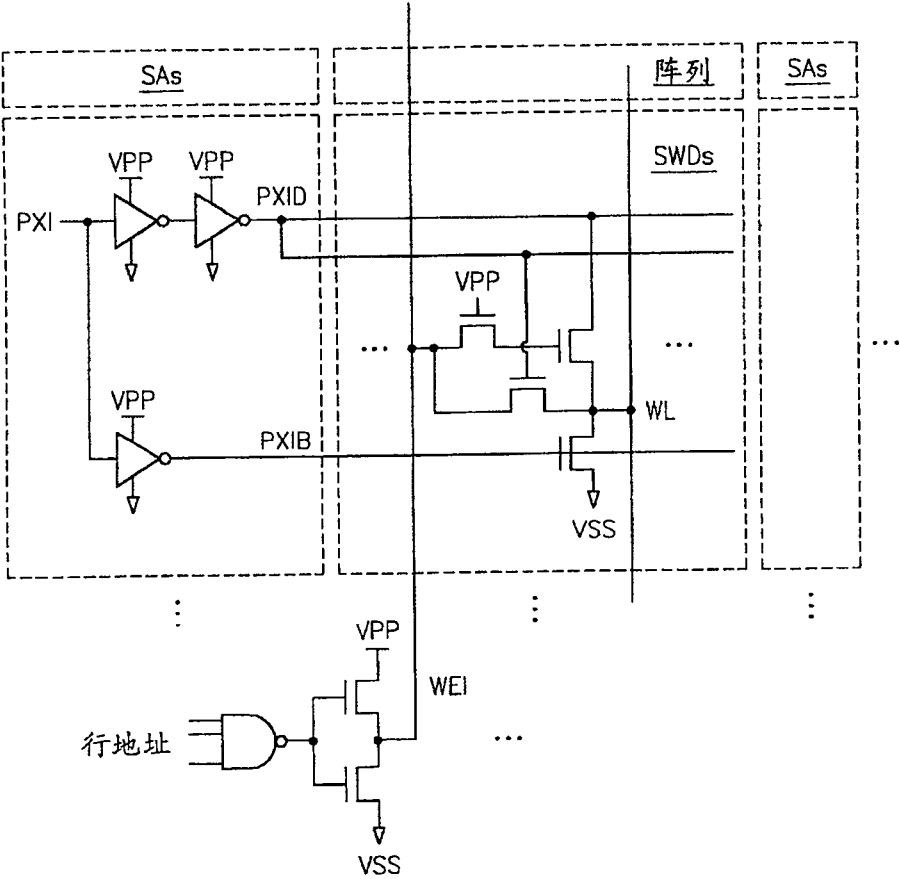


图 14

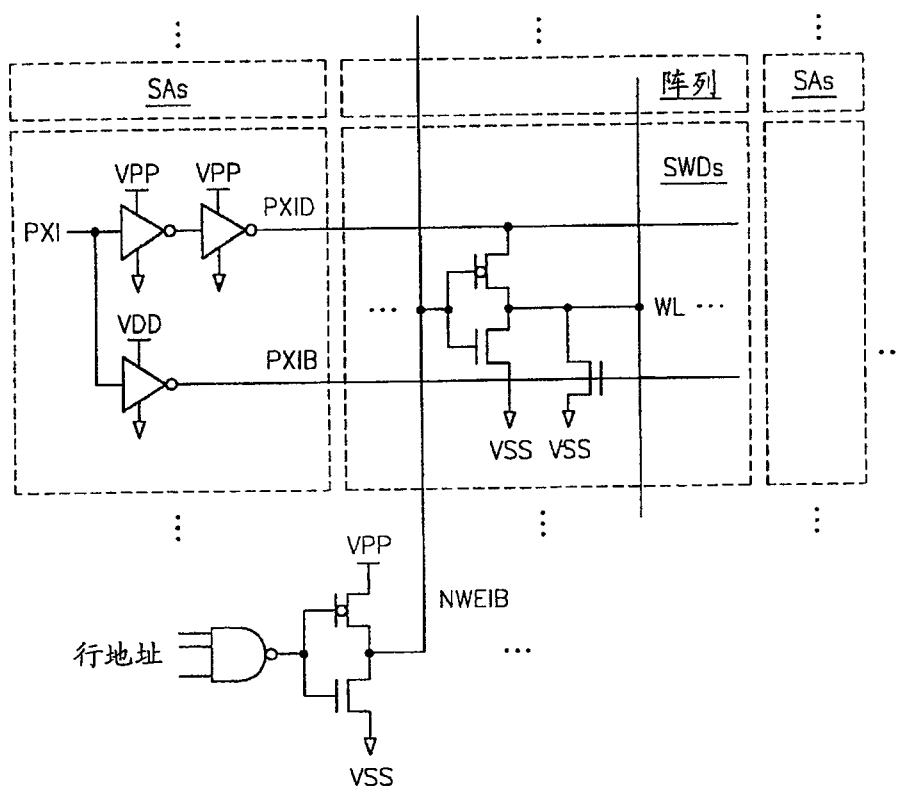


图 15

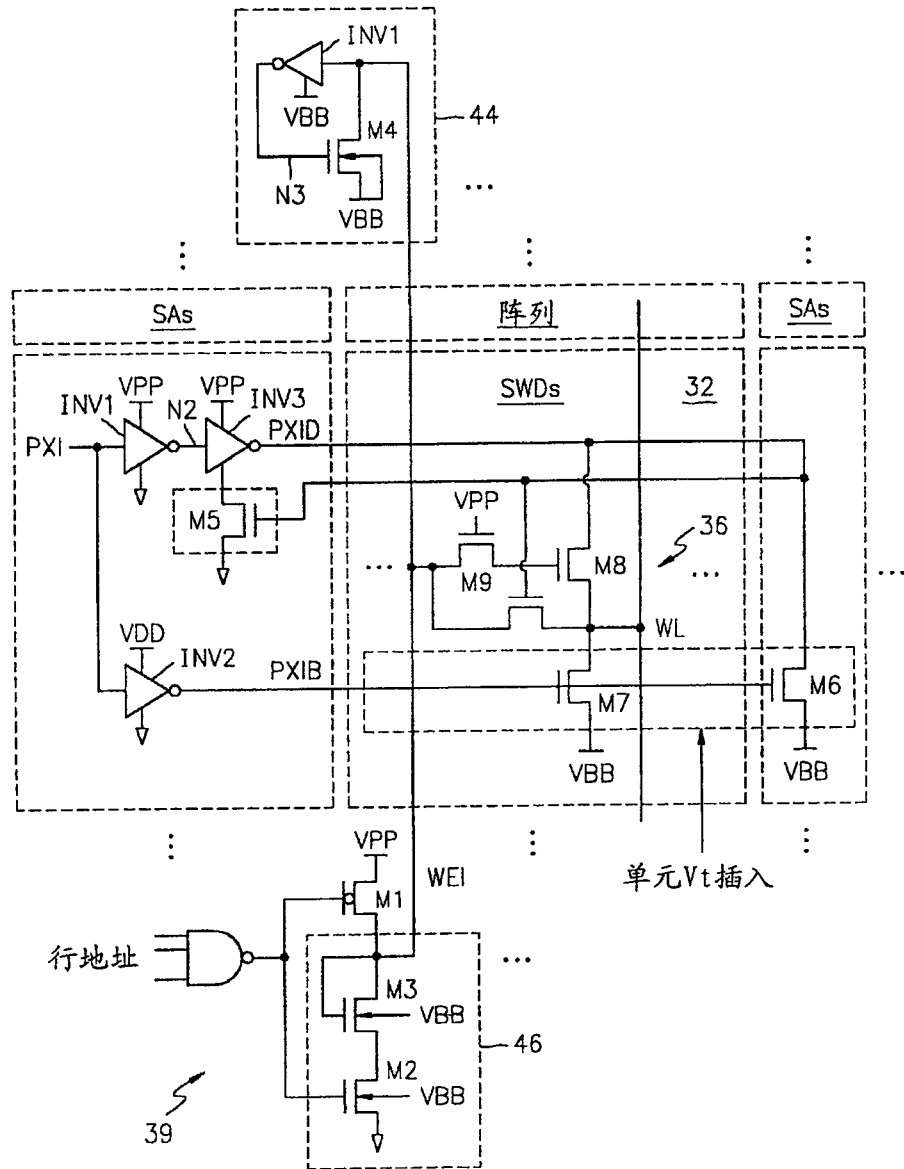


图 16

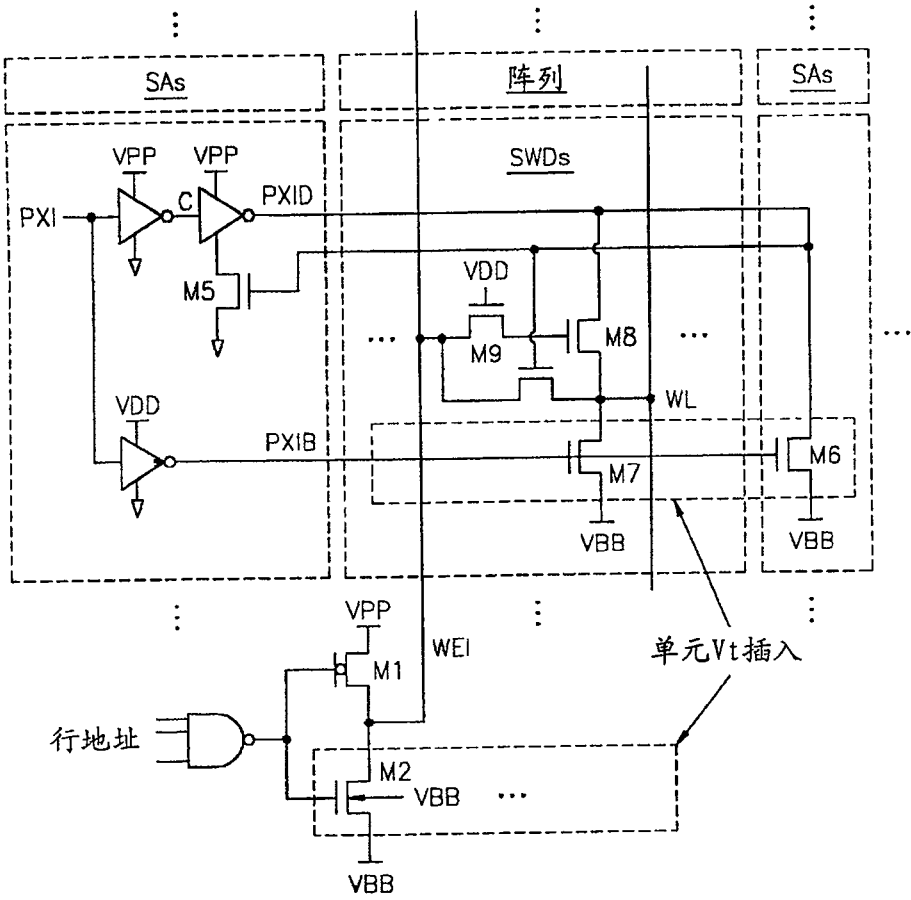


图 17

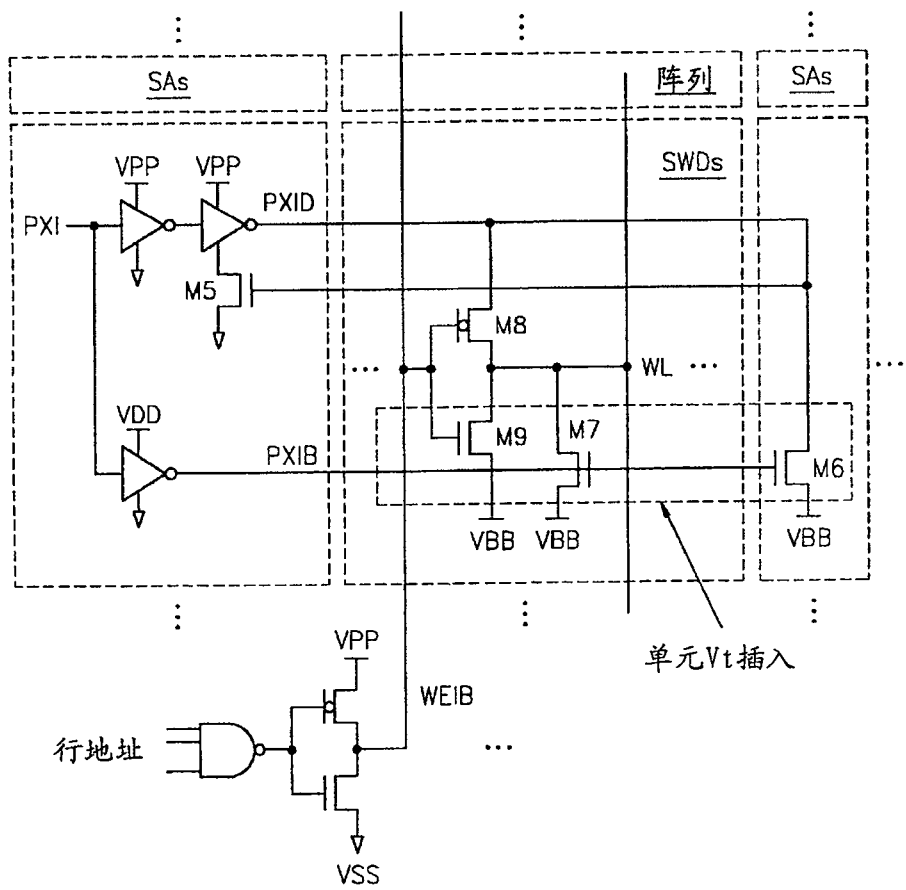


图 18

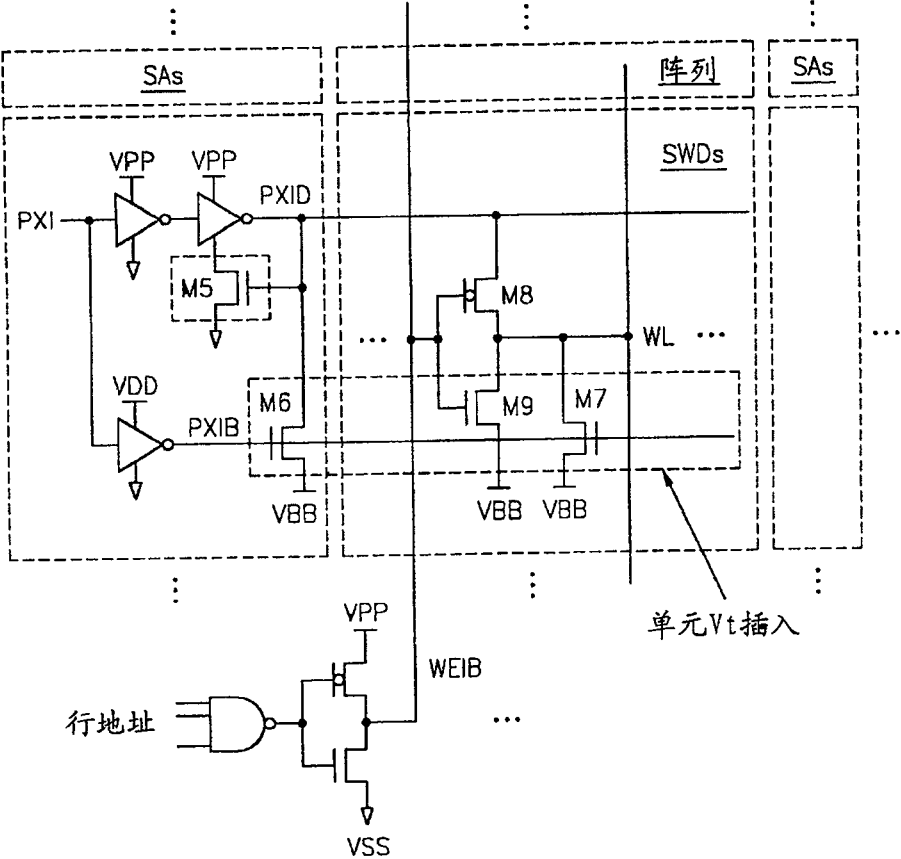


图 19