

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95141118

※申請日期：95.11.7

※IPC分類：

一、發明名稱：(中文/英文)

H01L 24/336, 29/18

半導體裝置及其製造方法

(2006.01)

SEMICONDUCTOR DEVICES AND METHODS OF
MANUFACTURING THE SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

三、發明人：(共3人)

姓名：(中文/英文) ID：

1. 鄭鏞國/ JEONG, YONG-KUK

2. 金安德路泰/KIM, ANDREW TAE

3. 申東石/ SHIN, DONG-SUK

國籍：(中文/英文) 1、3.韓國/KR；2.美國/US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005/11/7；10-2005-0106096

2. 韓國；2006/8/4；10-2006-0073912

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於半導體裝置(semiconductor devices)及其製造方法，且特別是有關於具有改良操作特性的半導體裝置及其製造方法。

【先前技術】

在積體電路中，廣泛地使用例如金屬氧化物半導體(metal-oxide semiconductor, MOS)電晶體的離散(discrete)裝置作為開關元件。因此，需要高效能的金屬氧化物半導體(MOS)電晶體來改善半導體裝置的特性。

有人已經研究藉由提供通道應力(channel stress)給通道區域(channel region)來改善電晶體的載子遷移率(carrier mobility)的方法以獲得高效能的金屬氧化物半導體(MOS)電晶體。參照例如 IEDM Tech. Dig. 1994 年版第 373 頁由 J. Welser 以及其他人所著之名稱為"應變矽 n 通道金屬氧化物半導體場效電晶體中效能增強的應變相依(Strain dependence of the performance enhancement in strained-Si n-MOSFETs)"的論文以及 IEDM Tech. Dig. 1995 年版第 517 頁由 K. Rim 以及其他人所著之名稱為"表面通道應變矽 p 通道金屬氧化物半導體場效電晶體中增強的電洞遷移率 (Enhanced hole mobilities in surface channel strained-Si p-MOSFETs)"的論文。

可能提供拉伸應力(tensile stress)給 N 通道金屬氧化物半導體(NMOS)電晶體的通道區域以改善電子遷移率

(electron mobility)。可能使用例如植入碳離子於 N 通道金屬氧化物半導體(NMOS)電晶體的源極及汲極區域(source and drain regions)或形成具有拉伸應力的耐蝕層(liner layer)於 N 通道金屬氧化物半導體(NMOS)電晶體之上的方法來改善 N 通道金屬氧化物半導體(NMOS)電晶體的電子遷移率。相對地，可能提供壓縮應力(compressive stress)給 P 通道金屬氧化物半導體(PMOS)電晶體的通道區域以改善其電洞遷移率(hole mobility)。可能使用例如植入銻離子於 P 通道金屬氧化物半導體(PMOS)電晶體的源極及汲極區域或形成具有壓縮應力的耐蝕層於 P 通道金屬氧化物半導體(PMOS)電晶體之上的方法來改善 P 通道金屬氧化物半導體(PMOS)電晶體的電洞遷移率。

【發明內容】

本發明的某些實施例提供半導體裝置的製造方法，包括：形成 N 通道金屬氧化物半導體(NMOS)電晶體於基片(substrate)之上；形成第一層間介電層(interlayer dielectric layer)於 N 通道金屬氧化物半導體(NMOS)電晶體之上；以及使第一層間介電層脫氫。使第一層間介電層脫氫可能改變第一層間介電層的應力。第一層間介電層在脫氫化之後可能具有 2 億帕(Pa)或更多的拉伸應力。

使第一層間介電層脫氫可能包括在脫氫氣體環境(dehydrogenation gas atmosphere)中對第一層間介電層執行電漿處理(plasma treatment)、紫外線(UV)處理、及/或熱處理(thermal treatment)。脫氫氣體可能包括氮氣(N_2)、氧氣

(O₂)、臭氧(O₃)、氧化亞氮(N₂O)、氫氣(H₂)、及/或氘氣(D₂)。第一層間介電層可能包括臭氧-四乙基醇氧化矽(O₃-Tetra Ethyl Ortho Silicate, O₃-TEOS)、無摻雜矽玻璃(Undoped Silicate Glass, USG)、磷矽酸鹽玻璃(PhosphoSilicate Glass, PSG)、硼矽酸鹽玻璃(Borosilicate Glass, BSG)、硼磷矽酸鹽玻璃(BoroPhosphoSilicate Glass, BPSG)、氟矽酸鹽玻璃(Fluoride Silicate Glass, FSG)、旋轉塗佈玻璃(Spin On Glass, SOG)、及/或 Tonen 公司的矽氮烷(Tonen SilaZene, TOSZ)。

所述方法可能更包括在形成第一層間介電層之後在第一層間介電層之中形成連接到 N 通道金屬氧化物半導體(NMOS)電晶體的接點(contacts)。

所述方法可能更包括在使第一層間介電層脫氫之後形成第二層間介電層於第一層間介電層之上。在使第一層間介電層脫氫之後第二層間介電層的應力可能小於第一層間介電層的應力。

所述方法可能更包括在使第一層間介電層脫氫之後形成覆蓋層(capping layer)於第一層間介電層之上。覆蓋層可阻隔或阻止濕氣(moisture)及/或外部離子滲透至第一層間介電層。在使第一層間介電層脫氫之後可能在臨場製程(in-situ process)中形成覆蓋層。

所述方法可能更包括在形成第一層間介電層之前形成具有拉伸應力的耐蝕層於 N 通道金屬氧化物半導體(NMOS)電晶體之上。

N 通道金屬氧化物半導體(NMOS)電晶體可能包括閘

極介電層 (gate dielectric layer) 及閘極電極 (gate electrode)。N 通道金屬氧化物半導體(NMOS)電晶體的閘極介電層、閘極電極、以及耐蝕層的總厚度可以 t_1 表示，並且耐蝕層及第一層間介電層的總厚度以 t_2 表示，其中 $t_2/t_1 \geq 1.14$ 。

所述方法可能更包括：在使第一層間介電層脫氫之後形成具有應力的附加層間介電層於第一層間介電層之上；以及使附加層間介電層脫氫。形成附加層間介電層以及使附加層間介電層脫氫可能予以重複一或多次。

使附加層間介電層脫氫可能包括在脫氫氣體環境之中對附加層間介電層執行電漿處理、紫外線(UV)處理、及/或熱處理。

所述方法可能更包括在形成第一層間介電層之前形成具有拉伸應力的耐蝕層於 N 通道金屬氧化物半導體(NMOS)電晶體之上。

N 通道金屬氧化物半導體(NMOS)電晶體可能包括閘極介電層及閘極電極。N 通道金屬氧化物半導體(NMOS)電晶體的閘極介電層、閘極電極、以及耐蝕層的總厚度可以 t_1 表示，並且耐蝕層、已脫氫的第一層間介電層、以及已脫氫的附加層間介電層的總厚度可以 t_3 表示，其中 $t_3/t_1 \geq 1.14$ 。

形成 N 通道金屬氧化物半導體(NMOS)電晶體於半導體基片之上可包括形成 N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體於半導

體基片之上，並且形成第一層間介電層於 N 通道金屬氧化物半導體(NMOS)電晶體之上可包括形成第一層間介電層於 N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體之上。

所述方法可能更包括在使第一層間介電層脫氫之後將鍍及/或氮離子植入位於 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分第一層間介電層。

所述方法可能更包括在使第一層間介電層脫氫之前形成光罩圖案(mask pattern)於位在 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分第一層間介電層之上。

根據本發明的另外實施例的半導體裝置製造方法包括：形成 N 通道金屬氧化物半導體(NMOS)電晶體於半導體基片之上；形成可能包括具有拉伸應力的臭氧-四乙基醇氧化矽(O_3 -TEOS)層的第一層間介電層於 N 通道金屬氧化物半導體(NMOS)電晶體之上；以及使第一層間介電層脫氫。

根據本發明的某些實施例之半導體裝置包括：N 通道金屬氧化物半導體(NMOS)電晶體，其位於基片之上且包含閘極介電層及閘極電極；耐蝕層，其位於 N 通道金屬氧化物半導體(NMOS)電晶體之上且具有預定的拉伸應力；以及已脫氫的第一層間介電層，其位於耐蝕層之上。已脫氫的第一層間介電層具有由於其脫氫而增加的拉伸應力。N 通道金屬氧化物半導體(NMOS)電晶體的閘極介電層、閘極電極、以及耐蝕層的總厚度可以 t_1 表示，並且耐蝕層及

已脫氫的第一層間介電層的總厚度可以 t_2 表示，其中 $t_2/t_1 \geq 1.14$ 。

所述裝置可能更包括在已脫氫的第一層間介電層之中連接 N 通道金屬氧化物半導體(NMOS)電晶體的接點。

可能在脫氫氣體環境之中藉由電漿處理、紫外線(UV)處理、及/或熱處理來形成已脫氫的第一層間介電層。所述裝置可能更包括位於已脫氫的第一層間介電層之上的第二層間介電層。第二層間介電層的拉伸應力可能小於已脫氫的第一層間介電層的拉伸應力。

所述裝置可能更包括位於已脫氫的第一層間介電層之上的覆蓋層。覆蓋層可能用以阻隔或阻止濕氣及/或外部離子滲透至已脫氫的第一層間介電層。覆蓋層可能是臨場覆蓋層(in-situ capping layer)。

所述裝置可能更包括位於已脫氫的第一層間介電層之上的已脫氫的附加層間介電層。已脫氫的附加層間介電層可能具有由於已脫氫的附加層間介電層的脫氫而增加的拉伸應力。耐蝕層、已脫氫的第一層間介電層、以及已脫氫的附加層間介電層的總厚度可以 t_3 表示，其中 $t_3/t_1 \geq 1.14$ 。

根據本發明的另外實施例之半導體裝置包括：N 通道金屬氧化物半導體(NMOS)電晶體，其位於半導體基片之上；以及第一層間介電層，其位於 N 通道金屬氧化物半導體(NMOS)電晶體之上。第一層間介電層由於第一層間介電層的脫氫而具有拉伸應力。所述裝置更包括位於第一層

間介電層之上的第二層間介電層。第二層間介電層的應力小於第一層間介電層的應力。

本發明的又另外的實施例提供半導體裝置，包括：N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體，其位於半導體基片之上；以及第一層間介電層，其位於 N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體之上。第一層間介電層可能包括植入位於 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分第一層間介電層的氮及/或銻離子。

【實施方式】

以下將參考繪示本發明的實施例的附圖更完整地說明本發明的實施例。然而，本發明可能以許多不同的形式來實施，因而不應解釋為侷限於在此所述之實施例。相反地，提供這些實施例將使本揭露更為完全與徹底，並將完整地傳達本發明的範疇給任何熟習此技藝者。各圖中相同的數字皆表示相同的元件。

須知雖然術語第一、第二等等在此用以說明各種元件，但是這些元件不應受限於這些術語。這些術語僅用以區分某一元件與另一元件。因此，在不脫離本發明的範疇的情況下，當可稱第一元件為第二元件，而同樣地，當可稱第二元件為第一元件。當在此使用時，術語”及/或”包括相關列舉項目的任何一個以及一個或多個的所有組合。

在此所使用的術語僅用以說明特定實施例而非要限

制本發明。當在此使用時，除非上下文清楚地指出，否則單數形式的"一"及"所述"也將包括複數形式。更須知當在此使用時，術語"包括"及/或"包含"指出存在所敘述之特徵、整數、步驟、操作、元件及/或組件，但並不排除存在或附加一個或多個其他的特徵、整數、步驟、操作、元件、組件及/或其組合。

除非另有定義，否則在此所使用的所有術語(包括技術及科學術語)都具有如任何熟習本發明所屬技藝者通常所瞭解的意義。更須知在此所使用的術語的意義解釋應符合其依據本說明書及相關技藝的意義，而不應以理想化或過於形式化的意義來解釋，除非在此特別如此定義。

須知當稱例如一分層、區域、或基片的一元件在另一元件之上時，其可能直接在此另一元件之上或可能存在著仲介元件。相對地，當稱一元件直接在另一元件之上時，不存在著仲介元件。同樣地須知當稱一元件"連接"或"耦合"另一元件時，其可能直接連接或耦合此另一元件或可能存在著仲介元件。相對地，當稱一元件"直接連接"或"直接耦合"另一元件時，不存在著仲介元件。

在此可能使用例如"在下面"、"在上面"、"高於"、"低於"、"水準"、"旁邊"、或"垂直"的關係術語來描述如圖中所繪示之一元件、分層、或區域與另一元件、分層、或區域的關係。須知這些術語想要包含除了圖中所述方位之外的其他裝置方位。

在此參考作為本發明的理想化實施例(及中間結構)的

圖示之橫斷面圖來說明本發明的實施例。為了清楚起見可能誇大圖中分層及區域的厚度。此外，繪圖形狀的變化預期將成為例如製造技術及/或公差的結果。因此，本發明的實施例不應視為侷限於在此所繪示之區域的特定形狀而應包含例如製造所導致的形狀偏差。例如，繪示為矩形的植入區域通常將具有圓弧或曲線的樣貌及/或在其邊緣具有植入濃度之梯度(gradient)而非從植入到非植入區域的非連續式(discrete)改變。同樣地，藉由植入所形成的埋入區域可能在介於埋入區域與藉以發生植入的表面之間的區域中導致某些植入。因此，圖中所繪示的區域乃繪示其本質(nature)，而其形狀並非要繪示一裝置的區域的實際形狀且並非要限定本發明的範疇。

任何熟習此技藝者將瞭解當在此使用時術語"金屬氧化物半導體(MOS)電晶體"與任何絕緣的閘極場效電晶體(field effect transistor)有關，其閘極包括金屬及/或非金屬(例如多晶矽(polysilicon))且其絕緣體包括氧化及/或其他絕緣體(例如高介電常數絕緣體)。

以下將參考根據本發明的實施例之方法的流程圖及/或方塊圖來說明本發明的某些實施例。須知方塊所標示的功能/作用其發生順序未必依照操作繪圖所標示的順序。例如，根據所含的功能/作用兩個連續繪示的方塊事實上可能實質上同時執行或者可能有時以相反順序來執行。

圖 1 是根據本發明的某些實施例之半導體裝置的製造方法的流程圖，並且圖 2A 至 2D 是根據本發明的某些實施

例之半導體裝置的製造方法的橫斷面圖。

參照圖 1 及 2A，形成 N 通道金屬氧化物半導體(NMOS)電晶體 100 及 P 通道金屬氧化物半導體(PMOS)電晶體 200 於半導體基片 10 之上(方塊 S10)。

尤其，首先，形成元件絕緣區域(element isolation regions)20 於半導體基片 10 之上以便定義第一及第二作用區域(active regions)30 及 40。基片 10 可能包括矽基片、絕緣層上覆矽(Silicon On Insulator, SOI)基片、砷化鎵(gallium arsenide)基片、矽鍺(silicon germanium)基片、陶瓷基片(ceramic substrate)、石英(quartz)基片、顯示玻璃(display glass)基片等等。元件絕緣區域 20 可能包括利用淺溝渠隔離(Shallow Trench Isolation, STI)製程及/或矽區域氧化(LOCAl Oxidation of Silicon, LOCOS)製程所形成的場氧化物(Field Oxide, FOX)。

接著，可能植入 P 型摻雜物於第一區域 30 以形成 P 型阱(P-type well)32，並且可能植入 N 型摻雜物於第二區域 40 以形成 N 型阱(N-type well)42。

介電層與導電層被循序地疊壓於第一及第二作用區域 30 及 40 之上，然後圖案成形以便形成第一及第二閘極介電層 110 及 210 與第一及第二閘極電極 120 及 220。第一及第二閘極介電層 110 及 210 的每一層可能包括二氧化矽(SiO_2)、硫(S)離子、氮化矽(Si_3N_4)、氮氧鍺化合物($\text{Ge}_x\text{O}_y\text{N}_z$)、氧矽鍺化合物($\text{Ge}_x\text{Si}_y\text{O}_z$)、高介電材料、及/或疊層，此疊層是藉由疊壓二氧化矽(SiO_2)、硫(S)離子、氮

化矽(Si_3N_4)、氮氧鍺化合物($\text{Ge}_x\text{O}_y\text{N}_z$)、氧矽鍺化合物($\text{Ge}_x\text{Si}_y\text{O}_z$)、及/或高介電材料所形成的這些層當中兩層或更多層來形成的。在此例中，二氧化鈦(HfO_2)、二氧化鋯(ZrO_2)、三氧化二鋁(Al_2O_3)、五氧化二鉭(Ta_2O_5)、矽酸鈦(hafnium silicate)、矽酸鋯(zirconium silicate)等等可能被當作高介電材料。

第一閘極電極 120 將形成於第一閘極介電層 110 之上，並且第二閘極電極 220 將形成於第二閘極介電層 210 之上。此外，第一及第二電極 120 及 220 可以是由例如多晶矽、植入摻雜物離子(dopant ions)的多晶矽、及/或其電阻低於多晶矽的電阻的金屬所構成。雖然在圖中未予以繪示，但是可能進一步形成金屬及/或金屬矽化物於多晶矽之上以便能夠提供第一及第二閘極電極 120 及 220 的已改良之操作特性。

接著，形成隔離層(spacers)130 及 230。例如，循序地形成作為隔離層的介電層於包含第一及第二電極 120 及 220 的半導體基片 10 的整個表面之上，然後利用例如回蝕(etch-back)的全面性蝕刻(blanket etch)分別形成隔離層 130 及 230 於第一及第二電極 120 及 220 的側壁之上。

在形成隔離層 130、230 之後，可能經由例如離子植入(ion implantation)以形成 N 型源極及汲極區域 160 與 P 型源極及汲極區域 260。

尤其，可能藉由光罩來遮罩第二作用區域 40。然後，當使用 N 通道金屬氧化物半導體(NMOS)電晶體 100 的第

一閘極電極 120 及隔離層 130 作為離子植入光罩時，可能植入例如砷(As)的 N 型摻雜物(N-type dopants)於基片 10 中。接著藉由光罩來遮罩第一作用區域 30，並且當使用 P 通道金屬氧化物半導體(PMOS)電晶體 200 的第二閘極電極 220 及隔離層 230 作為離子植入光罩時，可能植入例如硼(B)的 P 型摻雜物(P-type dopants)於基片 10 中。在此例中，可能選擇性地植入鹵離子(halo ions)於第一及第二作用區域 30 及 40 的每一區域。鹵離子是被植入的離子，其可能在形成閘極電極之後增強半導體基片的作用區域的濃度(concentration)並且可能在通道區域的長度被縮短時降低發生擊穿(punch-through)的可能性。通常使用其導電類型與形成源極及汲極區域的離子的導電類型相反的離子作為鹵離子。因此，可能植入例如硼的 P 型摻雜物於第一作用區域 30 以作為鹵素植入物(halo implants)，並且可能植入例如砷的 N 型摻雜物於第二作用區域 40 以作為鹵素植入物。

根據本發明的某些實施例之 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體 100 及 200 的源極及汲極區域 160 及 260 可能以各種方式來修改，並且可能予以修改成具有例如少量擴散汲極(Lightly Diffused Drain, LDD)結構、雙擴散汲極(Double Diffused Drain, DDD)結構、光罩孤立式雙擴散汲極(Mask Islanded Double Diffused Drain, MIDDD)結構、光罩式少量擴散汲極(Mask LDD, MLDD)結構、橫向雙擴散金屬氧化物半導體

(Lateral Double-diffused MOS, LDMOS)結構等等。

接著，可能執行例如熱製程(thermal process)以活化植入的離子及/或修復晶格(lattice)之損壞。可能使用快速增溫製程(Rapid Temperature Process, RTP)或雷射退火(LaSer Annealing, LSA)作為熱製程。

參照圖 1 及 2B，分別形成第一及第二耐蝕層 310 及 312 於 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體 100 及 200 之上(方塊 S20)。

尤其，第一及第二耐蝕層 310 及 312 的每一層可能包括例如氮化矽(SiN)層、硫(S)離子層、低壓化學氣相沈積(Low Pressure Chemical Vapor Deposition, LPCVD)氧化層、原子層沈積(Atomic Layer Deposition, ALD)氧化層、旋轉塗佈玻璃(SOG)層、及/或疊壓這些層當中兩層或更多層所形成的疊層，並且可能具有大約 50 埃(Å)至大約 2000 埃(Å)的厚度。

第一及第二耐蝕層 310 及 312 可能在製造半導體裝置的製程中作為抗反射層(antireflection layers)及/或蝕刻中止層(etch stop layers)。此外，因為可能形成第一及第二耐蝕層 310 及 312 於 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體 100 及 200 之上以便具有預定應力，所以可能改善 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體 100 及 200 的操作特性。

尤其，可能形成具有拉伸應力的第一耐蝕層 310 於 N

通道金屬氧化物半導體(NMOS)電晶體 100 之上，並且可能形成具有壓縮應力的第二耐蝕層 312 於 P 通道金屬氧化物半導體(PMOS)電晶體 200 之上。例如，當第一及第二耐蝕層 310 及 312 是由氮化矽(SiN)所構成時，發生於這些層的應力的類型(亦即拉伸應力或壓縮應力)可能與這些層之中氮-氫(N-H)鍵結(bonding)對矽-氫(Si-H)鍵結的比例有關。亦即，若在氮化矽(SiN)層之中氮-氫(N-H)鍵結對矽-氫(Si-H)鍵結的比例是在大約 1 至 5 的範圍內，則拉伸應力可能發生於此氮化矽(SiN)層。若在氮化矽(SiN)層之中氮-氫(N-H)鍵結對矽-氫(Si-H)鍵結的比例是在大約 5 至 20 的範圍內，則壓縮應力可能發生於此氮化矽(SiN)層。因此，在本發明的實施例中可能使用其氮-氫(N-H)鍵結對矽-氫(Si-H)鍵結的比例是在大約 1 至 5 的範圍內的氮化矽(SiN)層作為第一耐蝕層 310。並且，可能使用其氮-氫(N-H)鍵結對矽-氫(Si-H)鍵結的比例是在大約 5 至 20 的範圍內的氮化矽(SiN)層作為第二耐蝕層 312。

形成第一及第二耐蝕層 310 及 312 的方法並未侷限於上述方法。例如，在形成具有預定應力的單一耐蝕層於 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體之上之後，可能植入鍺及/或氮離子於位在 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分耐蝕層以便降低其拉伸應力。

並且，植入鍺及/或氮離子於位在 P 通道金屬氧化物半導體(PMOS)電晶體之上的耐蝕層的製程可能不會如上所

述予以分開地執行。於某些實施例，在以下參照圖 6A 所說明的製程中，亦即，在植入鍍及/或氮離子於第一層間介電層的製程中，可能同時地植入離子於耐蝕層及第一層間介電層中(圖 6A 的分層 320)。

此外，若位在 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體之上的耐蝕層的拉伸應力並未使得 P 通道金屬氧化物半導體(PMOS)電晶體的操作特性明顯地變差，則可能省略植入離子於在 P 通道金屬氧化物半導體(PMOS)電晶體之上的耐蝕層的單獨製程。

參照圖 1 及 2C，形成具有預定應力的第一層間介電(interlayer dielectric, ILD)層 320 於第一及第二耐蝕層 310 及 312 之上(方塊 S30)。雖然未予以繪示，但是第一層間介電層 320 可能包括利用金屬導線(metal wires)來連接位在半導體基片 10 之上的 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體 100 及 200 的接點。因此，可區別層間介電層與用以絕緣金屬導線的金屬間介電(inter-metallic dielectric, IMD)層。

尤其，第一層間介電層 320 可能包括臭氧-四乙基醇氧化矽(O_3 -TEOS)、無摻雜矽酸鹽玻璃(USG)、磷矽酸鹽玻璃(PSG)、硼矽酸鹽玻璃(BSG)、硼磷矽酸鹽玻璃(BPSG)、氟矽酸鹽玻璃(FSG)、旋轉塗佈玻璃(SOG)、Tonen 公司的矽氮烷(TOSZ)、及/或其組合。在本發明的某些實施例中，第一層間介電層 320 可能由具有預定拉伸應力的臭氧-四乙

基醇氧化矽(O_3 -TEOS)所構成。在此例中，可能利用化學氣相沈積(Cheical Vapor Deposition, CVD)法、旋轉塗佈(spin coating)法等等來形成第一層間介電層 320。

接著，第一層間介電層 320 可能被選擇性地平坦化以便易於執行後續製程。

參照圖 1 及 2D，可能使第一層間介電層 320 脫氫以便改變第一層間介電層 320 的應力(方塊 S40)。

尤其，當使第一層間介電層 320 脫氫時(亦即，當由第一層間介電層 320 部分地或完全地移除氫離子時)，可能在已脫氫的第一層間介電層 320 中形成空洞(voids)，其可能改變第一層間介電層 320 的應力。

藉由可在脫氫氣體環境之中執行的例如電漿處理、紫外線(UV)處理、及/或熱處理可使第一層間介電層 320 脫氫。參照圖 2D，可能對第一層間介電層 320 執行電漿處理 400。脫氫氣體可能包括氮氣(N_2)、氧氣(O_2)、臭氧(O_3)、氧化亞氮(N_2O)、氫氣(H_2)、及/或氘氣(D_2)。例如，當執行電漿處理且使用臭氧(O_3)作為脫氫氣體時(以下，稱之為'臭氧(O_3)電漿處理')，可能設定製程溫度在室溫與大約 700°C 之間，可能設定製程壓力在大約 10 毫托(mTorr)與大約 720 托(Torr)之間，以及可能設定射頻(RF)功率在大約 20 瓦(W)與大約 10,000 瓦(W)之間。氮氣(N_2)電漿處理及/或氧化亞氮(N_2O)電漿處理可能在類似於上述條件的製程條件下予以執行。並且，可能設定臭氧(O_3)熱處理中的製程溫度在例如大約 200°C 與大約 700°C 之間。以下將參考

第一例詳細說明藉由電漿處理之第一層間介電層 320 的脫氫。

例如，若第一層間介電層 320 由臭氧-四乙基醇氧化矽 (O_3 -TEOS) 所構成且在脫氫氣體環境之中執行電漿處理、紫外線(UV)處理、及/或熱處理以便使第一層間介電層 320 脫氫，則在已脫氫的第一層間介電層 320 中矽-氧氫(Si-OH)鍵結可能減少。若氫離子的濃度如上所述地減少，則可能形成空洞於已脫氫的第一層間介電層 320 之中，其可能增加第一層間介電層 320 的拉伸應力。第一層間介電層 320 的拉伸應力可能根據所使用的特定製程條件而有差異。然而，由臭氧-四乙基醇氧化矽 (O_3 -TEOS) 所構成的第一層間介電層 320 的拉伸應力在脫氫之前可能在大約 1 千萬至大約 1 億帕(Pa)的範圍內，並且在脫氫之後可能是大約 2 億帕(Pa)或更多。

此外，可能在脫氫氣體環境之中循序地執行電漿處理、紫外線(UV)處理、及/或熱處理數次。例如，在對第一層間介電層 320 執行臭氧(O_3)電漿處理之後，可能對第一層間介電層 320 執行氮氣(N_2)電漿處理。並且，在對第一層間介電層 320 執行臭氧(O_3)電漿處理之後，可能對第一層間介電層 320 執行氮氣(N_2)熱處理。

以下，將參考圖 2D 說明根據本發明的某些實施例之半導體裝置。

根據本發明的實施例因為形成已脫氫的第一層間介電層 320 於 N 通道金屬氧化物半導體(NMOS)電晶體 100

之上，所以可能增加半導體裝置 1 中的電流驅動能力。

尤其，當第一層間介電層 320 的拉伸應力增加時，壓縮應力可能發生於與位在第一層間介電層 320 下側的第一耐蝕層 310 接觸之 N 通道金屬氧化物半導體(NMOS)電晶體 100 的源極及汲極區域 160。由於此原因，拉伸應力發生於鄰接源極及汲極區域 160 的通道區域 146。如上所述，當拉伸應力發生於通道區域 146 時，在通道區域 146 中載子的有效質量(effective mass)可能減少，其可能增加在通道區域 146 中載子的遷移率。結果，因為電子遷移率可能增加，所以 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力可能增加。

例如，使用高密度電漿(High Density Plasma, HDP)氧化層作為第一層間介電層 320 的實施例與使用已脫氫的臭氧-四乙基醇氧化矽(O_3 -TEOS)層作為第一層間介電層 320 的實施例予以互相比較然後予以解釋。高密度電漿(HDP)氧化層具有優異的間隙填充(gap-filling)特性，因而能降低第一閘極電極 120 所造成的高度差。由於此原因，已經普遍地使用高密度電漿(HDP)氧化層作為習知半導體裝置的第一層間介電層。高密度電漿(HDP)氧化層可能具有大約-2 億帕(Pa)的壓縮應力，而已脫氫的臭氧-四乙基醇氧化矽(O_3 -TEOS)層則可能具有大約 2 億帕(Pa)或更多的拉伸應力。當應力差如上所述地發生時，N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力所增加的比例按照大約 4 億帕(Pa)應力差可能超過 10%。然而，電流驅動能

力的增加可能與 N 通道金屬氧化物半導體(NMOS)電晶體 100 的特性(例如，通道大小、電子濃度等等)有關。以下將參考第二例詳細說明由於電漿處理所增加的拉伸應力。

已脫氫的第一層間介電層 320 的厚度可能影響 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力直到預定厚度，超出此厚度再增加已脫氫的第一層間介電層 320 的厚度對 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力可能沒有進一步的效果。

參照圖 2D，N 通道金屬氧化物半導體(NMOS)電晶體 100 的第一閘極介電層 110、第一閘極電極 120、以及耐蝕層 310 的總厚度以 t_1 表示，而耐蝕層 310 及已脫氫的第一層間介電層 320 的總厚度則以 t_2 表示。當已脫氫的第一層間介電層 320 位於 N 通道金屬氧化物半導體(NMOS)電晶體之上時，只要 $t_2/t_1 < 1.14$ ，則 N 通道金屬氧化物半導體(NMOS)電晶體的通道電子遷移率將按照已脫氫的第一層間介電層 320 的厚度成比例地增加。然而，當 $t_2/t_1 \geq 1.14$ 時電子遷移率可能變成飽和，意指縱使再增加已脫氫的第一層間介電層 320 的厚度也無法繼續增加電子遷移率。因此，為了藉由第一層間介電層 320 的脫氫來增加 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力，應該使第一層間介電層 320 的厚度符合 $t_2/t_1 \geq 1.14$ 。以下將參考另外的例子予以詳細說明。

此外，根據本發明的某些實施例因為第一層間介電層 320 的氫離子的濃度可能由於半導體裝置 1 的脫氫而降

低，所以熱電子注入(hot electron injection)的效果可能減少。因此，可改善第一閘極介電層 110 的可靠度。

圖 3 是根據本發明的某些實施例之半導體裝置 2 的製造方法的橫斷面圖。在圖 3 中，與圖 1 至 2C 的元件實質上相同的元件將以相同的參考數字來表示，並且其詳細說明將予以省略。

參照圖 3，根據本發明的某些實施例之半導體裝置 2 可能更包括位於第一層間介電層 320 之上的覆蓋層 330。在使第一層間介電層 320 脫氫之後(圖 1 的方塊 S40)，可能形成覆蓋層 330 於已脫氫的第一層間介電層 320 之上以便阻隔或阻止濕氣及/或外部離子滲透至第一層間介電層 320。

尤其，縱使第一層間介電層 320 的拉伸應力可能藉由其脫氫而增加，但是若在例如形成導線及/或金屬間介電(IMD)層的製程之後續製造製程中濕氣及/或外部離子滲透至第一層間介電層 320，則第一層間介電層 320 的拉伸應力可能再度減少。例如，在後續的製造製程中可能作為第一層間介電層 320 的材料之臭氧-四乙基醇氧化矽($\text{O}_3\text{-TEOS}$)可能是非常吸濕性的(hygroscopic)。

濕氣及/或外部離子可能滲透至第一閘極介電層 110，並且可能使操作特性劣化，例如濕氣及/或外部離子可能改變臨界電壓準位(threshold voltage level)及/或增加 N 通道金屬氧化物半導體(NMOS)電晶體 100 的漏電流(leakage current)。因此，半導體裝置 2 可能具備用以減少

或避免濕氣及/或外部離子滲透第一層間介電層 320 的覆蓋層 330。

在第一層間介電層 320 的脫氫之後可能適合在臨場製程中形成覆蓋層 330。此外，可能使用高密度電漿(HDP)氧化層、電漿強化四乙基醇氧化矽(Plasma Enhanced-Tetra Ethyl Ortho Silicate, PE-TEOS)等等作為覆蓋層 330。

圖 4 是根據本發明的某些實施例之半導體裝置製造方法的橫斷面圖。在圖 4 中，與圖 1 至 2C 的元件實質上相同的元件將以相同的參考數字來表示，並且其詳細說明將予以省略。

參照圖 4，根據本發明的某些實施例之半導體裝置 3 可能更包括附加已脫氫的層間介電層 340。在使第一層間介電層 320 脫氫之後(圖 1 的方塊 S40)，可能形成附加層間介電層 340 於已脫氫的第一層間介電層 320 之上。

尤其，形成具有應力的附加層間介電層 340 於第一層間介電層 320 之上，並且使附加層間介電層 340 脫氫以便改變其應力。

藉由例如可能在脫氫氣體環境之中執行的電漿處理 400 及/或熱處理可使附加層間介電層 340 脫氫。對附加層間介電層執行電漿處理 400 的例子繪示於圖 4。附加層間介電層 340 可能包括臭氧-四乙基醇氧化矽(O_3 -TEOS)、無摻雜矽酸鹽玻璃(USG)、磷矽酸鹽玻璃(PSG)、硼矽酸鹽玻璃(BSG)、硼磷矽酸鹽玻璃(BPSG)、氟矽酸鹽玻璃(FSG)、旋轉塗佈玻璃(SOG)、Tonen 公司的矽氮烷(TOSZ)等等，

並且可能利用例如化學汽相沈積(CVD)法、旋轉塗佈法等來形成。此外，脫氫氣體可能包括氮氣(N_2)、氧氣(O_2)、臭氧(O_3)、氧化亞氮(N_2O)、氫氣(H_2)、氘氣(D_2)、及/或其組合。可能在脫氫氣體環境之中重複地執行例如電漿處理、紫外線(UV)處理、及/或熱處理的脫氫製程數次。

當如上所述地脫氫時因為附加層間介電層 340 的拉伸應力可能增加，所以 N 通道金屬氧化物半導體(NMOS)電晶體的電流驅動能力可能增加。

並且，雖然在圖中未予以繪示，但是可能重複地執行形成附加層間介電層 340 以及使附加層間介電層 340 脫氫的一系列製程以便形成層間介電層 320 及數層附加層間介電層 340 於 N 通道金屬氧化物半導體(NMOS)電晶體 100 之上。

附加已脫氫的層間介電層 340 的厚度可能影響 N 通道金屬氧化物半導體(NMOS)電晶體的電流驅動能力直到預定厚度，超過此厚度時附加已脫氫的介電層間的厚度對 N 通道金屬氧化物半導體(NMOS)電晶體的電流驅動能力可能不具有額外的效果。

尤其，參照圖 4，N 通道金屬氧化物半導體(NMOS)電晶體 100 的第一閘極介電層 110、第一閘極電極 120、以及耐蝕層 310 的總厚度以 t_1 表示，並且耐蝕層 310、已脫氫的第一層間介電層 320、以及已脫氫的附加層間介電層 340 的總厚度以 t_3 表示。在此例中，只要 $t_3/t_1 < 1.14$ ，則電子遷移率可能按照已脫氫的第一層間介電層 320 的厚度

成比例地增加。然而，當 $t_3/t_1 \geq 1.14$ 時，縱使增加已脫氫的附加層間介電層 340 的厚度或形成數層附加層間介電層 340 也無法再增加電子遷移率。因此，應滿足 $t_3/t_1 \geq 1.14$ 的條件以便最大化 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力。

圖 5 是根據本發明的某些實施例之半導體裝置 4 的製造方法的橫斷面圖。在圖 5 中，與圖 1 至 2C 的元件實質上相同的元件將以相同的參考數字來表示，並且其詳細說明將予以省略。

參照圖 5，根據本發明的某些實施例之半導體裝置 4 可能更包括其應力小於已脫氫的第一層間介電層 320 的應力之第二層間介電層 350。在使第一層間介電層 320 脫氫之後(圖 1 的方塊 S40)，將形成第二層間介電層 350 於已脫氫的第一層間介電層 320 之上。

尤其，半導體裝置的層間介電層的總厚度應大於預定厚度 t_4 以便降低 N 通道金屬氧化物半導體(NMOS)電晶體 100 與位在層間介電層之上的金屬導線之間的電性耦合(electrical coupling)。然而，若使其厚度大於預定厚度 t_4 的層間介電層脫氫以增加其拉伸應力，則可能使層間介電層接近其表面的部分充分地脫氫，但是無法使層間介電層接近源極及汲極區域 160 的部分充分地脫氫。因此，無法充分地增加層間介電層接近源極及汲極區域 160 的部分的拉伸應力。

參照圖 5，N 通道金屬氧化物半導體(NMOS)電晶體

100 的第一閘極介電層 110、第一閘極電極 120、以及耐蝕層 310 的總厚度以 t_1 表示，並且耐蝕層 310 及已脫氫的第一層間介電層 320 的總厚度以 t_2 表示。第一層間介電層 320 可能具有預定厚度，因而第一層間介電層 320 滿足 $t_2/t_1 \geq 1.14$ 的條件且因而使其接近源極及汲極區域 160 的部分也可輕易地脫氫。可使第一層間介電層 320 脫氫以便增加其拉伸應力。

接著，可能形成具有至少大約 $(t_4 - t_2)$ 的預定厚度的第二層間介電層 350 於第一層間介電層 320 之上。因為形成第二層間介電層 350 於離 N 通道金屬氧化物半導體 (NMOS) 電晶體達厚度 t_2 的部分，所以第二層間介電層 350 無法影響 N 通道金屬氧化物半導體 (NMOS) 電晶體 100 的電流驅動能力。由於此原因，不論第二層間介電層 350 的應力大小為何層間介電層都可能具有厚度 t_4 。因此，第二層間介電層 350 的應力可能小於第一層間介電層 320 的應力。亦即，因為壓縮應力是負值且拉伸應力是正值，所以第二層間介電層 350 的應力可能是壓縮或可能是小於第一層間介電層 320 的拉伸應力。

圖 6A 是根據本發明的某些實施例之半導體裝置 5 的製造方法的橫斷面圖，而圖 6B 則是根據本發明的另外實施例之半導體裝置 6 的製造方法的橫斷面圖。在圖 6A 及 6B 中，與圖 1 至 2C 的元件實質上相同的元件將以相同的參考數字來表示，並且其詳細說明將予以省略。

參照圖 6A 及 6B，應施加壓縮應力於 P 通道金屬氧化

物半導體(PMOS)電晶體 200 的通道區域 246 以改善其電洞遷移率。然而，當如上所述地脫氫時，因為第一層間介電層 320 施加拉伸應力於 P 通道金屬氧化物半導體(PMOS)電晶體 200 的通道區域 246，所以第一層間介電層 320 可能使 P 通道金屬氧化物半導體(PMOS)電晶體 200 的電流驅動能力劣化。

在根據本發明的某些實施例之半導體裝置 5 中，在使第一層間介電層 320 脫氫之後(見圖 1 的方塊 S40)，藉由使用覆蓋 N 通道金屬氧化物半導體(NMOS)電晶體 100 的光罩圖案 350 可植入鍍及/或氮離子 410 於位在 P 通道金屬氧化物半導體(PMOS)電晶體 200 之上的已脫氫的第一層間介電層 320，如圖 6A 所示。結果，能夠降低位於 P 通道金屬氧化物半導體(PMOS)電晶體 200 之上的一部分已脫氫的第一層間介電層 320 的拉伸應力。除了已脫氫的第一層間介電層 320 之外，可能同時地植入鍍及/或氮離子於位在 P 通道金屬氧化物半導體(PMOS)電晶體 200 之上的耐蝕層 312，如上所述。

參照圖 6B，在根據本發明的某些實施例之半導體裝置 6 中，可能在使第一層間介電層 320 脫氫(見圖 1 的方塊 S40)之前形成覆蓋 P 通道金屬氧化物半導體(PMOS)電晶體 200 的光罩圖案 352。接著，使第一層間介電層 320 脫氫(例如，可能在脫氫氣體環境之中對第一層間介電層 320 執行電漿處理 404)。結果，能夠只施加拉伸應力於位在 N 通道金屬氧化物半導體(NMOS)電晶體 100 之上的一部分

第一層間介電層 320。

以此方式，也能夠維持 P 通道金屬氧化物半導體 (PMOS) 電晶體 200 的電流驅動特性。

根據本發明的某些實施例之半導體裝置 7 的製造方法將參考圖 7 及圖 8A 至 8E 予以說明。圖 7 是根據本發明的某些實施例之半導體裝置 7 的製造方法的流程圖，並且圖 8A 至 8E 是根據本發明的某些實施例之半導體裝置 7 的製造方法的橫斷面圖。

根據本發明的某些實施例之繪示於圖 8A 至 8E 的半導體裝置 7 的製造方法實質上類似於圖 2A 至 2C 所繪示之方法。因此，其詳細說明將予以省略。

以下將說明繪示於圖 7 及圖 8A 至 8E 之半導體裝置的製造方法。形成 N 通道金屬氧化物半導體 (NMOS) 電晶體 100 及 P 通道金屬氧化物半導體 (PMOS) 電晶體 200 於半導體基片 10 之上 (方塊 S100)。分別形成第一及第二耐蝕層 310 及 312 於 N 通道金屬氧化物半導體 (NMOS) 電晶體 100 及 P 通道金屬氧化物半導體 (PMOS) 電晶體 200 之上 (方塊 S200)。然後，形成具有預定應力的第一層間介電層 320 於第一及第二耐蝕層 310 及 312 之上 (方塊 S300)。

接著，參照圖 7、8D、以及 8E，形成可能以金屬導線連接 N 通道金屬氧化物半導體 (NMOS) 及 P 通道金屬氧化物半導體 (PMOS) 電晶體 100 及 200 的接點 328 於第一層間介電層 320 之中 (方塊 S400)。因此，可區別第一層間介電層 320 與用以絕緣金屬導線的金屬間介電 (IMD) 層。

尤其，如圖 8D 所示，形成用以形成接觸孔(contact holes)322的光阻圖案(photoresist pattern)(未繪示)於第一層間介電層 320 之上。接著，當使用光阻圖案(未繪示)作為蝕刻光罩(etch mask)時，將部分地蝕刻第一層間介電層 320 直到閘極電極 120 及 220 與源極及汲極區域 160 及 260 暴露於外部為止，藉以形成接觸孔 322。亦即，閘極電極 120 及 220 及/或源極及汲極區域 160 及 260 的表面經由每一個接觸孔 322 暴露於外部。

其後，如圖 8E 所示，形成接點 328 以便埋入至接觸孔 322 之中。在此例中，每一個接點 328 是由形成於每一個接觸孔的內表面的位障層(barrier layer)324 及金屬層(metal layer)326 所構成。

位障層 324 可能包括：歐姆附著層(ohmic adhesion layer)，其可能改善要埋入至每一個接觸孔 322 的金屬層的接點性質；以及擴散位障(diffusion barrier)，其避免可能因金屬材料的擴散而發生的金屬材料與矽之間的反應。在此例中，可能藉由沈積例如鈦(Ti)或鉭(Ta)的耐熱金屬(refractory metal)於接觸孔的表面之上來形成歐姆層，並且可能藉由沈積氮化鈦(TiN)及/或氮化鉭(TaN)於歐姆層的表面之上來形成擴散位障。

其次，形成金屬材料於每一個接觸孔 322 之中以便形成接點 328。在此例中，形成位障層 324 於每一個接觸孔 322 的內表面之上。可能藉由沈積例如鎢(W)、銅(Cu)、及/或鋁(Al)的金屬材料於每一個接觸孔 328 之中來形成每一

個接點 328。

接著，可能執行例如化學機械研磨 (Chemical Mechanical Polishing, CMP) 或回蝕的平坦化製程 (planarization process) 直到第一層間介電層 320 的至少一部分表面暴露於外部為止。

其後，參照圖 7 及 8E，使第一層間介電層 320 脫氫以便改變其應力(方塊 S500)。

尤其，執行由第一層間介電層 320 移除氫離子的脫氫製程 400，因而可能形成空洞於第一層間介電層 320 之中，這可能改變其應力。

為了使第一層間介電層 320 脫氫，可能在脫氫氣體環境之中對第一層間介電層 320 執行電漿處理、紫外線(UV)處理、及/或熱處理。並且，脫氫氣體可能包括氮氣(N_2)、氧氣(O_2)、臭氧(O_3)、氧化亞氮(N_2O)、氫氣(H_2)、及/或氘氣(D_2)。

例如，若第一層間介電層 320 由臭氧-四乙基醇氧化矽 (O_3 -TEOS) 所構成且在脫氫氣體環境之中執行電漿處理、紫外線(UV)處理、及/或熱處理以便使第一層間介電層 320 脫氫，則在已脫氫的第一層間介電層 320 中矽-氧氫(Si-OH)鍵結可能減少。如上所述，若氫離子的濃度減少，則可能形成空洞於已脫氫的第一層間介電層 320 之中，這可能增加其拉伸應力。雖然拉伸應力可能依製程條件而異，但是由臭氧-四乙基醇氧化矽(O_3 -TEOS)所構成的分層的拉伸應力通常在脫氫之前可能在大約 1 千萬到 1 億帕(Pa)的範圍

內，而在脫氫之後則可能是大約 2 億帕(Pa)或更多。

此外，可能在脫氫氣體環境之中循序地執行電漿處理、紫外線(UV)處理、及/或熱處理數次。例如，在對第一層間介電層 320 執行臭氧(O₃)電漿處理之後，可能對第一層間介電層 320 執行氮氣(N₂)電漿處理。另一方面或額外地，在對第一層間介電層 320 執行臭氧(O₃)電漿處理之後，可能對第一層間介電層 320 執行氮氣(N₂)電漿熱處理。

如上所述，當形成接點 328 於第一層間介電層 320 之中且使第一層間介電層 320 脫氫時，能夠在形成接點期間降低第一層間介電層 320 的應力及/或阻隔或阻止濕氣滲透第一層間介電層 320。

在根據本發明的某些實施例之半導體裝置 7 中，因為形成已脫氫的第一層間介電層 320 於 N 通道金屬氧化物半導體(NMOS)電晶體 100 之上，所以 N 通道金屬氧化物半導體(NMOS)電晶體的電流驅動能力可能增加。

尤其，當第一層間介電層 320 的拉伸應力增加時，壓縮應力可能發生於與位在第一層間介電層 320 下側的第一耐蝕層 310 接觸之 N 通道金屬氧化物半導體(NMOS)電晶體 100 的源極及/或汲極區域 160。由於此原因，拉伸應力可能發生於鄰接源極及汲極區域 160 的通道區域 146。如上所述，當拉伸應力發生於通道區域 146 時，在通道區域 146 中載子的有效質量可能減少。結果，因為電子遷移率可能增加，所以 N 通道金屬氧化物半導體(NMOS)電晶體 100 的電流驅動能力可能增加。

根據本發明的某些實施例之半導體裝置 8 將參考圖 9 予以詳細說明。圖 9 是根據本發明的某些實施例之半導體裝置 8 的橫斷面圖。在圖 9 中，與圖 8A 至 8C 的元件實質上相同的元件將以相同的參考數字來表示，並且其詳細說明將予以省略。

參照圖 9，根據本發明的某些實施例之半導體裝置 8 可能更包括位於第一層間介電層 320 上的覆蓋層 330。在形成接點 328 於第一層間介電層 320 之中且使第一層間介電層 320 脫氫之後，可能形成覆蓋層 330 於第一層間介電層 320 之上以便阻隔或阻止濕氣及/或外部離子滲透至第一層間介電層 320。

尤其，縱使第一層間介電層 320 的拉伸應力可能藉由其脫氫而增加，但是若濕氣及/或外部離子在例如形成導線及金屬間介電(IMD)層的製程之後續製造製程中滲透至第一層間介電層 320，則第一層間介電層 320 的拉伸應力可能再度減少。例如，可能作為第一層間介電層 320 的材料之臭氧-四乙基醇氧化矽(O_3 -TEOS)在後續的製造製程中可能是非常吸濕性的。

濕氣及/或外部離子可能滲透第一閘極介電層 110，並且可能使操作特性劣化。亦即，濕氣及/或外部離子可能改變臨界電壓準位及/或增加 N 通道金屬氧化物半導體(NMOS)電晶體 100 的漏電流。因此，半導體裝置 8 可能具備阻隔或阻止濕氣及/或外部離子滲透至第一層間介電層 320 的覆蓋層 330。

在第一層間介電層 320 的脫氫之後可能適合在臨場製程中形成覆蓋層 330。並且，可能使用高密度電漿(HDP)氧化層、電漿強化四乙基醇氧化矽(PE-TEOS)、氮化矽(SiN)、硫(S)離子等等作為覆蓋層 330。

雖然已經參照本發明的較佳實施例來說明本發明，但是任何熟習此技藝者在不脫離本發明的範疇及精神的情況下當可作些許之更動。因此，須知上述實施例並非用以限定本發明，而是用以繪示說明本發明的某些實施例。

本發明的某些實施例將參考下列特定例子予以說明。

藉由第一例，形成具有預定拉伸應力的耐蝕層於 N 通道金屬氧化物半導體(NMOS)電晶體之上，並且形成臭氧-四乙基醇氧化矽(O₃-TEOS)層於耐蝕層之上以便作為第一層間介電層。其次，利用傅立葉轉換紅外線(Fourier Transform-Infrared, FT-IR)光譜儀(spectrometer)來分析第一層間介電層的化學成份。接著，在對形成於 N 通道金屬氧化物半導體(NMOS)電晶體之上的第一層間介電層執行臭氧(O₃)電漿處理之後，將利用傅立葉轉換紅外線(FT-IR)光譜儀來分析第一層間介電層的化學成份。其結果繪示於圖 10。

在圖 10 中，X-軸代表波數(cm^{-1})，並且 Y-軸代表吸光度。傅立葉轉換紅外線(FT-IR)光譜儀將紅外線射入分子中，並且吸收及發射具有與基於分子中原子的鍵結結構的特性振動能量相對應之波長(在大約 4000 至 400 cm^{-1} 的範圍內)的光線。在此例中，傅立葉轉換紅外線(FT-IR)光譜

儀測量波長的變化以分析第一層間介電層的化學成份。圖 10 的字母'a'表示在臭氧(O_3)電漿處理之前的結果，並且圖 10 的字母'b'表示在臭氧(O_3)電漿處理之後的結果。當"a"與"b"互相比較時，可知 OH (H_2O , Si-OH)及 Si-OH 的峰值在'b'例中較低。因此，若對第一層間介電層執行臭氧(O_3)電漿處理，可知在第一層間介電層之中氫離子的濃度降低。

在第二例中，形成具有預定拉伸應力的耐蝕層於第一至第四 N 通道金屬氧化物半導體(NMOS)電晶體之上，並且形成臭氧-四乙基醇氧化矽(O_3 -TEOS)層於耐蝕層之上以便作為第一層間介電層。其次，在每一個 N 通道金屬氧化物半導體(NMOS)電晶體上測量剛沈積的(as-deposited)第一層間介電層的應力大小(As-Depo)。接著，分別對於位在第一至第四 N 通道金屬氧化物半導體(NMOS)電晶體之上的第一層間介電層在臭氧(O_3)電漿處理之後執行氨氣(NH_3)電漿處理、臭氧(O_3)電漿處理、氮氣(N_2)電漿處理、以及氮氣(N_2)電漿處理。然後，在每一個 N 通道金屬氧化物半導體(NMOS)電晶體上測量第一層間介電層的應力大小(Treatment)。其結果繪示於圖 11。

在圖 11 中，X-軸代表電漿處理的類型，並且 Y-軸代表第一層間介電層的拉伸應力的大小。因為氨氣(NH_3)電漿處理無法有效移除第一層間介電層的離子，所以可知第一層間介電層的拉伸應力從氨氣(NH_3)電漿處理之前到之後並未明顯地增加。同時，若分別對於第一層間介電層在臭氧(O_3)電漿處理之後執行臭氧(O_3)電漿處理、氮氣(N_2)電漿

處理、以及氮氣(N_2)電漿處理，則可知第一層間介電層的拉伸應力大小相較於電漿處理之前的大約 1 千萬帕(Pa)分別增加至大約 2 億 1 千萬帕(Pa)、3 億 3 千萬帕(Pa)、以及 3 億 7 千萬帕(Pa)。亦即，確知臭氧(O_3)電漿處理、氮氣(N_2)電漿處理等等能有效移除第一層間介電層的離子。

在第三例中，於模擬程式(simulation program)中設定下列條件。在模擬條件中，具有預定拉伸應力的耐蝕層位於 N 通道金屬氧化物半導體(NMOS)電晶體之上，並且第一層間介電層位於耐蝕層之上。其次，當第一層間介電層的厚度改變時，將根據第一層間介電層的厚度變化來模擬電子遷移率的變化。其結果繪示於圖 12。

在圖 12 中，X-軸代表 t_2/t_1 (其中 t_1 表示 N 通道金屬氧化物半導體(NMOS)電晶體的閘極介電層、閘極電極、以及耐蝕層的總厚度，並且 t_2 表示耐蝕層及已脫氫的第一層間介電層的總厚度)，並且 Y-軸代表正規化的電子遷移率的變化。可知當 $t_2/t_1 \geq 1.14$ 時電子遷移率並未增加。因此，可知應滿足 $t_2/t_1 \geq 1.14$ 的條件以便藉由第一層間介電層的脫氫來最大化 N 通道金屬氧化物半導體(NMOS)電晶體的電流驅動能力。

因此，根據本發明的實施例之半導體裝置製造方法可能具有一個或多個優點。

例如，因為拉伸應力可能由於位在 N 通道金屬氧化物半導體(NMOS)電晶體之上的第一層間介電層的脫氫而增加，所以能夠改善電子遷移率且由此改善 N 通道金屬氧化

物半導體(NMOS)電晶體的電流驅動能力。

並且，因為在第一層間介電層之中氫離子的濃度可能由於脫氫而降低，所以熱電子注入的效果可能減少。因此，可改善 N 通道金屬氧化物半導體(NMOS)電晶體的閘極介電層的可靠度。

因為可能形成覆蓋層於第一層間介電層之上使得在已脫氫的第一層間介電層之中氫離子的濃度無法隨著增加，所以能夠阻隔或阻止濕氣及/或外部離子滲透至第一層間介電層。因此，可改善 N 通道金屬氧化物半導體(NMOS)電晶體的操作特性。

因為在形成接點於覆蓋 N 通道金屬氧化物半導體(NMOS)及 P 通道金屬氧化物半導體(PMOS)電晶體的第一層間介電層之中之後可能使第一層間介電層脫氫，所以能夠在接點形成期間阻隔或阻止濕氣及/或外部離子滲透至第一層間介電層。

因為在形成接點於第一層間介電層之中且使第一層間介電層脫氫之後可能在臨場製程中形成覆蓋層，所以能夠更有效地避免第一層間介電層成為吸濕性者(hygroscopic)。

在附圖及說明書中，已經揭露本發明的典型實施例，雖然其中使用特定術語，然其僅用於一般性說明而非用以限定本發明，因此本發明的權利保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為了提供本發明的進一步說明而予以併入且構成本申請案的一部分之本發明所含附圖繪示本發明的某些實施例。在所述圖式中：

圖 1 是根據本發明的某些實施例之半導體裝置的製造方法的流程圖。

圖 2A 至 2D 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 3 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 4 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 5 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 6A 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 6B 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 7 是根據本發明的某些實施例之半導體裝置的製造方法的流程圖。

圖 8A 至 8E 是根據本發明的某些實施例之半導體裝置的製造方法的橫斷面圖。

圖 9 是根據本發明的某些實施例之半導體裝置的橫斷面圖。

圖 10 繪示根據本發明的某些實施例之當形成臭氧-四

乙基醇氧化矽(O_3 -TEOS)層於 N 通道金屬氧化物半導體(NMOS)電晶體之上時利用傅立葉轉換紅外線(FT-IR)光譜儀來分析在臭氧(O_3)電漿處理之前與之後臭氧-四乙基醇氧化矽(O_3 -TEOS)層的成份變化所獲得的結果。

圖 11 繪示根據本發明的某些實施例之當形成臭氧-四乙基醇氧化矽(O_3 -TEOS)層於 N 通道金屬氧化物半導體(NMOS)電晶體之上時測量在臭氧(O_3)電漿處理之後分別執行氨氣(NH_3)電漿處理、臭氧(O_3)電漿處理、氮氣(N_2)電漿處理、以及氮氣(N_2)電漿處理之前與之後臭氧-四乙基醇氧化矽(O_3 -TEOS)層的應力大小所獲得的結果。

圖 12 繪示根據本發明的某些實施例之依照位在 N 通道金屬氧化物半導體(NMOS)電晶體之上的第一層間介電層的厚度變化來模擬電子遷移率變化所可能獲得的結果。

【主要元件符號說明】

- 1：半導體裝置
- 2：半導體裝置
- 3：半導體裝置
- 4：半導體裝置
- 5：半導體裝置
- 6：半導體裝置
- 7：半導體裝置
- 8：半導體裝置
- 10：半導體基片
- 20：元件絕緣區域

- 30：第一作用區域
- 32：P 型阱
- 40：第二作用區域
- 42：N 型阱
- 100：N 通道金屬氧化物半導體(NMOS)電晶體
- 110：第一閘極介電層
- 120：第一閘極電極
- 130：隔離層
- 146：通道區域
- 160：N 型源極及汲極區域
- 200：P 通道金屬氧化物半導體(PMOS)電晶體
- 210：第二閘極介電層
- 220：第二閘極電極
- 230：隔離層
- 246：通道區域
- 260：P 型源極及汲極區域
- 310：第一耐蝕層
- 312：第二耐蝕層
- 320：第一層間介電層
- 322：接觸孔
- 324：位障層
- 326：金屬層
- 328：接點
- 330：覆蓋層

340：附加層間介電層

350：第二層間介電層(或光罩圖案)

352：光罩圖案

400：電漿處理

404：電漿處理

410：鍍及/或氮離子

五、中文發明摘要：

半導體裝置製造方法，包括：形成 N 通道金屬氧化物半導體(NMOS)電晶體於半導體基片之上；形成第一層間介電層於 N 通道金屬氧化物半導體(NMOS)電晶體之上；以及使第一層間介電層脫氫。使第一層間介電層脫氫可能改變第一層間介電層的應力。尤其，第一層間介電層在脫氫化之後可能具有 2 億帕(Pa)或更多的拉伸應力。本發明也提供包括已脫氫的層間介電層的半導體裝置。

六、英文發明摘要：

Methods of manufacturing a semiconductor device include forming an NMOS transistor on a semiconductor substrate, forming a first interlayer dielectric layer on the NMOS transistor, and dehydrogenating the first interlayer dielectric layer. Dehydrogenating the first interlayer dielectric layer may change a stress of the first interlayer dielectric layer. In particular, the first interlayer dielectric layer may have a tensile stress of 200 MPa or more after dehydrogenization. Semiconductor devices including dehydrogenated interlayer dielectric layers are also provided.

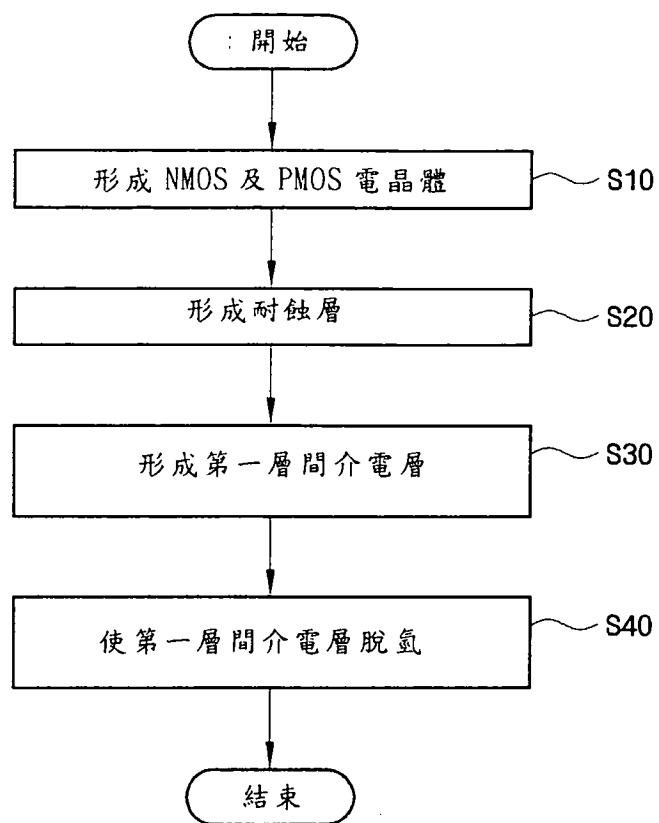


圖 1

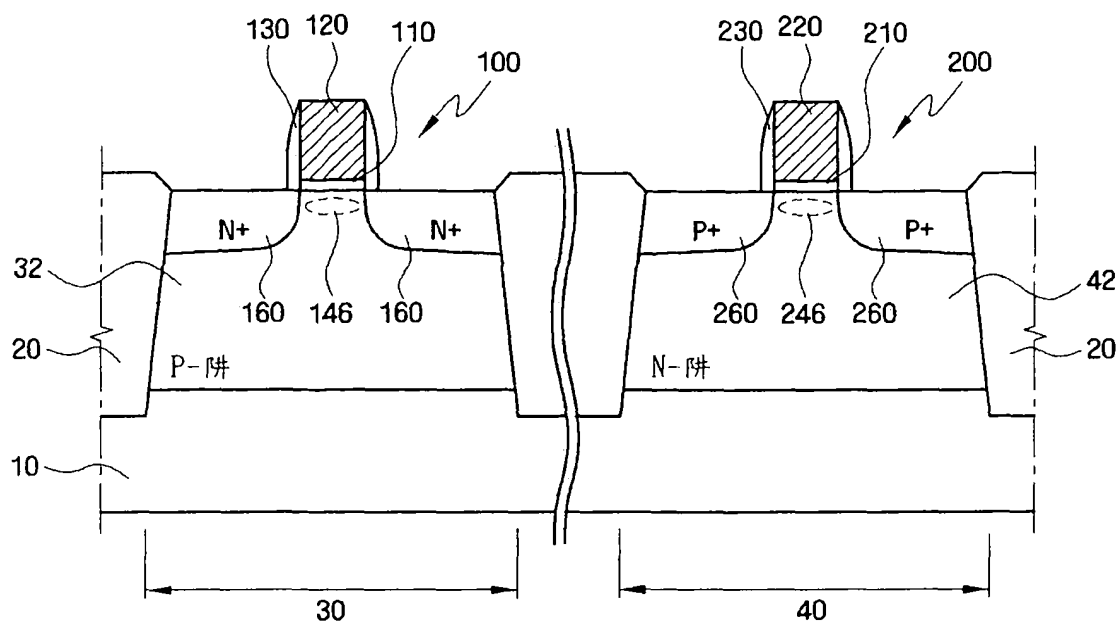


圖 2A

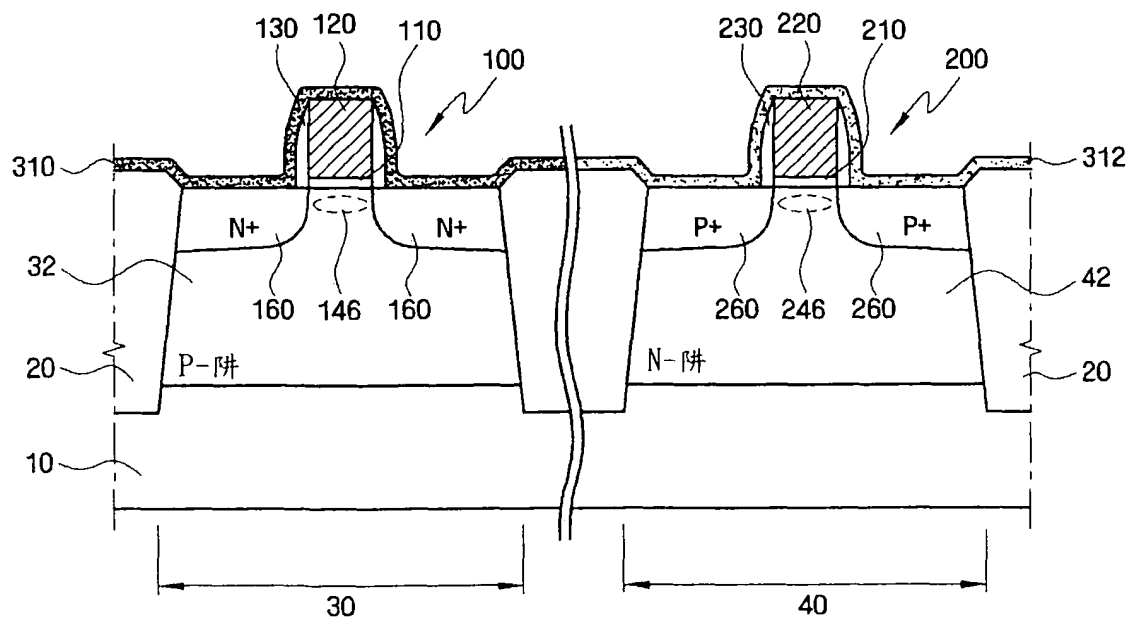


圖 2B

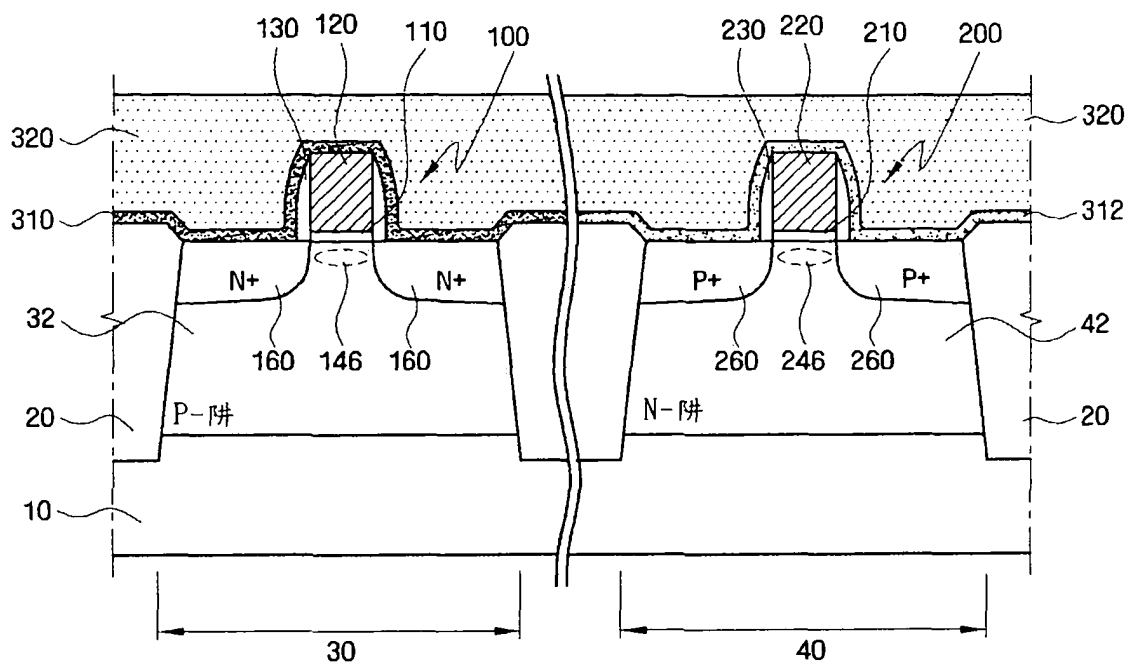


圖 2C

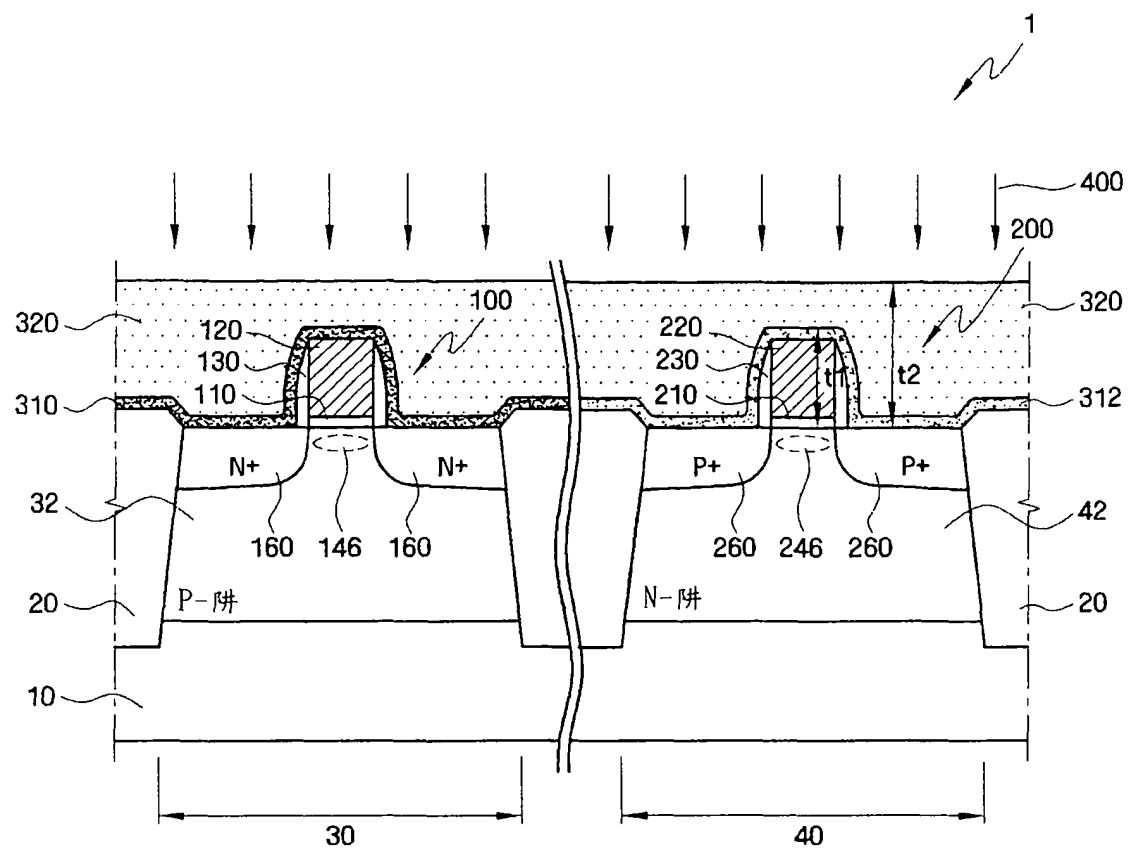


圖 2D

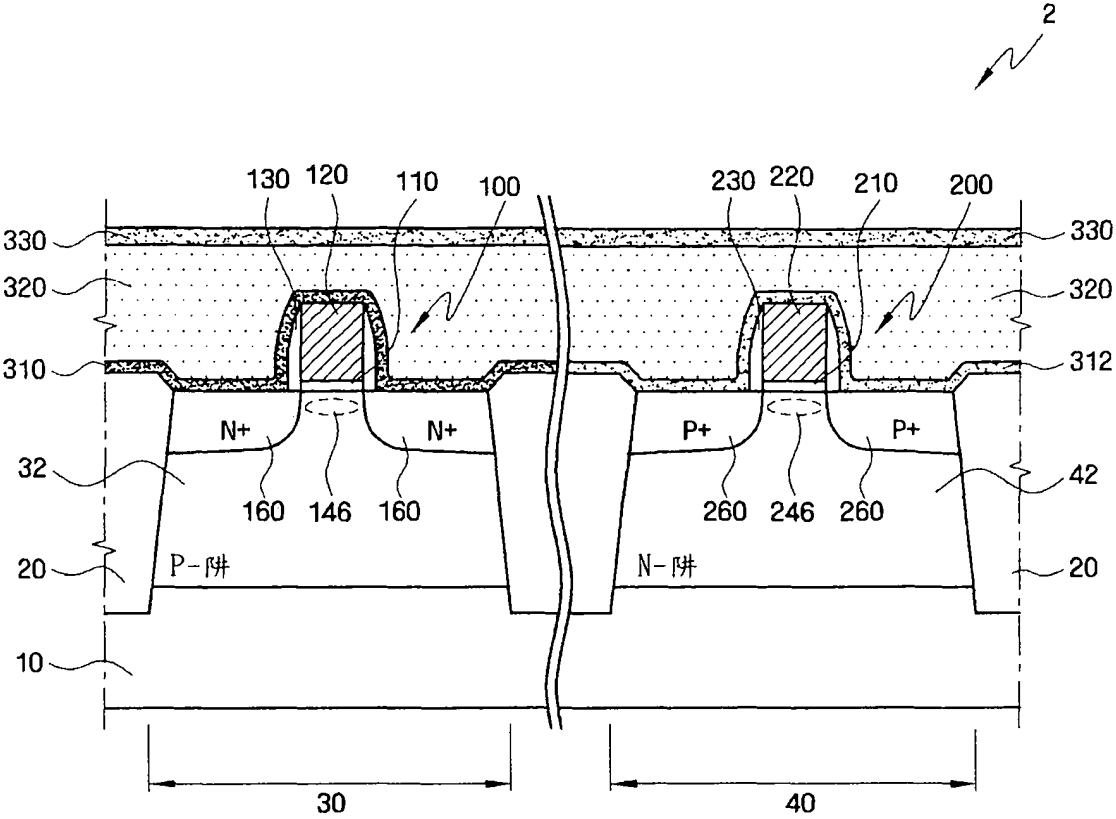


圖 3

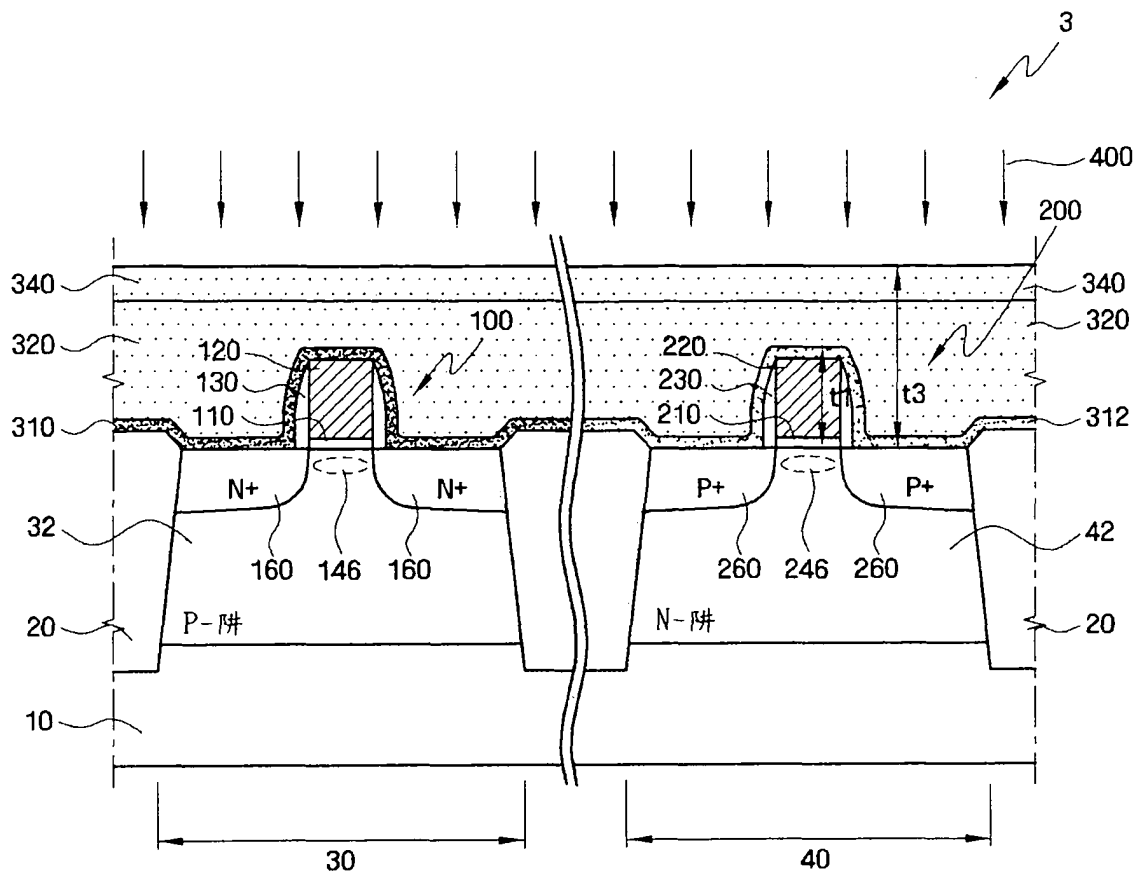


圖 4

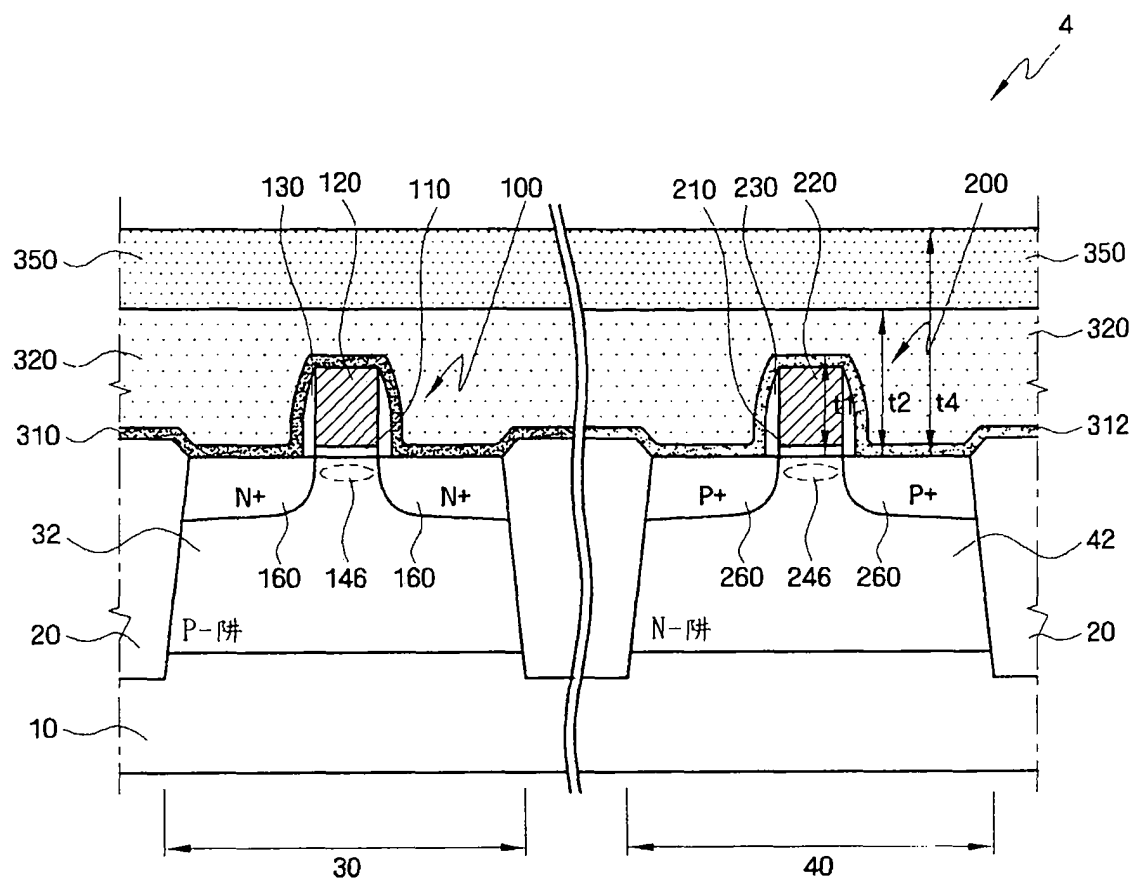


圖 5

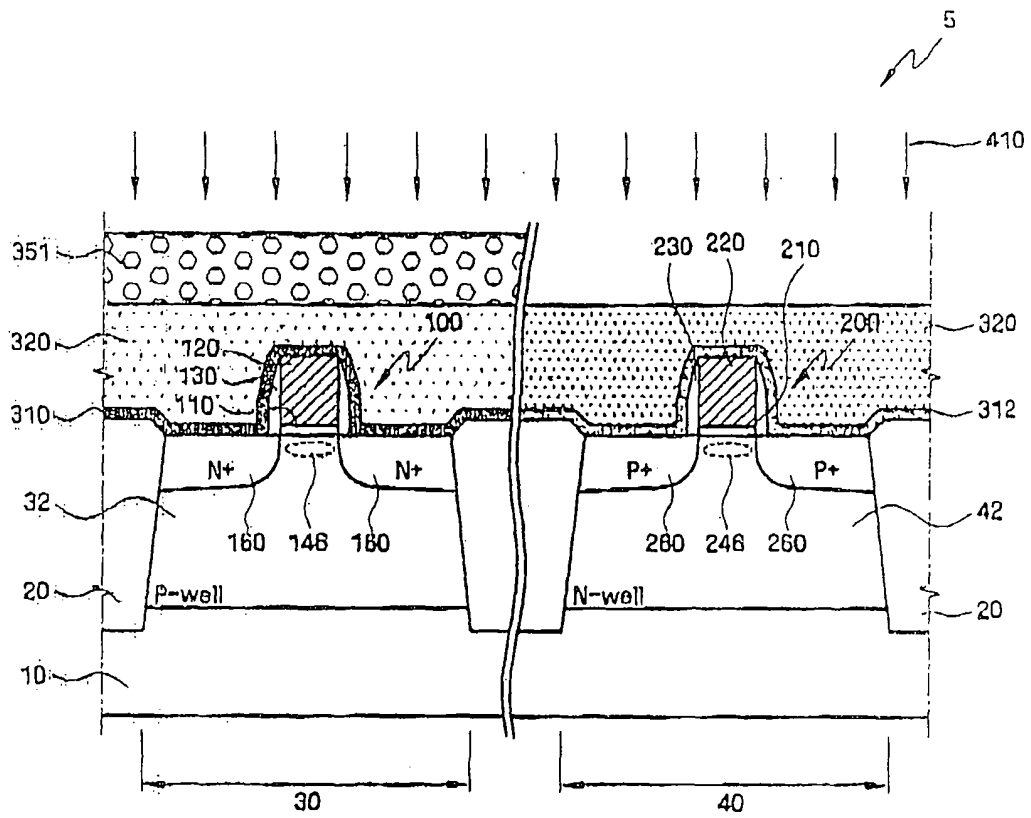


圖 6A

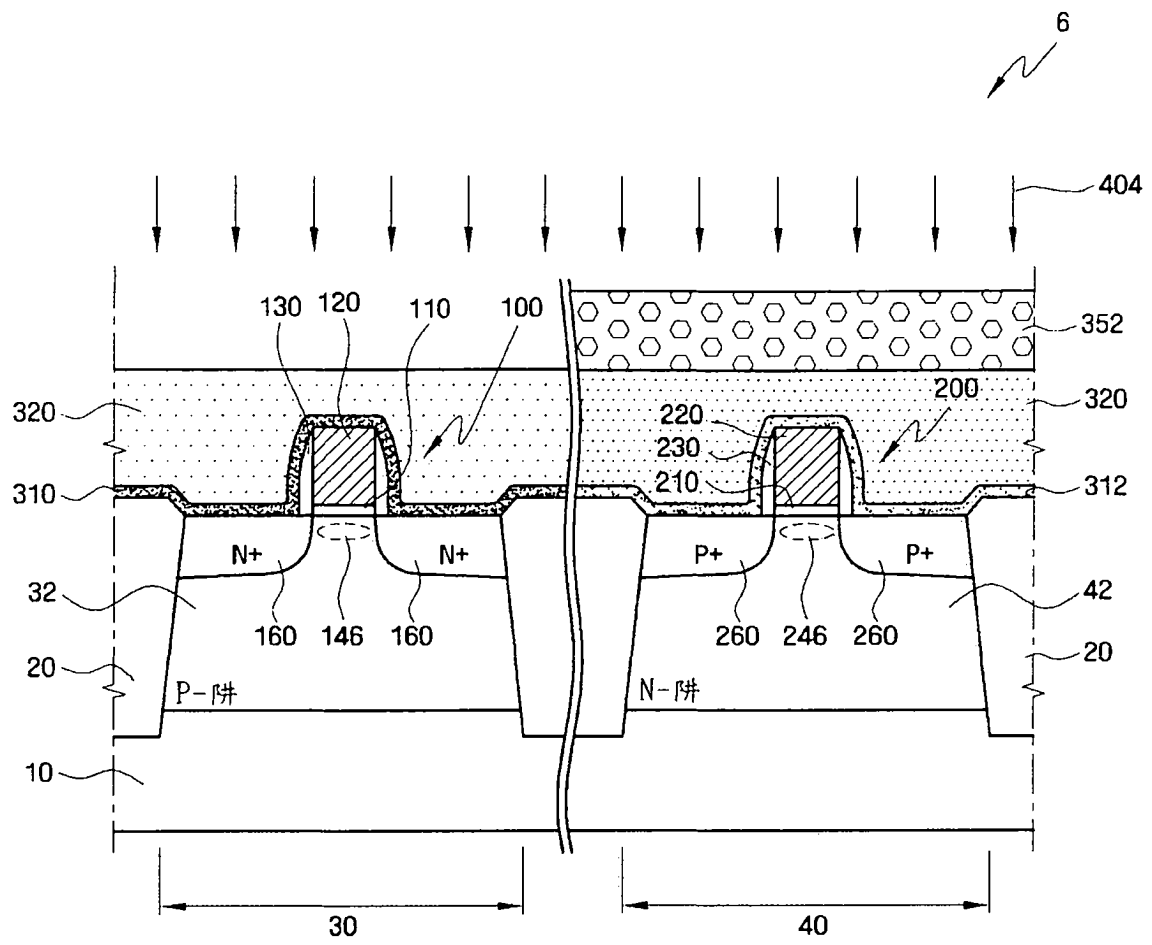


圖 6B

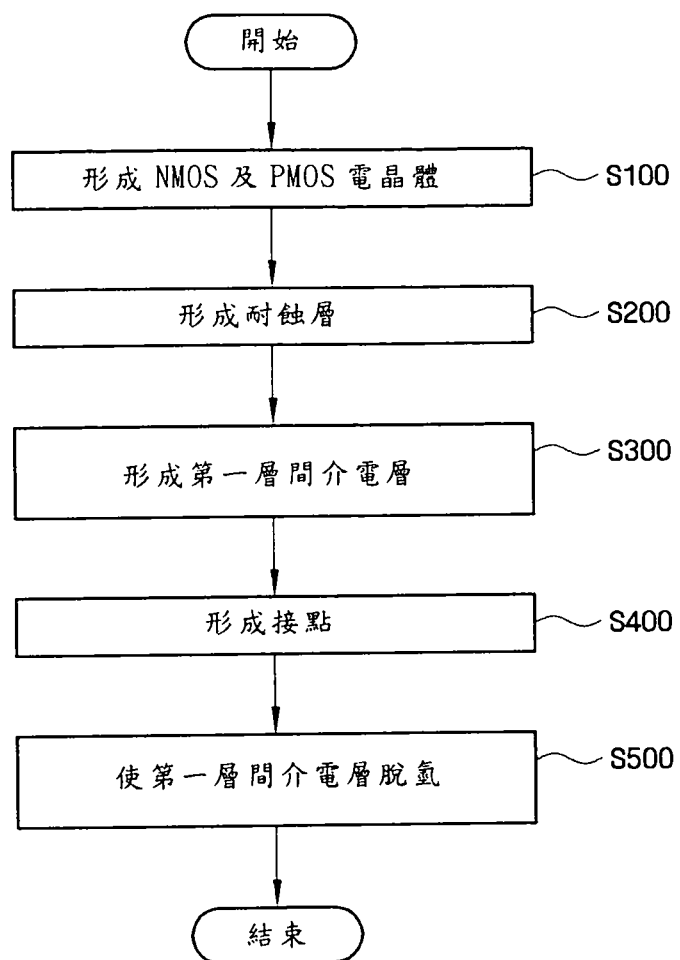


圖 7

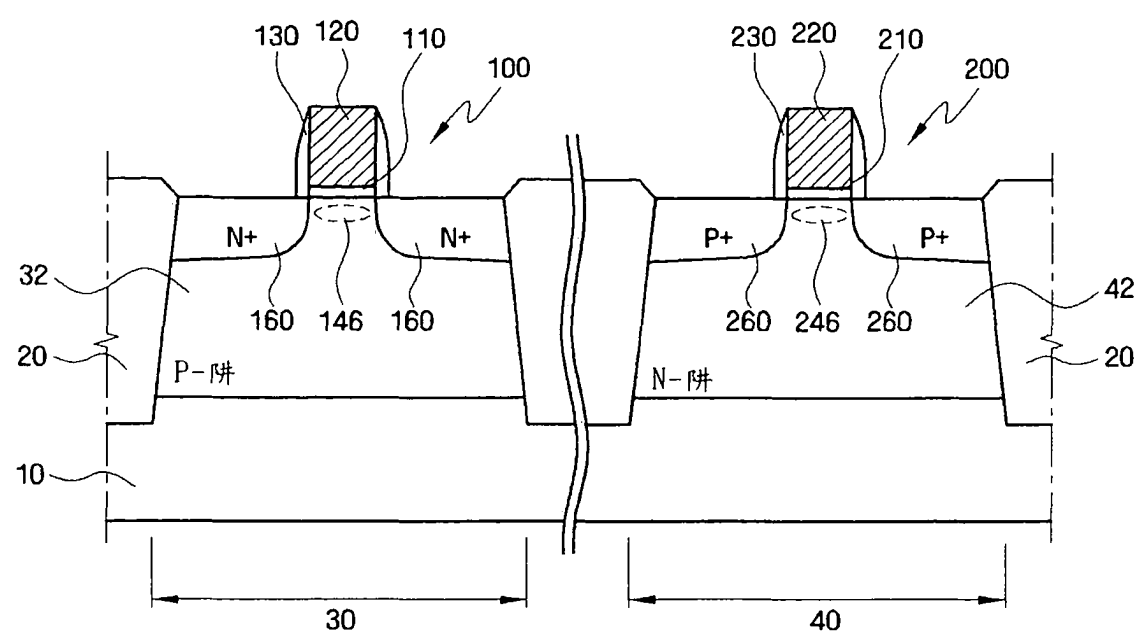


圖 8A

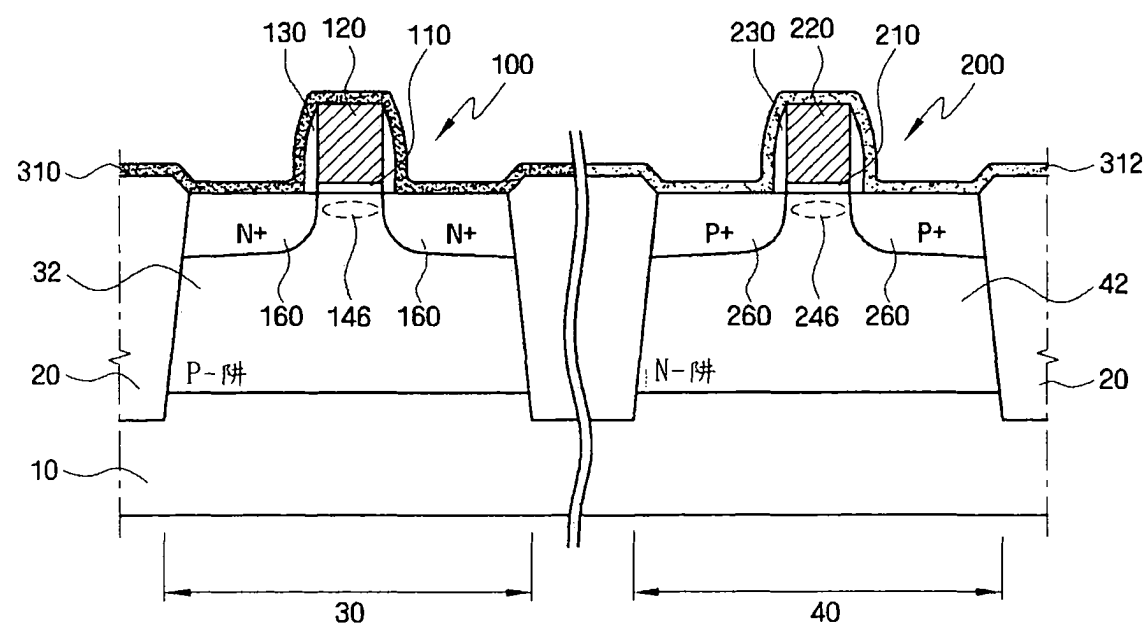


圖 8B

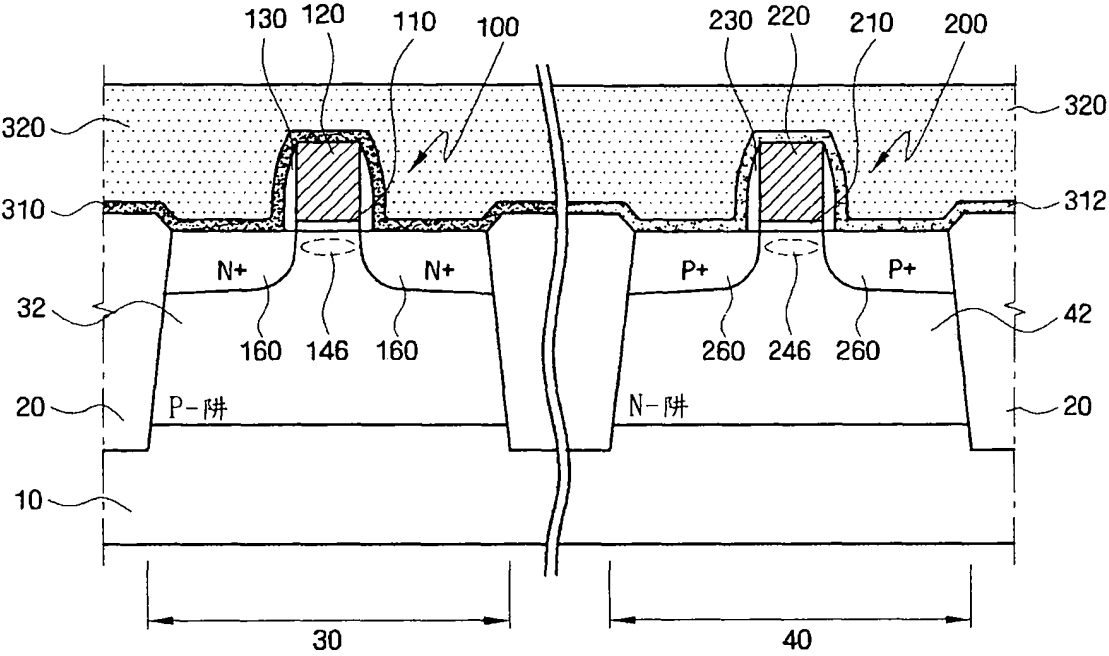


圖 8C

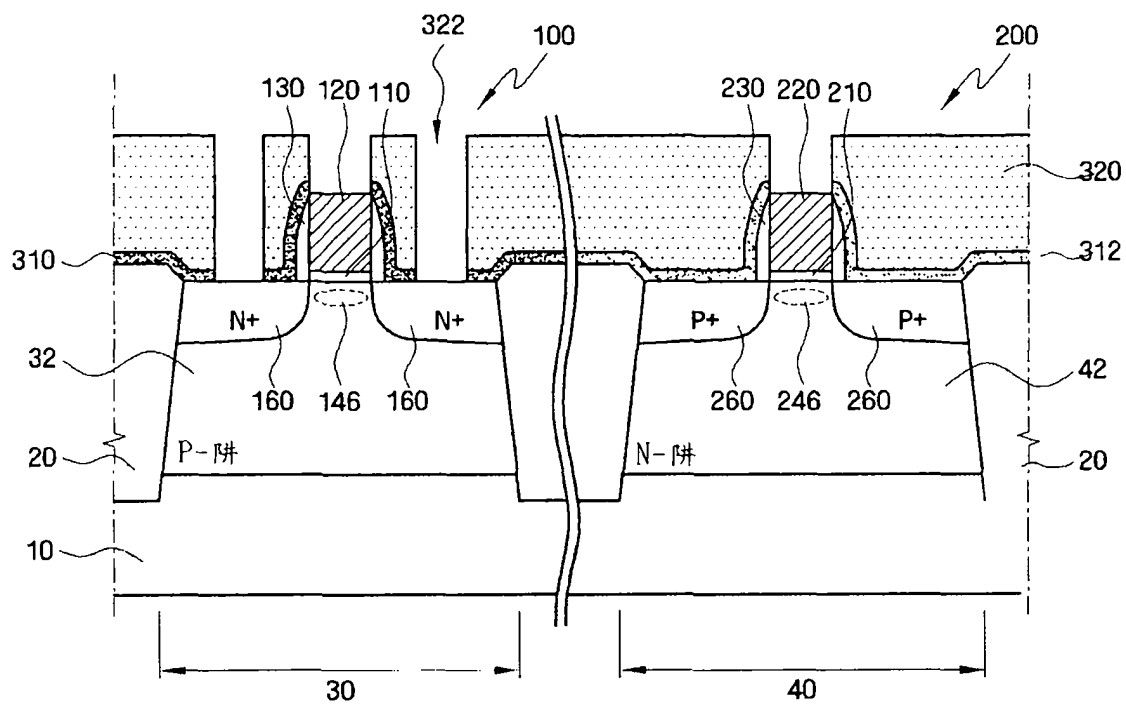


圖 8D

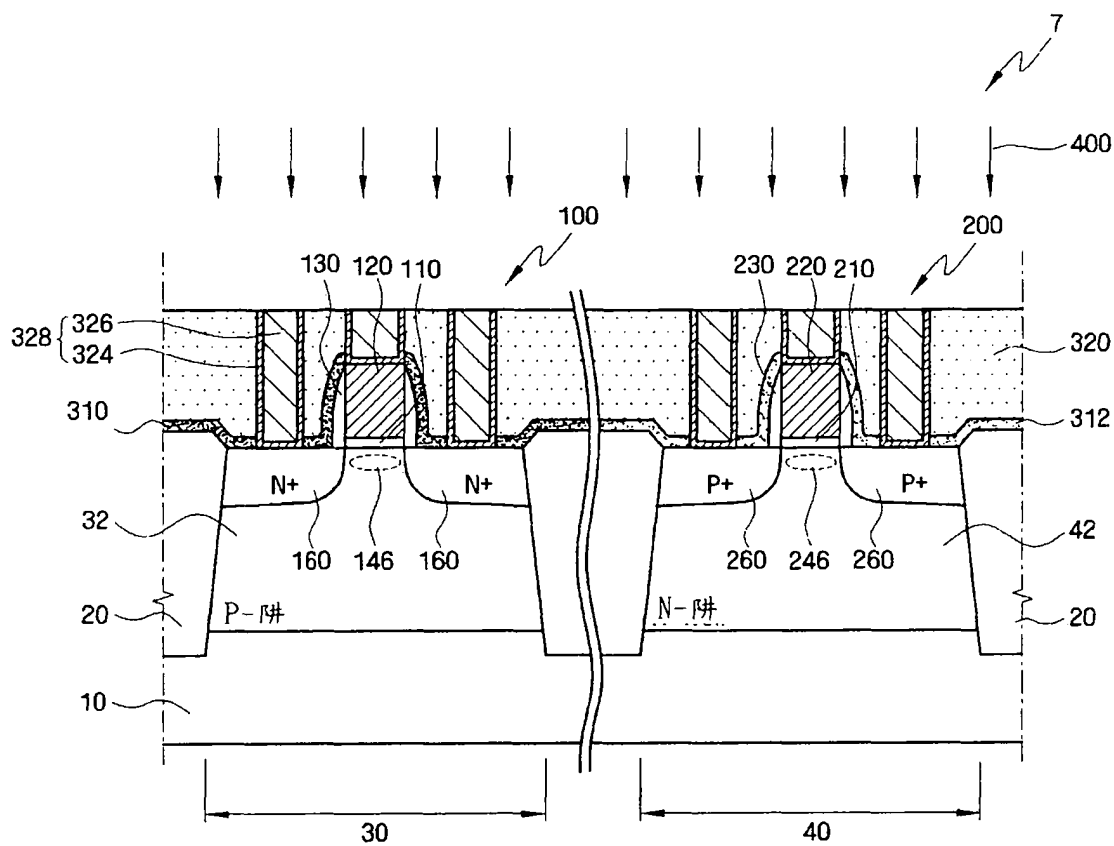


圖 8E

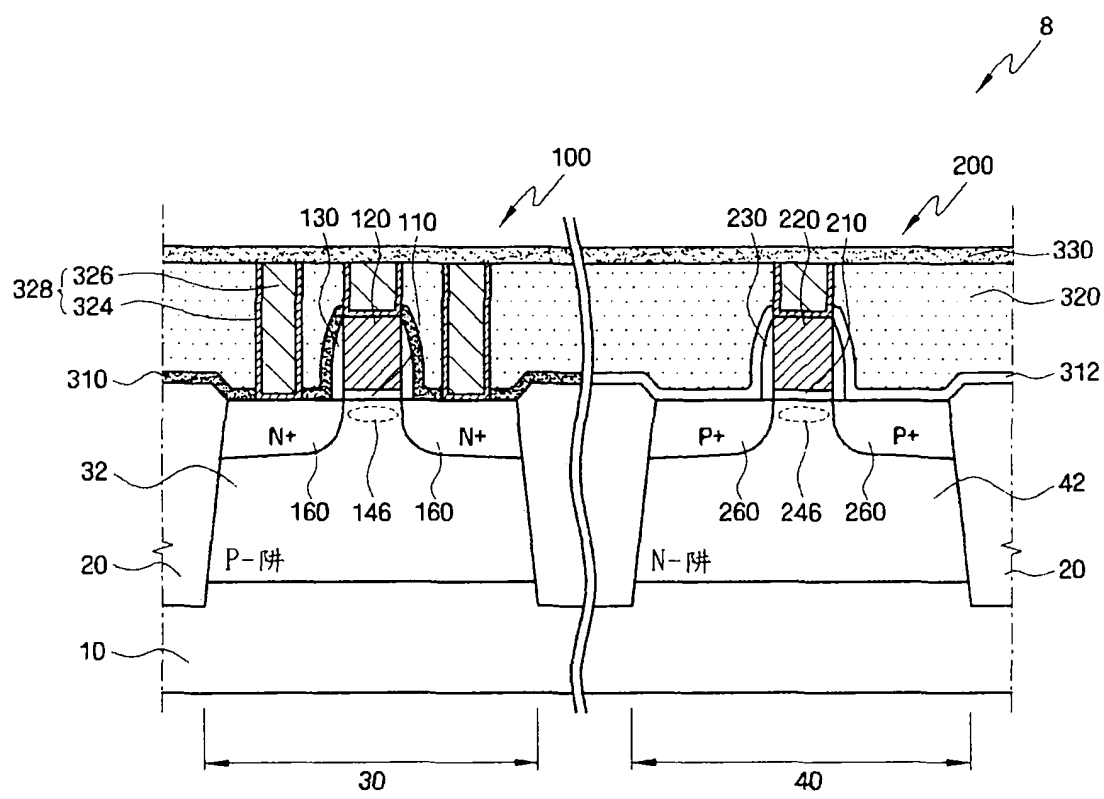


圖 9

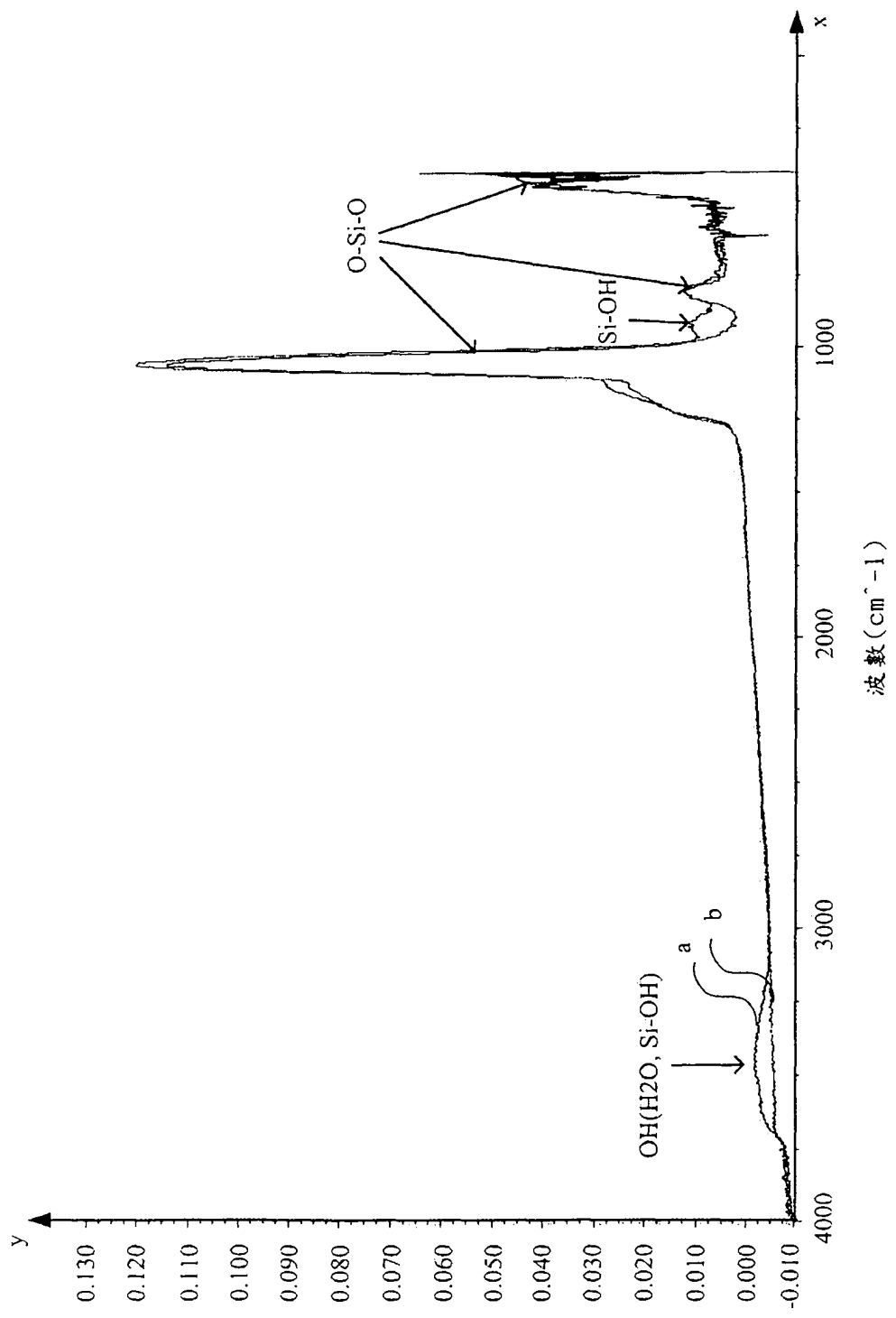


圖 10

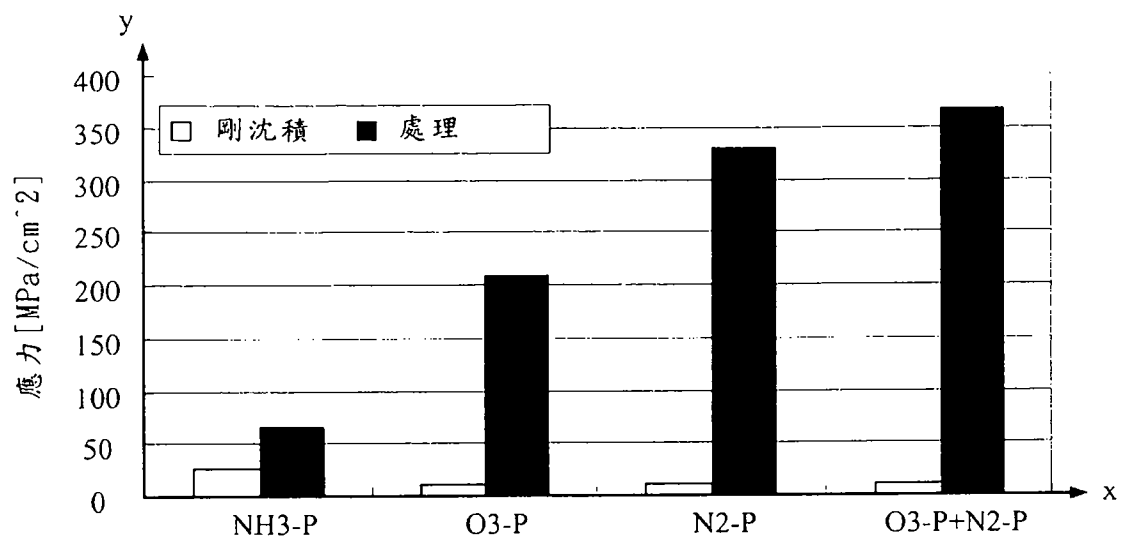


圖 11

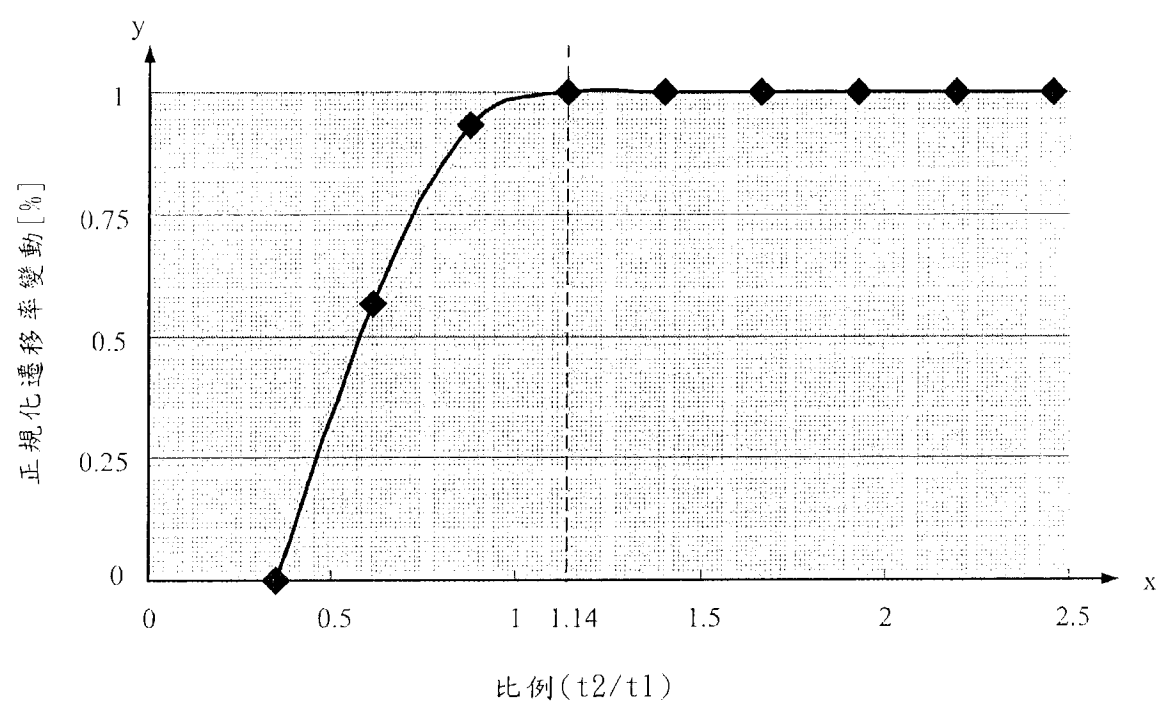


圖 12

七、指定代表圖：

(一)本案指定代表圖為：圖 2D

(二)本代表圖之元件符號簡單說明：

- 1：半導體裝置
- 10：半導體基片
- 20：元件絕緣區域
- 30：第一作用區域
- 32：P 型阱
- 40：第二作用區域
- 42：N 型阱
- 100：N 通道金屬氧化物半導體(NMOS)電晶體
- 110：第一閘極介電層
- 120：第一閘極電極
- 130：隔離層
- 146：通道區域
- 160：N 型源極及汲極區域
- 200：P 通道金屬氧化物半導體(PMOS)電晶體
- 210：第二閘極介電層
- 220：第二閘極電極
- 230：隔離層
- 246：通道區域
- 260：P 型源極及汲極區域
- 310：第一耐蝕層
- 312：第二耐蝕層

320：第一層間介電層

400：電漿處理

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1.一種半導體裝置製造方法，包括：

形成 N 通道金屬氧化物半導體(NMOS)電晶體於基片之上；

形成第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上；以及

使所述第一層間介電層脫氫，

其中使所述第一層間介電層脫氫以改變所述第一層間介電層的應力。

2.如申請專利範圍第 1 項所述之半導體裝置製造方法，其中使所述第一層間介電層脫氫包括在脫氫氣體環境之中對所述第一層間介電層執行電漿處理、紫外線(UV)處理、及/或熱處理。

3.如申請專利範圍第 2 項所述之半導體裝置製造方法，其中所述脫氫氣體包括氮氣(N_2)、氧氣(O_2)、臭氧(O_3)、氧化亞氮(N_2O)、氫氣(H_2)、氘氣(D_2)、及/或其組合。

4.如申請專利範圍第 1 項所述之半導體裝置製造方法，其中所述第一層間介電層在脫氫化之後具有至少大約 2 億帕(Pa)的拉伸應力。

5.如申請專利範圍第 1 項所述之半導體裝置製造方法，其中所述第一層間介電層包括臭氧-四乙基醇氧化矽(O_3 -TEOS)、無摻雜矽酸鹽玻璃(USG)、磷矽酸鹽玻璃(PSG)、硼矽酸鹽玻璃(BSG)、硼磷矽酸鹽玻璃(BPSG)、氟矽酸鹽玻璃(FSG)、旋轉塗佈玻璃(SOG)、及/或 Tonen 公司

的矽氮烷(TOSZ)。

6.如申請專利範圍第 1 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之後在所述第一層間介電層之中形成連接到所述 N 通道金屬氧化物半導體(NMOS)電晶體的接點。

7.如申請專利範圍第 1 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之後形成第二層間介電層於所述第一層間介電層之上，其中在使所述第一層間介電層脫氫之後所述第二層間介電層的應力小於所述第一層間介電層的應力。

8.如申請專利範圍第 1 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之後形成覆蓋層於所述第一層間介電層之上，其中所述覆蓋層阻隔或阻止濕氣及/或外部離子滲透至所述第一層間介電層。

9.如申請專利範圍第 8 項所述之半導體裝置製造方法，其中在使所述第一層間介電層脫氫之後在臨場製程中形成所述覆蓋層。

10.如申請專利範圍第 1 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之前形成具有拉伸應力的耐蝕層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上。

11.如申請專利範圍第 10 項所述之半導體裝置製造方法，其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，以及其中所述 N 通道金屬氧化

物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，而所述耐蝕層及所述第一層間介電層的總厚度以 t_2 表示，且其中 $t_2/t_1 \geq 1.14$ 。

12.如申請專利範圍第 1 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之後：

形成具有應力的附加層間介電層於所述第一層間介電層之上；以及

使所述附加層間介電層脫氫，

其中使形成所述附加層間介電層以及使所述附加層間介電層脫氫予以重複一或多次。

13.如申請專利範圍第 12 項所述之半導體裝置製造方法，其中使所述附加層間介電層脫氫包括在脫氫氣體環境之中對所述附加層間介電層執行電漿處理、紫外線(UV)處理、及/或熱處理。

14.如申請專利範圍第 13 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之前形成具有拉伸應力的耐蝕層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上。

15.如申請專利範圍第 14 項所述之半導體裝置製造方法，其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，以及其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，而所述耐蝕層、

所述已脫氫的第一層間介電層、以及所述已脫氫的附加層間介電層的總厚度以 t_3 表示，且其中 $t_3/t_1 \geq 1.14$ 。

16.如申請專利範圍第 1 項所述之半導體裝置製造方法，其中：

形成所述 N 通道金屬氧化物半導體(NMOS)電晶體於所述半導體基片之上包括形成所述 N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體於所述半導體基片之上；以及

形成所述第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上包括形成所述第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體及所述 P 通道金屬氧化物半導體(PMOS)電晶體之上。

17.如申請專利範圍第 16 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之後將銻及/或氮離子植入位於所述 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分所述第一層間介電層中。

18.如申請專利範圍第 16 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之前形成光罩圖案於位在所述 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分所述第一層間介電層之上。

19.一種半導體裝置製造方法，包括：

形成 N 通道金屬氧化物半導體(NMOS)電晶體於基片之上；

形成包括具有拉伸應力的臭氧-四乙基醇氧化矽

(O₃-TEOS)層的第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上；以及

使所述第一層間介電層脫氫。

20.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中使所述第一層間介電層脫氫包括在脫氫氣體環境之中對所述第一層間介電層執行電漿處理、紫外線(UV)處理、及/或熱處理。

21.如申請專利範圍第 20 項所述之半導體裝置製造方法，其中所述脫氫氣體包括氮氣(N₂)、氧氣(O₂)、臭氧(O₃)、氧化亞氮(N₂O)、氫氣(H₂)、氘氣(D₂)、及/或其組合。

22.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中所述第一層間介電層在脫氫化之後具有 2 億帕(Pa)或更多的拉伸應力。

23.如申請專利範圍第 19 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之後在所述第一層間介電層之中形成連接到所述 N 通道金屬氧化物半導體(NMOS)電晶體的接點。

24.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中使所述第一層間介電層脫氫包括形成已脫氫的第一層間介電層，所述方法更包括形成第二層間介電層於所述已脫氫的第一層間介電層之上，其中所述第二層間介電層的應力小於所述已脫氫的第一層間介電層的應力。

25.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中使所述第一層間介電層脫氫包括形成已脫氫的第

一層間介電層，所述方法更包括形成覆蓋層於所述已脫氫的第一層間介電層之上，其中所述覆蓋層用以阻隔或阻止濕氣及/或外部離子滲透至所述已脫氫的第一層間介電層。

26.如申請專利範圍第 25 項所述之半導體裝置製造方法，其中形成所述覆蓋層包括在使所述第一層間介電層脫氫之後在臨場製程中形成所述覆蓋層。

27.如申請專利範圍第 19 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之前形成具有拉伸應力的耐蝕層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上。

28.如申請專利範圍第 26 項所述之半導體裝置製造方法，其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，以及其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 $t1$ 表示，而所述耐蝕層及所述已脫氫的第一層間介電層的總厚度以 $t2$ 表示，且其中 $t2/t1 \geq 1.14$ 。

29.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中使所述第一層間介電層脫氫包括形成已脫氫的第一層間介電層，所述方法更包括：

形成具有拉伸應力的附加層間介電層於所述已脫氫的第一層間介電層之上；以及

使所述附加層間介電層脫氫，

其中使形成所述附加層間介電層以及使所述附加層

間介電層脫氫予以重複一或多次。

30.如申請專利範圍第 29 項所述之半導體裝置製造方法，其中使所述附加層間介電層脫氫包括在脫氫氣體環境之中對所述附加層間介電層執行電漿處理、紫外線(UV)處理、及/或熱處理。

31.如申請專利範圍第 30 項所述之半導體裝置製造方法，更包括在形成所述第一層間介電層之前形成具有拉伸應力的耐蝕層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上。

32.如申請專利範圍第 31 項所述之半導體裝置製造方法，其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，其中使所述第一層間介電層脫氫包括形成已脫氫的第一層間介電層，其中使所述附加層間介電層脫氫包括形成已脫氫的附加層間介電層，以及其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，而所述耐蝕層、所述已脫氫的第一層間介電層、以及所述已脫氫的附加層間介電層的總厚度以 t_3 表示，且其中 $t_3/t_1 \geq 1.14$ 。

33.如申請專利範圍第 19 項所述之半導體裝置製造方法，其中：

形成所述 N 通道金屬氧化物半導體(NMOS)電晶體於所述半導體基片之上包括形成所述 N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶

體於所述半導體基片之上；以及

形成所述第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上包括形成所述第一層間介電層於所述 N 通道金屬氧化物半導體(NMOS)電晶體及所述 P 通道金屬氧化物半導體(PMOS)電晶體之上。

34.如申請專利範圍第 33 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之後將鍍及/或氮離子植入位於所述 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分所述第一層間介電層中。

35.如申請專利範圍第 33 項所述之半導體裝置製造方法，更包括在使所述第一層間介電層脫氫之前形成光罩圖案於位在所述 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分所述第一層間介電層之上。

36.一種半導體裝置，包括：

N 通道金屬氧化物半導體(NMOS)電晶體，其位於基片之上且包含閘極介電層及閘極電極；

耐蝕層，其位於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上，所述耐蝕層具有拉伸應力；以及

已脫氫的第一層間介電層，其位於所述耐蝕層之上，所述已脫氫的第一層間介電層具有由於其脫氫而增加的拉伸應力，

其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，並且所述耐蝕層及所述已脫氫的第一層間介

電層的總厚度以 t_2 表示，其中 $t_2/t_1 \geq 1.14$ 。

37.如申請專利範圍第 36 項所述之半導體裝置，更包括在所述已脫氫的第一層間介電層之中連接至所述 N 通道金屬氧化物半導體(NMOS)電晶體的接點。

38.如申請專利範圍第 36 項所述之半導體裝置，其中在脫氫氣體環境之中藉由電漿處理、紫外線(UV)處理、及/或熱處理來形成所述已脫氫的第一層間介電層。

39.如申請專利範圍第 36 項所述之半導體裝置，更包括位於所述已脫氫的第一層間介電層之上的第二層間介電層，所述第二層間介電層的拉伸應力小於所述已脫氫的第一層間介電層的拉伸應力。

40.如申請專利範圍第 36 項所述之半導體裝置，更包括位於所述已脫氫的第一層間介電層之上的覆蓋層，所述覆蓋層用以阻隔或阻止濕氣及/或外部離子滲透至所述已脫氫的第一層間介電層。

41.如申請專利範圍第 40 項所述之半導體裝置，其中所述覆蓋層包括位於所述已脫氫的第一層間介電層之上的臨場覆蓋層。

42.如申請專利範圍第 36 項所述之半導體裝置，更包括：

已脫氫的附加層間介電層，其位於所述已脫氫的第一層間介電層之上，所述已脫氫的附加層間介電層具有由於所述已脫氫的附加層間介電層的脫氫而增加的拉伸應力，

其中所述耐蝕層、所述已脫氫的第一層間介電層、以

及所述已脫氫的附加層間介電層的總厚度以 t_3 表示，其中 $t_3/t_1 \geq 1.14$ 。

43.一種半導體裝置，包括：

N 通道金屬氧化物半導體(NMOS)電晶體，其位於基片之上；

第一層間介電層，其位於所述 N 通道金屬氧化物半導體(NMOS)電晶體之上，所述第一層間介電層由於所述第一層間介電層的脫氫而具有拉伸應力；以及

第二層間介電層，其位於所述第一層間介電層之上，所述第二層間介電層的應力小於所述第一層間介電層的應力。

44.如申請專利範圍第 43 項所述之半導體裝置，其中在脫氫氣體環境之中藉由電漿處理、紫外線(UV)處理、及/或熱處理來形成所述第一層間介電層。

45.如申請專利範圍第 43 項所述之半導體裝置，更包括位於所述第二層間介電層之上的覆蓋層，所述覆蓋層用以阻隔或阻止濕氣及/或外部離子滲透至所述第二層間介電層。

46.如申請專利範圍第 45 項所述之半導體裝置，其中所述覆蓋層包括位於所述第二層間介電層之上的臨場覆蓋層。

47.如申請專利範圍第 45 項所述之半導體裝置，更包括介於所述 N 通道金屬氧化物半導體(NMOS)電晶體與所述第一層間介電層之間的耐蝕層，所述耐蝕層具有拉伸應

力。

48.如申請專利範圍第 47 項所述之半導體裝置，其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，以及其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，而所述耐蝕層及所述已脫氫的第一層間介電層的總厚度以 t_2 表示，且其中 $t_2/t_1 \geq 1.14$ 。

49.如申請專利範圍第 47 項所述之半導體裝置，更包括：

附加層間介電層，其介於所述第一層間介電層與所述第二層間介電層之間，所述附加層間介電層具有由於所述附加層間介電層的脫氫而增加的拉伸應力，

其中所述 N 通道金屬氧化物半導體(NMOS)電晶體包括閘極介電層及閘極電極，以及其中所述 N 通道金屬氧化物半導體(NMOS)電晶體的所述閘極介電層、所述閘極電極、以及所述耐蝕層的總厚度以 t_1 表示，所述耐蝕層、所述已脫氫的第一層間介電層、以及所述已脫氫的附加層間介電層的總厚度以 t_3 表示，其中 $t_3/t_1 \geq 1.14$ 。

50.一種半導體裝置，包括：

N 通道金屬氧化物半導體(NMOS)電晶體及 P 通道金屬氧化物半導體(PMOS)電晶體，其位於半導體基片之上；以及

第一層間介電層，其位於所述 N 通道金屬氧化物半導

體(NMOS)電晶體及所述 P 通道金屬氧化物半導體(PMOS)電晶體之上，

其中所述第一層間介電層包括植入至位於所述 P 通道金屬氧化物半導體(PMOS)電晶體之上的一部分所述第一層間介電層中的氮及/或鍺離子。

51.如申請專利範圍第 50 項所述之半導體裝置，其中在脫氫氣體環境之中藉由電漿處理、紫外線(UV)處理、及/或熱處理來形成所述第一層間介電層。

52.如申請專利範圍第 50 項所述之半導體裝置，更包括位於所述第一層間介電層之上的覆蓋層，所述覆蓋層用以阻隔或阻止濕氣及/或外部離子滲透至所述第一層間介電層。

53.如申請專利範圍第 52 項所述之半導體裝置，其中所述覆蓋層包括位於所述已脫氫的第一層間介電層之上的臨場覆蓋層。