

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-514551
(P2024-514551A)

(43)公表日 令和6年4月2日(2024.4.2)

(51)国際特許分類

F I

テーマコード (参考)

H 0 5 H 1/46 (2006.01) H 0 5 H 1/46 R 2 G 0 8 4

H 0 3 H 7/38 (2006.01) H 0 3 H 7/38 B

審査請求 未請求 予備審査請求 未請求 (全35頁)

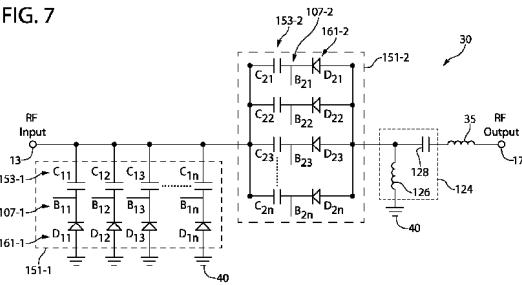
(21)出願番号	特願2023-561031(P2023-561031)	(71)出願人	523374781
(86)(22)出願日	令和4年4月5日(2022.4.5)		リノ・テクノロジーズ・インコーポレイ
(85)翻訳文提出日	令和5年10月24日(2023.10.24)		テッド
(86)国際出願番号	PCT/US2022/023395		アメリカ合衆国・デラウェア・1 9 8 9
(87)国際公開番号	WO2022/216649		9・ウィルミントン・ノース・マーケッ
(87)国際公開日	令和4年10月13日(2022.10.13)		ト・ストリート・1 1 0 5・スイート・
(31)優先権主張番号	63/170,768		1 3 0 0
(32)優先日	令和3年4月5日(2021.4.5)	(74)代理人	100108453
(33)優先権主張国・地域又は機関			弁理士 村山 靖彦
	米国(US)	(74)代理人	100110364
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA		弁理士 実広 信哉
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(	(74)代理人	100133400
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A		弁理士 阿部 達彦
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR	(72)発明者	イムラン・アハマド・ブッタ
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,		アメリカ合衆国・ニュージャージー・0
	最終頁に続く		最終頁に続く

(54)【発明の名称】 R F インピーダンス整合ネットワーク

(57)【要約】

一実施形態では、R F インピーダンス整合回路が開示されている。整合回路は、第一の固定コンデンサを有する直列電子可変コンデンサ (E V C) を含む。第一の固定コンデンサの各々は、固定コンデンサの入／切を切り替えて直列可変静電容量を変化させるための対応するスイッチを有する。各スイッチは、一つ以上のダイオードを含む。第一のインダクタは、共通接地に電気的に結合された第一の端子と、R F 入力と R F 出力との間に電気的に結合された第二の端子とを有する。制御回路は、R F 源が R F 信号を R F 入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定する。R F 信号が R F 入力に提供され続ける間、制御回路は、決定された第一のパラメータに基づいて直列可変静電容量を変化させる。変化により、R F 源に反射された R F 電力が減少する。

FIG. 7



【特許請求の範囲】

【請求項 1】

無線周波数（RF）インピーダンス整合回路であって、

RF 信号を提供する RF 源に動作可能に結合するように構成された RF 入力と、

プラズマチャンバに動作可能に結合するように構成された RF 出力と、

前記 RF 入力と前記 RF 出力との間に直列に電氣的に結合された直列電子可変コンデンサ（EVC）であって、

前記直列 EVC が直列可変静電容量を有し、

前記直列 EVC が、第一の固定コンデンサを備え、前記第一の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列 EVC と、

前記共通接地に電氣的に結合された第一の端子と、前記 RF 入力と前記 RF 出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、

前記直列 EVC に動作可能に結合された制御回路であって、前記制御回路が、

前記 RF 源が前記 RF 信号を前記 RF 入力に提供している間に、前記プラズマチャンバに関連する第一のパラメータを決定するように、また、

前記 RF 信号が前記 RF 入力に提供され続ける間、前記決定された第一のパラメータに基づいて前記直列可変静電容量を変化させるように構成され、前記直列可変静電容量の前記変化が、前記 RF 源に反映される RF 電力を減少させる、制御回路と、を含む、整合回路。

【請求項 2】

前記 RF 入力と前記 RF 出力との間に直列に電氣的に結合された阻止コンデンサをさらに備える、請求項 1 に記載の整合回路。

【請求項 3】

前記阻止コンデンサまたは前記第一のインダクタのうちの少なくとも一つが、直列または並列に結合された複数のリアクタンス素子を備える、請求項 2 に記載の整合回路。

【請求項 4】

前記第一のコンデンサの各々に対する前記対応するスイッチが、一つ以上の PIN ダイオードまたは NIP ダイオードを含む、請求項 1～3 のいずれかに記載の整合回路。

【請求項 5】

コンデンサが、前記第一のインダクタと並列であり、LC 回路を形成する、請求項 1～4 のいずれかに記載の整合回路。

【請求項 6】

前記直列 EVC とは異なる可変リアクタンス素子をさらに備える、請求項 1～5 のいずれかに記載の整合回路。

【請求項 7】

前記可変リアクタンス素子が、コンデンサまたはインダクタである一つ以上のリアクタンス素子を備える、請求項 6 に記載の整合回路。

【請求項 8】

前記可変リアクタンス素子が、共通接地と前記 RF 入力および前記 RF 出力のうちの一つとの間に電氣的に結合される、請求項 7 に記載の整合回路。

【請求項 9】

請求項 8 に記載の整合回路であって、

前記可変リアクタンス素子が分路 EVC であり、

前記分路 EVC が、分路可変静電容量を有し、

前記分路 EVC が、第二の固定コンデンサを備え、前記第二の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記分路可変静電容量を変化させるための対応するスイッチを有し、

前記制御回路が、前記分路 EVC に動作可能に結合されて、前記直列 EVC の前記変

10

20

30

40

50

化と共に前記分路可変静電容量を変化させ、前記直列可変静電容量および前記分路可変静電容量の前記変化が、前記 R F 源に反射された前記 R F 電力を減少させる、請求項 8 に記載の整合回路。

【請求項 10】

前記 R F 入力と前記 R F 出力との間に直列に電氣的に結合された直列インダクタをさらに備える、請求項 1～9 のいずれかに記載の整合回路。

【請求項 11】

インピーダンスを整合する方法であって、前記方法が、

R F 源とプラズマチャンバとの間にインピーダンス整合回路を結合することであって、前記インピーダンス整合回路が、

R F 源に動作可能に結合するように構成された R F 入力であって、R F 源が R F 信号を提供する R F 入力と、

プラズマチャンバに動作可能に結合するように構成された R F 出力と、

前記 R F 入力と前記 R F 出力との間に直列に電氣的に結合された直列電子可変コンデンサ (E V C) であって、

前記直列 E V C が直列可変静電容量を有し、

前記直列 E V C が、第一の固定コンデンサを備え、前記第一の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列 E V C と、

前記共通接地に電氣的に結合された第一の端子と、前記 R F 入力と前記 R F 出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、を備える、結合することと、

R F 源が R F 信号を R F 入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定することと、

前記 R F 信号が前記 R F 入力に提供され続ける間、前記決定された第一のパラメータに基づいて前記直列可変静電容量を変化させることであって、前記直列可変静電容量の前記変化が、前記 R F 源に反映される R F 電力を減少させる、変化させることと、を含む、方法。

【請求項 12】

前記整合回路が、前記 R F 入力と前記 R F 出力との間に直列に電氣的に結合された阻止コンデンサをさらに備える、請求項 11 に記載の方法。

【請求項 13】

前記阻止コンデンサまたは前記第一のインダクタのうちの少なくとも一つが、直列または並列に結合された複数のリアクタンス素子を備える、請求項 12 に記載の方法。

【請求項 14】

前記第一のコンデンサの各々に対する前記対応するスイッチが、一つ以上の P I N ダイオードまたは N I P ダイオードを含む、請求項 11～13 のいずれかに記載の方法。

【請求項 15】

コンデンサが、前記第一のインダクタと並列であり、L C 回路を形成する、請求項 11～14 のいずれかに記載の方法。

【請求項 16】

前記整合回路が、前記直列 E V C とは異なる可変リアクタンス素子をさらに備える、請求項 11～15 のいずれかに記載の方法。

【請求項 17】

前記可変リアクタンス素子が、コンデンサまたはインダクタである一つ以上のリアクタンス素子を備える、請求項 16 に記載の方法。

【請求項 18】

前記可変リアクタンス素子が、共通接地と前記 R F 入力および前記 R F 出力のうちの一つとの間に電氣的に結合される、請求項 17 に記載の方法。

10

20

30

40

50

【請求項 19】

請求項 18 に記載の方法であって、

前記可変リアクタンス素子が分路 EVC であり、

前記分路 EVC が、分路可変静電容量を有し、

前記分路 EVC が、第二の固定コンデンサを備え、前記第二の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記分路可変静電容量を変化させるための対応するスイッチを有し、

前記制御回路が、前記分路 EVC に動作可能に結合されて、前記直列 EVC の前記変化と共に前記分路可変静電容量を変化させ、前記直列可変静電容量および前記分路可変静電容量の前記変化が、前記 RF 源に反射された前記 RF 電力を減少させる、請求項 18 に記載の方法。

10

【請求項 20】

前記整合回路が、前記 RF 入力と前記 RF 出力との間に直列に電氣的に結合された直列インダクタをさらに備える、請求項 11～19 のいずれかに記載の方法。

【請求項 21】

半導体を製造する方法であって、

基材上に材料層を堆積させるか、または前記基材から材料層をエッチングするように構成される、前記基材をプラズマチャンバ内に配置することと、

RF 源からの RF 電力をプラズマチャンバの中へと結合して、堆積またはエッチングを実施することで、プラズマチャンバ内でプラズマを通電することと、

20

プラズマを通電する間、RF 源とプラズマチャンバとの間のインピーダンス整合回路を結合することであって、インピーダンス整合回路が、

RF 源に動作可能に結合するように構成された RF 入力であって、RF 源が RF 信号を提供する RF 入力と、

プラズマチャンバに動作可能に結合するように構成された RF 出力と、

前記 RF 入力と前記 RF 出力との間に直列に電氣的に結合された直列電子可変コンデンサ (EVC) であって、

前記直列 EVC が直列可変静電容量を有し、

前記直列 EVC が、第一の固定コンデンサを備え、前記第一の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列 EVC と、

30

前記共通接地に電氣的に結合された第一の端子と、前記 RF 入力と前記 RF 出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、を備える、結合することと、

RF 源が RF 信号を RF 入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定することと、

前記 RF 信号が前記 RF 入力に提供され続ける間、前記決定された第一のパラメータに基づいて前記直列可変静電容量を変化させることであって、前記直列可変静電容量の前記変化が、前記 RF 源に反映される RF 電力を減少させる、変化させることと、を含む、方法。

40

【請求項 22】

半導体処理ツールであって、

基材上に材料を堆積させるか、または前記基材から材料をエッチングするように構成される、プラズマチャンバと、

プラズマチャンバに動作可能に結合されたインピーダンス整合回路であって、前記整合回路が、

RF 信号を提供する RF 源に動作可能に結合するように構成された RF 入力と、

プラズマチャンバに動作可能に結合するように構成された RF 出力と、

前記 RF 入力と前記 RF 出力との間に直列に電氣的に結合された直列電子可変コン

50

デンサ（EVC）であって、

前記直列EVCが直列可変静電容量を有し、

前記直列EVCが、第一の固定コンデンサを備え、前記第一の固定コンデンサの各々が、前記固定コンデンサの入／切を切り替えて前記直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列EVCと、

前記共通接地に電氣的に結合された第一の端子と、前記RF入力と前記RF出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、

前記直列EVCに動作可能に結合された制御回路であって、前記制御回路が、

前記RF源が前記RF信号を前記RF入力に提供している間に、前記プラズマチャンバに関連する第一のパラメータを決定するように、また、

前記RF信号が前記RF入力に提供され続ける間、前記決定された第一のパラメータに基づいて前記直列可変静電容量を変化させるように構成され、前記直列可変静電容量の前記変化が、前記RF源に反映されるRF電力を減少させる、制御回路と、を含む、半導体処理ツール。

【発明の詳細な説明】

【技術分野】

【0001】

（関連出願の相互参照）

本出願は、2021年4月5日に出願された米国仮出願第63／170,768号に基づく優先権の利益を主張するものであり、その全内容は参照により本明細書に組み込まれる。

【背景技術】

【0002】

マイクロプロセッサ、メモリチップ、および別の集積回路などの半導体デバイスの製造において、半導体デバイス製造プロセスは、製造の異なる段階でプラズマ処理を使用する。プラズマ処理は、RF（無線周波数）エネルギーをガス混合物に導入することによって、エネルギーをガス分子に付与することによってガス混合物を通電することを伴う。このガス混合物は典型的に、プラズマチャンバとも呼ばれる真空チャンバ内に含まれ、RFエネルギーは、電極または他の手段を通してチャンバ内に導入される。典型的なプラズマプロセスでは、高周波電源は、所望のRF周波数およびRF電力で電力を生成し、この電力は、RFケーブルおよびネットワークを通してプラズマチャンバに伝送される。

【0003】

高周波電源からプラズマチャンバへの電力の効率的な伝達を提供するために、RF整合ネットワークが、高周波電源とプラズマチャンバとの間に位置付けられる。RF整合ネットワークの目的は、プラズマインピーダンスを高周波電源に適した値に変換することである。多くの場合、特に半導体製造プロセスでは、RF電力は50オームの同軸ケーブルを通して伝送され、高周波電源のシステムインピーダンス（出力インピーダンス）も50オームである。一方で、RF電力によって駆動されるプラズマのインピーダンスは、プラズマ化学およびプラズマチャンバ内部の他の条件に基づいて変化する。このインピーダンスは、最大送電のために、非反応性50オーム（すなわち、 $50 + j0$ ）に変換されなければならない。RF整合ネットワークは、高周波電源に対してプラズマインピーダンスを50オームに連続的に変換するというこのタスクを実施する。ほとんどの場合、この変換は、RF整合ネットワークの入力側のインピーダンスが $50 + j0$ オーム、すなわち純粋に抵抗性の50オームとなるように行われる。

【0004】

RF整合ネットワークは、可変コンデンサおよびコンデンサを制御するためのマイクロプロセッサベースの制御回路を備えてもよい。可変コンデンサの値およびサイズは、プラズマチャンバの電力操作能力、動作周波数、およびインピーダンス範囲によって影響を受ける。RF整合ネットワークで使用される主要な可変コンデンサは、真空可変コンデンサ

(VVC)である。VVCは、静電容量を変化するために互いに対して移動する二つの同心金属リングからなる電気機械装置である。インピーダンスの変化が非常に速い複雑な半導体プロセスでは、迅速かつ頻繁な動きがVVCにストレスを与え、その故障につながる。VVCベースのRF整合ネットワークは、半導体製造プロセスにおける最後の電気機械構成要素のうちの一つである。

【0005】

しかしながら、半導体デバイスのサイズが縮小し、より複雑になるにつれて、特徴の幾何学形状は非常に小さくなる。結果として、これらの特徴を製造する処理時間も非常に小さくなり、典型的には5～6秒の範囲である。現在のRF整合ネットワークは、プロセスを調整するのに1～2秒かかり、これは、プロセス時間のかなりの部分にとって、不安定なプロセスパラメータが生まれることになる。電子可変コンデンサ(EVC)技術(例えば、参照によりその全体が本明細書に組み込まれる、米国特許第7,251,121号を参照)は、この半導体処理の調整時間を1～2秒から500マイクロ秒未満に短縮することを可能にする。EVCベースの整合ネットワークは、ソリッドステート整合ネットワークの一種である。調整時間が短縮されると、利用可能な安定した処理時間が大幅に増加し、それによって収率および性能が改善される。

【0006】

EVC技術は公知であるが、業界で認められているVVCの代替品としては未だに開発されていない。しかしながら、EVCは純粋に電子デバイスであるため、EVCは、RF整合ネットワーク内のVVCを一对一で置換するものではない。したがって、EVCをRF整合ネットワークの一部として使用することをより完全に利用するために、さらなる進歩が必要である。

【発明の概要】

【課題を解決するための手段】

【0007】

本開示は、無線周波数(RF)インピーダンス整合回路を対象としてもよく、整合回路は、RF信号を提供するRF源に動作可能に結合するように構成されたRF入力と、プラズマチャンバに動作可能に結合するように構成されたRF出力と、RF入力とRF出力との間に直列に電氣的に結合された直列電子可変コンデンサ(EVC)であって、直列EVCが直列可変静電容量を有し、直列EVCが、第一の固定コンデンサを備え、第一の固定コンデンサの各々が、固定コンデンサの入／切を切り替えて直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列EVCと、共通接地に電氣的に結合された第一の端子と、RF入力とRF出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、直列EVCに動作可能に結合された制御回路であって、制御回路が、RF源がRF信号をRF入力に提供している間に、プラズマチャンバに関連する第一のパラメータを決定するように、また、RF信号がRF入力に提供され続ける間、決定された第一のパラメータに基づいて直列可変静電容量を変化させるように構成され、直列可変静電容量の変化が、RF源に反映されるRF電力を減少させる、制御回路と、を含む。

【0008】

別の態様では、インピーダンスを整合する方法は、RF源とプラズマチャンバとの間にインピーダンス整合回路を結合することであって、インピーダンス整合回路は、RF源に動作可能に結合するように構成されたRF入力であって、RF源がRF信号を提供するRF入力と、プラズマチャンバに動作可能に結合するように構成されたRF出力と、RF入力とRF出力との間に直列に電氣的に結合された直列電子可変コンデンサ(EVC)であって、直列EVCが直列可変静電容量を有し、直列EVCが、第一の固定コンデンサを備え、第一の固定コンデンサの各々が、固定コンデンサの入／切を切り替えて直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列EVCと、共通接地に電氣的に結合された第一の端子と、RF入力とRF出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、を備える、

結合することと、RF源がRF信号をRF入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定することと、RF信号がRF入力に提供され続ける間、決定された第一のパラメータに基づいて直列可変静電容量を変化させることであって、直列可変静電容量の変化が、RF源に反映されるRF電力を減少させる、変化させることと、を含む。

【0009】

別の態様では、半導体を製造する方法は、基材上に材料層を堆積させるか、または基材から材料層をエッチングするように構成された基材をプラズマチャンバ内に配置することと、RF源からのRF電力をプラズマチャンバの中へと結合して、堆積またはエッチングを実施することで、プラズマチャンバ内でプラズマを通電することと、プラズマを通電する間、RF源とプラズマチャンバとの間のインピーダンス整合回路を結合することであって、インピーダンス整合回路が、RF源に動作可能に結合するように構成されたRF入力であって、RF源がRF信号を提供する、RF入力と、プラズマチャンバに動作可能に結合するように構成されたRF出力と、RF入力とRF出力との間に直列に電氣的に接続された直列電子可変コンデンサ(EVC)とを含み、直列EVCが直列可変静電容量を有し、直列EVCが、第一の固定コンデンサを備え、第一の固定コンデンサの各々が、固定コンデンサの入／切を切り替えて直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列EVCと、共通接地に電氣的に結合された第一の端子と、RF入力とRF出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、を備える、結合することと、RF源がRF信号をRF入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定することと、RF信号がRF入力に提供され続ける間、決定された第一のパラメータに基づいて直列可変静電容量を変化させることであって、直列可変静電容量の変化が、RF源に反映されるRF電力を減少させる、変化させることと、を含む。

【0010】

別の態様では、半導体処理ツールは、基材上に材料を堆積させるか、または基材から材料をエッチングするように構成されたプラズマチャンバと、プラズマチャンバに動作可能に結合されたインピーダンス整合回路であって、整合回路が、RF信号を提供するRF源に動作可能に結合するように構成されたRF入力と、プラズマチャンバに動作可能に結合するように構成されたRF出力と、RF入力とRF出力との間に直列に電氣的に結合された直列電子可変コンデンサ(EVC)であって、直列EVCが直列可変静電容量を有し、直列EVCが、第一の固定コンデンサを備え、第一の固定コンデンサの各々が、固定コンデンサの入／切を切り替えて直列可変静電容量を変化させるための対応するスイッチを有し、各スイッチが、一つ以上のダイオードを備える、直列EVCと、共通接地に電氣的に結合された第一の端子と、RF入力とRF出力との間に電氣的に結合された第二の端子とを有する第一のインダクタと、直列EVCに動作可能に結合された制御回路であって、制御回路が、RF源がRF信号をRF入力に提供している間、プラズマチャンバに関連する第一のパラメータを決定し、RF信号がRF入力に提供され続ける間、決定された第一のパラメータに基づいて直列可変静電容量を変化させるように構成され、直列可変静電容量の変化が、RF源に反映されるRF電力を減少させる、制御回路と、を含む。

【0011】

本開示は、詳細な説明および添付図面からより完全に理解される。

【図面の簡単な説明】

【0012】

【図1】図1は、半導体処理システムの実施形態のブロック図である。

【図2A】図2Aは、L整合ネットワークのLC型の実施形態の概略図である。

【図2B】図2Bは、L整合ネットワークのCL型の実施形態の概略図である。

【図3】図3は、LC型のL構成整合ネットワークを有する半導体処理システムの実施形態のブロック図である。

【図4】図4は、電子可変コンデンサを使用して可変静電容量を提供するための回路の一

10

20

30

40

50

実施形態のブロック図である。

【図 5】図 5 は、電子可変コンデンサの個別のコンデンサの入／切を切り替えるための可変静電容量システムの概略図である。

【図 6】図 6 は、E V C 用のスイッチング回路の一実施形態のブロック図である。

【図 7】図 7 は、P I N ダイオードスイッチおよびバイアス回路を利用する L 整合ネットワークの実施形態の概略図である。

【図 8】図 8 は、リアクタンス素子の直列または並列の組み合わせを利用する代替的なバイアス回路の概略図である。

【図 9】図 9 は、バイアスインダクタが L C 共振回路と置き換えられる代替的なバイアス回路の概略図である。

【図 10】図 10 は、可変静電容量を変化させることによってインピーダンスを整合させるための例示的なプロセスのフローチャートである。

【図 11】図 11 は、パラメータ行列を利用して可変静電容量を変化させることによってインピーダンスを整合させるための例示的なプロセスのフローチャートである。

【発明を実施するための形態】

【0013】

好ましい実施形態の以下の説明は、本質的に単に例示的なものであり、本発明を限定することを決して意図していない。例示的实施形態の説明は、添付図面に関連して読み取られることが意図されており、これは、書面による説明全体の一部とみなされる。本明細書に開示される例示的实施形態の説明では、方向または配向への任意の言及は、単に説明の便宜を意図するものであり、本発明の範囲を限定することを決して意図するものではない。本明細書の考察は、単独で、または他の特徴との組み合わせで存在し得る特徴のいくつかの可能なかつ非限定的な組み合わせを説明し、例示する。さらに、本明細書で使用される場合、「または」という用語は、そのオペランドのうちの一つ以上が真である場合に、真をもたらす論理演算子として解釈されるべきである。さらに、本明細書で使用される場合、「基づく」という語句は、「少なくとも部分的に基づく」という意味として解釈されるべきであり、したがって、「完全に基づく」という解釈に限定されない。

【0014】

本発明の特徴は、ソフトウェア、ハードウェア、ファームウェア、またはそれらの組み合わせで実装されてもよい。本明細書に記載のコンピュータプログラムは、任意の特定の实施形態に限定されず、オペレーティングシステム、アプリケーションプログラム、フォアグラウンドまたはバックグラウンドプロセス、ドライバ、またはそれらの任意の組み合わせで実装され得る。コンピュータプログラムは、単一のコンピュータもしくはサーバプロセッサ、または複数のコンピュータもしくはサーバプロセッサ上で実行されてもよい。

【0015】

本明細書に記載のプロセッサは、コンピュータプログラム命令（例えば、コード）を実行するように構成された任意の中央処理装置（C P U）、マイクロプロセッサ、マイクロコントローラ、計算装置、またはプログラム可能な装置もしくは回路であってもよい。様々なプロセッサは、任意の適切なタイプ（例えば、デスクトップ、ラップトップ、ノートブック、タブレット、携帯電話など）のコンピュータおよび／またはサーバハードウェアで具現化されてもよく、また、バス、ソフトウェアおよび揮発性メモリおよび不揮発性メモリなどのデータストレージ、入力／出力装置、グラフィカルユーザインターフェース（G U I）、リムーバブルデータ記憶装置、および W i - F i、B l u e t o o t h、L A N を含む有線および／または無線通信インターフェース装置などを含むがこれに限定されない、機能データ処理装置を形成するために必要な全ての通常の補助的な構成要素を含んでもよい。

【0016】

本明細書に記載のコンピュータ実行可能な命令またはプログラム（例えば、ソフトウェアまたはコード）およびデータは、媒体にコード化された命令を実行することによって所望の機能およびプロセスを実行するようにプロセッサを構成および指示する、本明細書に

10

20

30

40

50

記載のそれぞれのプロセッサにアクセス可能であり、かつそれによって取得可能な非一時的コンピュータ可読媒体にプログラムされ、かつ有形に具現化され得る。こうした非一時的コンピュータ実行可能な命令またはプログラムに構成されたプログラム可能プロセッサを具現化する装置は、「プログラム可能な装置」、または「装置」と称されてもよく、相互通信する複数のプログラム可能な装置は、「プログラム可能システム」と称されてもよい。本明細書に記載の非一時的「コンピュータ可読媒体」は、ランダムアクセスメモリ（RAM）およびその様々なタイプを含む、任意の適切な揮発性または不揮発性メモリ、読み出し専用メモリ（ROM）およびその様々なタイプ、USBフラッシュメモリ、および媒体に動作可能に接続されたプロセッサに書き込まれ得る、および／またはプロセッサによって読み取られ得る、磁気または光学データ記憶装置（例えば、内部／外部ハードディスク、フロッピーディスク、磁気テープCD-ROM、DVD-ROM、光ディスク、ZIP（登録商標）ドライブ、Blu-rayディスク、およびその他）を含むが、それらに限定されない。

10

【0017】

特定の実施形態では、本発明は、プロセッサベースのデータ処理および通信システム、またはそれらのプロセスを実施するためのコンピュータシステムなどの、コンピュータ実装プロセスおよび装置の形態で具現化され得る。本発明はまた、非一時的コンピュータ可読記憶媒体で具現化されたソフトウェアまたはコンピュータプログラムコードの形態で具現化されてもよく、これは、データ処理および通信システムまたはコンピュータシステム内にロードされ、かつそれらによって実行される時、コンピュータプログラムコードセグメントは、プロセスを実施するように構成された特定の論理回路を作成するようにプロセッサを構成する。

20

【0018】

回路が示されかつ記述される以下の説明では、当業者であれば、明確にするために、全ての周辺回路または構成要素が図に示されているわけではない、または説明で記述されているわけではないことを認識するであろう。さらに、「結合」および「動作可能に結合」という用語は、回路の二つの構成要素の直接的または間接的な結合を指し得る。

【0019】

好ましい実施形態の以下の説明は、本質的に単に例示的なものであり、本発明を限定することを決して意図していない。例示的实施形態の説明は、添付図面に関連して読み取られることが意図されており、これは、書面による説明全体の一部とみなされる。本明細書に開示される例示的实施形態の説明では、方向または配向への任意の言及は、単に説明の便宜を意図するものであり、本発明の範囲を限定することを決して意図するものではない。「下側（lower）」、「上側（upper）」、「水平（horizontal）」、「垂直（vertical）」、「上に（above）」、「下に（below）」、「上（up）」、「下（down）」、「左（left）」、「右（right）」、「上部（top）」、「底部（bottom）」、「正面（front）」および「後面（rear）」といった相対語、ならびにそれらの派生語（例えば、水平に（horizontally）」、「下方向に（downwardly）」、「上方向に（upwardly）」など）は、説明されている配向、または考察中の図面に示される配向を指すと解釈されるべきである。これらの相対語は、説明の便宜上のみであり、明示的に示されない限り、装置が特定の配向で構築または操作されることを必要とするものではない。「添付（attached）」、「affixed（添付）」、「接続（connected）」、「結合（coupled）」、「相互接続（interconnected）」、「固定（secured）」および他の類似の用語などの用語は、別段の明示的な記載がない限り、構造が介在する構造を介して直接的または間接的のいずれかで互いに固定または取り付けられる関係、ならびに移動可能または剛直な両方の取付けまたは関係を指す。本明細書の考察は、単独で、または他の特徴との組み合わせで存在し得る特徴のいくつかの可能なかつ非限定的な組み合わせを説明し、例示する。さらに、本明細書で使用される場合、「または」という用語は、そのオペランドのうちの一つ以上が真である場合に、真

30

40

50

をもたらす論理演算子として解釈されるべきである。さらに、本明細書で使用される場合、「基づく」という語句は、「少なくとも部分的に基づく」という意味として解釈されるべきであり、したがって、「完全にに基づく」という解釈に限定されない。

【0020】

全体を通して使用される場合、範囲は、範囲内のすべての値を記述するための簡潔な表現として使用される。範囲内の任意の値を、範囲の終端として選択することができる。さらに、本明細書に引用されるすべての参考文献は、参照によりその全体が本明細書に組み込まれる。本開示における定義と引用される参考文献の定義との間に矛盾がある場合は、本開示が優先される。

【0021】

半導体処理システム

図1を参照すると、高周波電源15を利用する半導体デバイス処理システム5が示されている。システム85は、高周波電源15および半導体処理ツール86を含む。半導体処理ツール86は、整合ネットワーク11およびプラズマチャンバ19を含む。他の実施形態では、発電機15または他の電源は、半導体処理ツールの一部を形成することができる。

【0022】

半導体デバイスは、マイクロプロセッサ、メモリチップ、または他のタイプの集積回路または装置とすることができる。基材27は、プラズマチャンバ19内に配置することができ、プラズマチャンバ19は、基材27上に材料層を堆積させるか、または基材27から材料層をエッチングするように構成される。プラズマ処理は、RFエネルギーをガス混合物に導入することによって、エネルギーをガス分子に付与することによってガス混合物を通電することを伴う。このガス混合物は典型的に、真空チャンバ（プラズマチャンバ19）内に含まれ、RFエネルギーは典型的に、電極を通してプラズマチャンバ19内に導入される。したがって、プラズマは、RF源15からのRF電力をプラズマチャンバ19に結合して、堆積またはエッチングを実施することによって通電され得る。

【0023】

典型的なプラズマプロセスでは、高周波電源15は、典型的には3kHz~300GHzの範囲内である無線周波数で電力を生成し、この電力は、RFケーブルおよびネットワークを通してプラズマチャンバ19に伝送される。高周波電源15からプラズマチャンバ19への電力の効率的な伝達を提供するために、中間回路を使用して、高周波電源15の固定インピーダンスをプラズマチャンバ19の可変インピーダンスと整合させる。こうした中間回路は、一般に、RFインピーダンス整合ネットワーク、またはより単純にRF整合ネットワークと呼ばれる。RF整合ネットワーク11の目的は、可変プラズマインピーダンスを、高周波電源15の固定インピーダンスにより厳密に一致する値に変換することである。共同所有され、その開示の全体が参照により本明細書に組み込まれる米国公開第1697781340134_0

号および第

1697781340134_1

号は、こうした整合ネットワークの実施例を提供する。

【0024】

整合ネットワーク

RF整合ネットワークは、「pi」、「L」、または「T」などの異なる形態を使用して構築され得る。一部の事例では、整合ネットワークは、これらの形態の組み合わせである。使用する形態は、多くの場合、プラズマプロセスのインピーダンスに依存する。これらの形態の中でも、微妙な違いがある。例えば、L型RF整合ネットワークは、整合ネットワークの入力からその出力へ進む中で、どのリアクタンス素子が最初に来るかによるが、「LC」または「CL」構成であってもよい。

【0025】

図2Aは、L整合ネットワーク11AのLC型の実施形態の概略図である。RF入力1

10

20

30

40

50

3 から R F 出力 1 7 に進むと、分路可変コンデンサ 3 3 が最初に来るため、R F 入力に最も近い。分路可変コンデンサ 3 3 の第一の端子は、R F 入力 1 3 と R F 出力 1 7 との間に電氣的に結合される。分路可変コンデンサ 3 3 の第二の端子は、共通接地 4 0 に電氣的に結合される。直列可変コンデンサ 3 1 は、R F 入力 1 3 から R F 出力 1 7 に進む中で二番目に来る。直列可変コンデンサ 3 1 は、直列インダクタ 3 5 と同様に、R F 入力 1 3 と R F 出力 1 7 との間に直列に結合される。

【0026】

図 2 B は、L 整合ネットワーク 1 1 B の C L 型の実施形態の概略図である。R F 入力 1 3 から R F 出力 1 7 に進むと、直列可変コンデンサ 3 1 B が最初に来るため、R F 入力に最も近い。図 2 A と同様に、直列可変コンデンサ 3 1 B は、直列インダクタ 3 5 と同様に、R F 入力 1 3 と R F 出力 1 7 との間に直列に結合される。分路可変コンデンサ 3 3 B は、R F 入力 1 3 から R F 出力 1 7 に進む中で二番目に来る。図 2 A と同様に、分路可変コンデンサ 3 3 B の第一の端子は、R F 入力 1 3 と R F 出力 1 7 との間に電氣的に結合され、分路可変コンデンサ 3 3 B の第二の端子は、共通接地 4 0 に電氣的に結合される。

【0027】

図 3 は、L C 型の L 構成 R F インピーダンス整合ネットワーク 1 1 を含む処理ツール 8 6 を有する半導体処理システム 8 5 の一実施形態のブロック図である。以下でさらに詳細に論じるように、例示的な整合ネットワーク 1 1 は、分路可変コンデンサ 3 3 および直列可変コンデンサ 3 1 の両方に対して電子可変コンデンサ (E V C) を利用する。本発明はそのように限定されないことに留意されたい。例えば、E V C のうちの一つ (例えば、分路 E V C 3 3) は、機械的可変 V V C であってもよく、または可変インダクタと置き換えられてもよい。

【0028】

例示的な整合ネットワーク 1 1 は、R F 源 1 5 に接続された R F 入力 1 3 と、プラズマチャンバ 1 9 に接続された R F 出力 1 7 とを有する。R F 入力センサ 2 1 は、R F インピーダンス整合ネットワーク 1 1 と R F 源 1 5 との間に接続され得る。R F 出力センサ 4 9 は、インピーダンス整合ネットワークからの R F 出力とプラズマチャンバ 1 9 によって提示されるプラズマインピーダンスが監視され得るように、R F インピーダンス整合ネットワーク 1 1 とプラズマチャンバ 1 9 との間に接続され得る。特定の実施形態は、入力センサ 2 1 および出力センサ 4 9 のうちの一つのみを含み得る。これらのセンサ 2 1、4 9 の機能は、以下でより詳細に説明される。

【0029】

上述のように、R F インピーダンス整合ネットワーク 1 1 は、R F 入力 1 3 でのインピーダンスを R F 源 1 5 の固定インピーダンスに整合させることによって、R F 源 1 5 からプラズマチャンバ 1 9 に伝達される R F 電力の量を最大化するのに役立つ。整合ネットワーク 1 1 は、R F 源 1 5 およびプラズマチャンバ 1 9 への電氣的接続のために設計された単一のハウジング内の単一のモジュールから構成され得る。他の実施形態では、整合ネットワーク 1 1 の構成要素は、異なるハウジング内に位置することができ、一部の構成要素は、ハウジングの外側にあることができ、および／または一部の構成要素は、整合ネットワークの外側の構成要素とハウジングを共有することができる。

【0030】

当技術分野で公知のように、プラズマチャンバ 1 9 内のプラズマは、典型的には、プラズマチャンバ 1 9 によって提示されるインピーダンスが可変インピーダンスであるように、動作制御の外側で特定の変動を受ける。プラズマチャンバ 1 9 の可変インピーダンスは完全には制御できないため、インピーダンス整合ネットワークを使用して、プラズマチャンバ 1 9 と R F 源 1 5 との間にインピーダンス整合を生成してもよい。さらに、R F 源 1 5 のインピーダンスは、特定の R F 源 1 5 の設計によって設定値に固定されてもよい。R F 源 1 5 の固定インピーダンスは、例えば、温度または他の環境の変動に起因して、使用中にわずかな変動を受け得るが、変動が元々設定されたインピーダンス値から固定インピーダンスを著しく変化させないため、R F 源 1 5 のインピーダンスは、インピーダンス整

合の目的上、なおも固定インピーダンスとみなされる。他のタイプのRF源15は、RF源15のインピーダンスが、使用時点または使用中に設定され得るように設計され得る。こうしたタイプのRF源15のインピーダンスは、ユーザーによって制御されてもよく（または少なくともプログラム可能なコントローラによって制御され得る）、インピーダンスの設定値は、動作中の任意の時点で既知であってもよく、それ故に設定値は事実上固定インピーダンスになるため、なおも固定されたとみなされる。

【0031】

RF源15は、当技術分野で周知のタイプである高周波電源であってもよく、プラズマチャンバ19内で実施されるプロセスに対して適切な周波数および電力でRF信号を生成する。RF源15は、同軸ケーブルを使用してRFインピーダンス整合ネットワーク11のRF入力13に電氣的に接続されてもよく、これはインピーダンス整合の目的上、RF源15と同じ固定インピーダンスを有することになる。

10

【0032】

プラズマチャンバ19は、第一の電極23および第二の電極25を含み、当技術分野で周知のプロセスでは、第一および第二の電極23、25は、適切な制御システム（図示せず）およびプラズマチャンバ内のプラズマと併せて、基材27上への材料の堆積および基材27からの材料のエッチングのうち的一方または両方を可能にする。

【0033】

例示的实施形態では、RFインピーダンス整合ネットワーク11は、直列可変コンデンサ31、分路可変コンデンサ33、および直列インダクタ35を含み、L型整合ネットワークを形成する。分路可変コンデンサ33は、直列可変コンデンサ31と直列インダクタ35との間の基準電位、この場合は、共通接地40に分路したものとして示され、当業者であれば、RFインピーダンス整合ネットワーク11が、RF入力13またはRF出力17で基準電位に分路する分路可変コンデンサ33を伴い構成され得ることを認識するであろう。

20

【0034】

上述のように、RFインピーダンス整合ネットワークは、例えば、参照によりその全体が本明細書に組み込まれる米国特許公開第2021/0327684号の図3に示されるように、代替的に、T型構成またはpi型構成などの他の構成で構成されてもよい。特定の実施形態では、以下に説明される可変コンデンサおよびスイッチング回路は、RFインピーダンス整合ネットワークに適する任意の構成に含まれてもよい。

30

【0035】

例示的实施形態では、直列可変コンデンサ31および分路可変コンデンサ33の各々は、米国特許第7,251,121号（その全体が参照により組み込まれる）に記載されるように、電子可変コンデンサ（EVC）であってもよく、EVCは、複数の個別の固定コンデンサによって形成されるコンデンサアレイとして事実上形成されてもよい。直列可変コンデンサ31は、RF入力13とRF出力17（RF源15とプラズマチャンバ19との間では並列でもある）との間に直列に結合される。分路可変コンデンサ33は、RF入力13と接地40との間に並列に結合される。他の構成では、分路可変コンデンサ33は、RF出力19と接地40との間に並列に結合されてもよい。他の構成はまた、RF整合ネットワークの機能性から逸脱することなく実装されてもよい。さらに他の構成では、分路可変コンデンサ33は、基準電位とRF入力13およびRF出力19のうちの一つとの間に並列に結合され得る。

40

【0036】

直列可変コンデンサ31は、直列RFチョークおよびフィルタ回路37および直列ドライバ回路39に接続される。同様に、分路可変コンデンサ33は、分路RFチョークおよびフィルタ回路41および分路ドライバ回路43に接続される。直列ドライバ回路39および分路ドライバ回路43の各々は、制御回路45に接続され、制御回路45は、直列ドライバ回路39および分路ドライバ回路43を制御するための入力信号を提供するために、適切なプロセッサおよび／または信号生成回路で構成される。電源47は、RF入力セ

50

ンサ 21、直列ドライバ回路 39、分路ドライバ回路 43、および制御回路 45 のそれぞれに接続され、設計された電流および電圧で、これらの構成要素の各々に動作電力を提供する。電源 47 によって提供される電圧レベル、したがって、それぞれの指定されたタスクを実施するために使用される RF 入力センサ 21、直列ドライバ回路 39、分路ドライバ回路 43、および制御回路 45 の各々の電圧レベルは、設計選択の問題である。他の実施形態では、様々な電子部品を使用して、制御回路 45 が可変コンデンサに命令を送信できるようにすることができる。さらに、ドライバ回路ならびに RF チョークおよびフィルタは、制御回路 45 とは別個に示されているが、これらの構成要素は、制御回路 45 の一部を形成するものとみなすこともできる。

【0037】

例示的实施形態では、制御回路 45 はプロセッサを含む。プロセッサは、コンピュータプログラム命令（例えば、コード）を実行するように構成された、コンピュータまたはマイクロプロセッサなどの任意のタイプの適切にプログラムされた処理装置（または一緒に機能する二つ以上の処理装置の集合）であってもよい。プロセッサは、任意の適切なタイプ（例えば、デスクトップ、ラップトップ、ノートブック、タブレット、携帯電話など）のコンピュータおよび／またはサーバハードウェアで具現化されてもよく、また、バス、ソフトウェアおよび揮発性メモリおよび不揮発性メモリなどのデータストレージ、入力／出力装置、グラフィカルユーザインターフェース（GUI）、リムーバブルデータ記憶装置、および Wi-Fi、Bluetooth、LAN を含む有線および／または無線通信インターフェース装置などを含むがこれに限定されない、機能データ処理装置を形成するために必要な全ての通常の補助的な構成要素を含んでもよい。例示的实施形態のプロセッサは、整合ネットワークが本明細書に記載する機能を実行することを可能にする特定のアルゴリズムで構成される。

【0038】

直列可変コンデンサ 31 と分路可変コンデンサ 33 との組み合わせにより、RF インピーダンス整合ネットワーク 11 とプラズマチャンバ 19 との組み合わせインピーダンスは、制御回路 45、直列ドライバ回路 39、分路ドライバ回路 43 を使用して、RF 源 15 の固定インピーダンスに整合するか、または少なくとも実質的に整合するように制御され得る。

【0039】

制御回路 45 は、RF インピーダンス整合ネットワーク 11 の脳的存在である。なぜなら、RF 入力センサ 21 ならびに直列可変コンデンサ 31 および分路可変コンデンサ 33 などのソースから複数の入力を受信し、直列可変コンデンサ 31 および分路可変コンデンサ 33 への変化を決定し、インピーダンス整合を生成するために直列可変コンデンサ 31 および分路可変コンデンサ 33 にコマンドを送達するために必要な計算を行うためである。制御回路 45 は、半導体製造プロセスで一般的に使用される制御回路のタイプであり、したがって当業者には公知である。先行技術の制御回路と比較した場合の制御回路 45 の違いは、RF インピーダンス整合ネットワーク 11 が可変コンデンサ 31、33 の切り替えおよびインピーダンス整合を実施することができる速度を説明するために、プログラミング上の違いにおいて生じる。

【0040】

直列 RF チョークおよびフィルタ回路 37 および分路 RF チョークおよびフィルタ回路 41 の各々は、DC 信号が直列ドライバ回路 39 および分路ドライバ回路 43 とそれぞれの直列可変コンデンサ 31 および分路可変コンデンサ 33 との間を通過し得るように構成され、同時に、RF 源 15 からの RF 信号が遮断されて、RF 信号が直列ドライバ回路 39 および分路ドライバ回路 43 の出力および制御回路 45 の出力へと漏れるのを防止する。直列 RF チョークおよびフィルタ回路 37 および分路 RF チョークおよびフィルタ回路 41 は、当業者には公知のタイプである。

【0041】

EV C コンデンサアレイ

10

20

30

40

50

図 4 は、電子可変コンデンサ 151 を使用して可変静電容量を提供するための電子回路 150 の一実施形態のブロック図である。回路 150 は、二つのコンデンサアレイ 151 a、151 b を含む EVC 151 を利用する。例示的な第一のコンデンサアレイ 151 a は、それぞれが第一の静電容量値を有する、第一の複数の個別の固定コンデンサを有する。第二のコンデンサアレイ 151 b は、それぞれが第二の静電容量値を有する、第二の複数の個別の固定コンデンサを有する。第一の静電容量値は、EVC 151 によって生成される静電容量の粗雑な制御と微細な制御を EVC 151 が提供できるように、第二の静電容量値とは異なる。第一のコンデンサアレイおよび第二のコンデンサアレイは、信号入力 113 と信号出力 130 との間に並列に結合される。

【0042】

第一および第二の静電容量値は、EVC 151 に対して所望の全体的な静電容量値を提供するのに十分な任意の値であり得る。一実施形態では、第二の静電容量値は、第一の静電容量値の半分 ($1/2$) 以下である。別の実施形態では、第二の静電容量値は、第一の静電容量値の $3/4$ ($1/3$) 以下である。さらに別の実施形態では、第二の静電容量値は、第一の静電容量値の $1/2$ ($1/4$) 以下である。

【0043】

電子回路 150 はさらに制御回路 145 を含み、これは上述の制御回路 45 と類似した特徴を有し得る。制御回路 145 は、コマンド入力 129 によって第一のコンデンサアレイ 151 a および第二のコンデンサアレイ 151 b に動作可能に結合され、コマンド入力 129 は、第一のコンデンサアレイ 151 a および第二のコンデンサアレイ 151 b に動作可能に結合される。例示の実施形態では、コマンド入力 129 は、コンデンサアレイ 151 a、151 b への直接的な電氣的接続を有するが、他の実施形態では、この接続は間接的であり得る。制御回路 145 のコンデンサアレイ 151 a、151 b への結合について、以下でさらに詳細に説明する。

【0044】

制御回路 145 は、(a) 第一の複数の個別の固定コンデンサの各個別の固定コンデンサ、および (b) 第二の複数の個別の固定コンデンサの各個別の固定コンデンサのオンおよびオフ状態を制御することによって、EVC 151 の可変静電容量を変化させるように構成される。上述のように、制御回路 145 は、前述の図の制御回路 45 に関して記載したものと同様の特徴を有し得る。例えば、制御回路 145 は、コンデンサアレイ 151 a、151 b から入力を受信し、コンデンサアレイ 151 a、151 b への変化を決定するために計算を行い、EVC 151 の静電容量を変化させるためにコンデンサアレイ 151 a、151 b にコマンドを送達することができる。図 4 の EVC 151 は、複数の電子スイッチを含み得る。各電子スイッチは、一つ以上の個別のコンデンサをアクティブ化および非アクティブ化するように構成され得る。

【0045】

前述の図の制御回路 45 と同様に、制御回路 145 はまた、ドライバ回路 139 ならびに RF チョークおよびフィルタ回路 137 に接続され得る。制御回路 145、ドライバ回路 139、ならびに RF チョークおよびフィルタ回路 137 は、前述の図に関して論じたものと類似した能力を有し得る。例示の実施形態では、ドライバ回路 139 は、制御回路 145 と第一のコンデンサアレイ 151 a および第二のコンデンサアレイ 151 b との間に動作可能に結合される。ドライバ回路 139 は、制御回路 145 から受信した制御信号に基づいて可変静電容量を変化させるように構成される。RF フィルタ 137 は、ドライバ回路 139 と第一のコンデンサアレイ 151 a および第二のコンデンサアレイ 151 b との間に動作可能に結合される。制御ユニット 145 によって送信される制御信号にตอบสนองして、ドライバ回路 139 および RF フィルタ 137 は、コマンド信号をコマンド入力 129 に送信するように構成される。コマンド信号は、(a) 第一の複数の個別のコンデンサのうちの少なくとも一つの個別のコンデンサ、または (b) 第二の複数の個別のコンデンサのうちの個別のコンデンサの少なくとも一つの起動または停止を電子スイッチのうちの少なくとも一つに指示することによって、可変静電容量を変化するように構成される。

【0046】

例示的实施形態では、ドライバ回路139は、15 μ 秒未満で高電圧源のオンまたはオフ状態を切り替えるように構成され、高電圧源は、可変静電容量を変化させる目的で、第一および第二のコンデンサレイのそれぞれの電子スイッチを制御する。しかしながら、EVC 151は、本出願で考察される任意の手段または速度のいずれかによっても切り替えられ得る。

【0047】

制御回路145は、それぞれのコンデンサレイ151a、151bによって提供される粗静電容量値および微静電容量値を計算するように構成され得る。例示的实施形態では、制御回路145は、第一のコンデンサレイ151aのオンおよびオフ状態を制御することによって提供される粗雑な静電容量値を計算するように構成される。さらに、制御回路は、第二のコンデンサレイ151bのオンおよびオフ状態を制御することによって提供される微細な静電容量値を計算するように構成される。他の実施形態では、コンデンサレイ151a、151bは、代替的なレベルの静電容量を提供することができる。他の実施形態では、EVCは、追加のコンデンサレイを利用することができる。

【0048】

図4のEVC 151は、変化する静電容量を必要とする様々なシステムで使用することができる。例えば、EVC 151は、L整合ネットワーク内の直列EVCおよび／もしくは分路EVCとして、またはpi整合ネットワーク内の分路EVCの一方もしくは両方として使用することができる。静電容量値間の差については、回路の全体的静電容量の十分に微細な解像度と、RF整合ネットワークの入力においてより良好なインピーダンス整合を可能にする幅広い範囲の静電容量値の両方を可能にすることがしばしば望ましく、EVC 151はこれを可能にする。

【0049】

EVC静電容量を変化させるための個別のコンデンサの入／切の切り替え

上述のように、EVCは、各々が開回路または短絡を生成するために使用される複数のスイッチを、可変コンデンサの静電容量を変化するための個々の直列コンデンサとともに使用することができる可変コンデンサのタイプである。スイッチは、機械的（リレーなど）またはソリッドステート（PINダイオード、トランジスタ、または他のスイッチ装置など）とすることができる。以下は、EVCまたは他の可変コンデンサを設定して、変化する静電容量を提供するための方法の考察である。

【0050】

EVCまたは他の可変コンデンサの「累積セットアップ」と呼ばれる内容では、コンデンサ値を最小開始点（すべてのスイッチが開いている）から線形に増加させるアプローチは、切り替えて回路に入れる微調整コンデンサの数を漸進的に増加させることである。最大数の微調整コンデンサが切り替わって回路に入ると、粗調整コンデンサは入に切り替わり、微調整コンデンサは切に切り替わる。プロセスは、すべての微調整コンデンサおよび粗調整コンデンサが入に切り替わるまで、切り替わって回路に入る微調整コンデンサの数を増加させて再開し、その時点で別の粗調整コンデンサが入に切り替わり、微調整コンデンサが切に切り替わる。このプロセスは、すべての粗調整コンデンサおよび微調整コンデンサが入に切り替わるまで継続することができる。

【0051】

この実施形態では、すべての微調整コンデンサは、同一または実質的に類似した値を有し、すべての粗調整コンデンサは、同一または実質的に類似した値を有する。さらに、一つの粗調整コンデンサの静電容量値は、回路内のすべての微調整コンデンサと追加的な微調整コンデンサの組み合わせられた静電容量値とほぼ等しく、それ故に静電容量の線形増加を可能にする。しかしながら、実施形態は、そのように限定されるものではない。微調整コンデンサ（および粗調整コンデンサ）は、同一または実質的に類似した値を有する必要はない。さらに、一つの粗調整コンデンサの静電容量値は、すべての微調整コンデンサと追加的な微調整コンデンサの組み合わせられた静電容量値と等しくなくてもよい。一実

施形態では、粗雑な静電容量値および微細な静電容量値は、 $10:1$ と実質的に類似した比を有する。別の実施形態では、第二の静電容量値は、第一の静電容量値の半分 ($1/2$) 以下である。別の実施形態では、第二の静電容量値は、第一の静電容量値の3分の1 ($1/3$) 以下である。さらに別の実施形態では、第二の静電容量値は、第一の静電容量値の4分の1 ($1/4$) 以下である。

【0052】

理想的な設定における前述の実施形態の一例は、微調整コンデンサが 1 pF に等しく、粗調整コンデンサが 10 pF に等しい場合である。この理想的な設定では、すべてのスイッチが開いている場合、静電容量は 0 pF に等しい。第一のスイッチが閉じている時、回路内には 1 pF がある。第二のスイッチが閉じている時、回路内には 2 pF があり、9個の微調整スイッチが閉じられると 9 pF が得られるまで、などである。次に、第一の 10 pF コンデンサが切り替わって回路に入り、9個の微調整スイッチを開き、全静電容量が 10 pF になる。次に、微調整コンデンサは、 $11\text{ pF} \sim 19\text{ pF}$ で切り替わって回路に入る。次に、別の粗調整コンデンサを切り替えて回路に入れることができ、すべての微調整コンデンサを切り替えて回路から外して、 20 pF が得られ得る。このプロセスは、所望の静電容量に達するまで繰り返され得る。

【0053】

これは、さらに一つのステップで実施されてもよい。9個の 1 pF コンデンサおよび9個の 10 pF コンデンサを有する前の実施例を使用すると、可変コンデンサ回路は、回路の入／切を切り替えるために、さらに大きな値、 100 pF を有することができる。これにより、以前のコンデンサアレイは 99 pF まで上昇し、次に、 100 pF コンデンサを次の増分のために使用することができる。これは、より大きな増分を使用してさらに繰り返すことができ、また任意の計数システムと併用することができる。累積セットアップによると、可変コンデンサの全静電容量を増加させることは、既に入に切り替えられている粗調整コンデンサを切に切り替えることなく、既に入に切り替わっているよりも多くの微調整コンデンサまたは微調整コンデンサを入に切り替えることによって達成される。さらに、可変全静電容量が増大し、既に入に切り替わっているよりも多くの粗調整コンデンサを、制御回路が入に切り替えていない場合には、制御回路は、既に入に切り替わっている微調整コンデンサを切に切り替えることなく、既に入に切り替わっているよりも多くの微調整コンデンサを入に切り替える。累積セットアップに関する米国特許第10,431,428号および第11,195,698号は、その全体が参照により本明細書に組み込まれる。特許請求される発明は、累積セットアップの使用に限定されないことに留意されたい。例えば、その全体が参照により本明細書に組み込まれる米国特許第10,679,824号および第10,692,699号は、「部分バイナリ」などの代替的な設定について考察している。

【0054】

図5は、電子可変コンデンサの個別の固定コンデンサの入／切を切り替えるための可変静電容量システム155の概略図である。この図が図4の内容と類似した参照番号を使用する場合、関連する構成要素は、図4で考察した内容と類似する特徴を有し得ることが理解される。可変静電容量システム155は、変化する静電容量を提供するための可変コンデンサ151を備える。可変コンデンサ151は、入力113および出力130を有する。可変コンデンサ151は、並列に動作可能に結合された複数の個別の固定コンデンサ153を含む。複数のコンデンサ153は、第一の（微調整）コンデンサ151aおよび第二の（粗調整）コンデンサ151Bを含む。さらに、可変コンデンサ151は、複数のスイッチ161を含む。スイッチ161のうち、一つのスイッチは、複数のコンデンサのそれぞれに直列に動作可能に結合されて、各コンデンサの入／切を切り替えて、それによって可変コンデンサ151が変化する全静電容量を提供することを可能にする。可変コンデンサ151は、個別のコンデンサ153が入に切り替わる時に増大し、個別のコンデンサ153が切に切り替わる時に減少するといった可変全静電容量を有する。

【0055】

スイッチ 161 は、スイッチをオンおよびオフに駆動するために、スイッチドライバ回路 139 に結合され得る。可変静電容量システム 155 は、可変コンデンサ 151 に動作可能に結合された制御ユニット 145 をさらに含み得る。具体的には、制御ユニット 145 は、ドライバ回路 139 に、スイッチ 161 のうちの一つ以上を切り替えるように命令し、それによって、コンデンサ 153 のうちの一つ以上をオンまたはオフにするように、ドライバ回路 139 に動作可能に結合され得る。一実施形態では、制御ユニット 145 は、インピーダンス整合を達成するために静電容量を変化するように整合ネットワークの可変コンデンサに命令する制御ユニットなどの可変コンデンサを制御する制御ユニットの一部を形成することができる。ドライバ回路 139 および制御ユニット 145 は、図 4 を参照して上述したものと類似した特徴を有することができ、したがって、上述で考察したような RF チョークおよびフィルタも利用することができる。

10

【0056】

電子可変コンデンサのスイッチング回路

図 6 は、一実施形態による、整合ネットワークの EVC 151 のためのスイッチング回路 140A の実施形態を示す。例示的实施形態では、EVC 151 は、図 5 の EVC 151 であるが、本発明の EVC は、異なる数の個別の固定コンデンサ 153、および図 5 に関して論じた値とは異なる値の個別の固定コンデンサを含む、本明細書で論じる別の特徴のいずれかを有することができるため、そのように限定されない。さらに、EVC は、本明細書で論じる様々なタイプの整合ネットワークを含め、任意のタイプの整合ネットワークの一部を成すことができる。例示的な整合ネットワークは、例えば、先行の図に示されるように、RF 源とプラズマチャンバとの間に結合される。

20

【0057】

例示的な EVC は、第一の端子 113 に結合された、複数の個別の固定コンデンサ 153A、153B を含む。各個別のコンデンサ 153A、153B は、個別のコンデンサを入（または「オン」）に切り替え、個別のコンデンサを切（または「オフ」）に切り替えて、EVC 151 の全静電容量を変化させるように構成された、対応するスイッチ 161A、161B を有する。例示的实施形態では、スイッチ 161A は、個別のコンデンサ 153A と直列であるが、本発明はそのように限定されない。さらに、例示的实施形態では、スイッチ 161A は PIN ダイオードであるが、本発明はそのように限定されず、NIP ダイオードなどの別のタイプのスイッチであってもよい。さらに他の実施形態では、スイッチは、MOSFET、JFET、または別のタイプのスイッチであってもよい。さらに、例示的实施形態では、PIN ダイオードは、各 PIN ダイオード 161A、161B の陽極が、任意の共通ノードであり得る接地 40 に結合されるように、共通の陽極構成を有する。しかしながら、本発明は、他の実施形態では、EVC は、各 PIN ダイオードの陰極が接地 40 に結合される（およびそれに応じてドライバ回路の構成要素が変化される）ように、共通の陰極構成を使用し得るため、そのように限定されるものではない。さらに、二つ以上のスイッチを直列に使用して定格電圧を増加させてもよく、および／または二つ以上のスイッチを並列に使用してチャネルの定格電流を増加させてもよいことに留意されたい。

30

【0058】

各 PIN ダイオードスイッチ 161A、161B は、それ自体のスイッチング回路 140A、140B を有し、これらは制御回路 145 に接続されている。スイッチング回路 140B は、スイッチ 161B、フィルタ 141B（上で論じたフィルタ回路 37、41 と類似していてもよい）、およびドライバ回路 139B を含むものとして示されている。フィルタ 141B は、例えば、米国特許第 10,340,879 号のフィルタ回路 9 に類似した LC 回路、または米国特許第 9,844,127 号の図 6A の出力 207 以外のフィルタ回路であり得る。これらの特許の各々は、その全体が参照により本明細書に組み込まれる。

40

【0059】

例示的なスイッチング回路 140A は、スイッチング回路 140B と同じ構成要素を有

50

するが、ドライバ回路 139 A をより詳細に示す。ドライバ回路 139 A は、PIN ダイオード 161 A（または他のタイプのスイッチ）と統合されてもよく、または整合ネットワークの EVC の個別の固定コンデンサと統合されてもよい。当業者であれば、ドライバ回路 139 A の特定の構成要素が、同じ本質的な機能を実施する他の構成要素と置き換えられ得る一方で、より大きい機能により他の回路パラメータ（例えば、電圧範囲、電流範囲など）の変動性を可能にすることを認識するであろう。

【0060】

例示的なドライバ回路 139 A は、PIN ダイオード 161 A に接続された共通出力 107 A 上への電圧を制御するために制御回路から制御信号を受信するための二つの入力 105 A-1、105 A-2 を有する。共通出力 107 A 上への電圧は、PIN ダイオード 161 A をオン状態とオフ状態との間で切り替え、それゆえ、PIN ダイオード 161 A が接続されている個別のコンデンサ 153 A を入／オンおよび切／オフに切り替える。この例示的实施形態では、個別のコンデンサの状態は、対応する PIN ダイオードの状態に従い、その結果、PIN ダイオードがオンの時には個別のコンデンサも入／オンになり、同様に、PIN ダイオード 161 A がオフの時には個別のコンデンサも切／オフになる。したがって、PIN ダイオード 161 A の状態に関する本明細書の記述は、EVC 151 の対応する個別のコンデンサ 153 A の同時の状態を本質的に記述する。

10

【0061】

好ましい実施形態では、第一の電源スイッチ 111 A および第二の電源スイッチ 113 A の各々は、本体ダイオードを有する MOSFET であるが、他の実施形態では、電源スイッチのいずれもが、任意の他のタイプの半導体スイッチを含む別のタイプのスイッチであってもよい。本発明は、様々なスイッチング回路構成を利用し得る。例えば、本発明は、米国特許出願第 9,844,127 号で開示された図 3、6 A、6 B に示すスイッチング回路、および米国特許出願第 10,340,879 号で開示された図 18 に示すスイッチング回路のいずれかを使用してもよい。上述の通り、これらの特許の各々は、参照によりその全体が本明細書に組み込まれる。

20

【0062】

例示的实施形態では、高電圧電源 115 A は、第一の電源スイッチ 111 A に接続され、共通出力 107 A に切り替え可能に接続される高電圧入力を提供する。低電圧電源 117 A は、第二の電源スイッチ 113 A に接続され、同様に共通出力 107 A に切り替え可能に接続される低電圧入力を提供する。示されるドライバ回路 139 A の構成では、低電圧電源 117 A は、約 -3.3 V の低電圧入力を供給し得る。負の極性を有するこうした低電圧は、PIN ダイオード 161 A を切り替えるための順方向バイアスを提供するのに十分である。ドライバ回路 139 A の他の構成については、より高いまたはより低い電圧入力を使用されてもよく、また低電圧入力は、制御される電子スイッチの構成およびタイプに応じて、正の極性を有してもよい。

30

【0063】

例示的なスイッチング回路 140 A では、第一の電源スイッチ 111 A および第二の電源スイッチ 113 A は、PIN ダイオード 161 A をオン状態とオフ状態との間で切り替え、それによって対応する個別の固定コンデンサ 153 A をインまたはアウトに切り替える目的で、高電圧電源 115 A および低電圧電源 117 A を共通出力 107 A に非同期的に接続するように構成される。高電圧電源 115 A は、PIN ダイオードスイッチ 161 A の逆方向バイアス DC 電圧を提供する。これは、PIN ダイオード 161 A を逆バイアスし、それゆえに電流が流れるのを防止し、それゆえ、その対応する個別のコンデンサ 153 A を切に切り替えるため、「阻止電圧」とも呼ばれ得る。本明細書で使用される場合、「阻止電圧」という用語は、スイッチがその対応する個別のコンデンサを切または入に切り替えるために使用される任意の電圧を指す。スイッチング回路は、図 6 に示すものに限定されないが、その全体が参照により本明細書に組み込まれる米国特許第 9,844,127 号に示すものを含め、個別のコンデンサを入および切に切り替えるための任意の回路であってもよいことに、さらに留意されたい。

40

50

【0064】

例示的实施形態では、制御回路は、ドライバ回路139Aの別個の入力105A-1、105A-2に別個の制御信号を提供する。この実施形態では、別個の入力105A-1、105A-2は、それぞれ第一および第二の電源スイッチ111A、113Aに結合される。別個の入力に対する制御信号は、極性が反対であってもよい。好ましい実施形態では、第一の電源スイッチ161Aおよび第二の電源スイッチ113AはMOSFETであり、別個の制御信号はMOSFETに給電するために別個のドライバに進む。代替的な実施形態では、制御回路145は、共通の入力信号を提供する。共通の入力信号は、第一の電源スイッチ111Aおよび第二の電源スイッチ113Aのオンおよびオフ状態を非同期的に制御してもよく、その結果、第一の電源スイッチ111Aがオン状態にある時、第二の電源スイッチ113Aはオフ状態にあり、同様に、第一の電源スイッチがオフ状態にある時、第二の電源スイッチ113Aはオン状態にある。このようにして、共通の入力信号は、第一の電源スイッチ111Aおよび第二の電源スイッチ113Aを制御して、PINダイオード161Aをオン状態とオフ状態との間で切り替える目的で、高電圧入力および低電圧入力を共通出力に非同期的に接続する。しかしながら、本発明は、そのような非同期的な制御に限定されない。

10

【0065】

入力105A-1、105A-2は、例えば、+15V制御信号であり得る、第一の電源スイッチ111Aおよび第二の電源スイッチ113Aについて選択されたスイッチのタイプに対する任意のタイプの適切な制御信号を受信するように構成されてもよい。好ましい実施形態では、ドライバ回路は、第一の電源スイッチ111Aおよび第二の電源スイッチ112Aのそれぞれを駆動するための別個のドライバを有する。別の実施形態では、第一の電源スイッチ111Aおよび第二の電源スイッチ113Aは、共通の入力信号を受信できるように選択される。

20

【0066】

例示的实施形態では、電源118は、低電圧電源117Aの入力に結合される。好ましい実施形態では、電源118は24VDCを提供する。しかしながら本発明は、他の電源が利用され得るため、そのように制限されない。

【0067】

例示的实施形態では、第二の電源スイッチ113Aがオンの時、電流163AはPINダイオード161Aと低電圧電源117Aとの間を流れる。同時に、電流は、電源118から低電圧電源117Aの入力、および接地40に流れる。センサは、スイッチング回路140Aのノードに位置付けられて、低電圧電源117AとPINダイオードスイッチ161Aとの間に流れる電流163Aに関連付けられたパラメータを測定し得る。例示的实施形態では、センサ164Aは、低電圧電源117Aの入力に位置付けられ、電源118からの入力へと流れる電流167Aを測定するが、これは電流163Aに関連する。他の実施形態では、センサは、ノード165A（低電圧電源の出力）またはノード166A（PINダイオード161Aの陽極）、またはドライバ回路とスイッチとの間のフィルタ141Aの経路（例えば、ドライバ出力107Aまたはフィルタ141Aの出力）など、スイッチング回路140Aの他の位置にあってもよい。例示的实施形態では、パラメータは、ノードを流れる電流の値であるが、他の実施形態では、測定されたパラメータは、スイッチ（複数可）を流れる電流に関連付けられた任意のパラメータ（電圧を含む）であってもよい。さらに他の実施形態では、パラメータは、ドライバ回路に関連付けられた任意のパラメータである。

30

40

【0068】

整合ネットワークのためのバイアス回路

図7は、PINダイオードスイッチ161-1、161-2およびバイアス回路124を有し、EVC 151-1、151-2を利用するLC型のL整合ネットワーク30の実施形態の概略図である。EVCおよびそれらの構成要素は、図6に示されるEVC 151と同等である。したがって、バイアス出力107-1、107-2は、ドライバ回路

50

139Aのバイアス出力107Aと同等である。バイアス出力107-1、107-2の各々は、PINダイオードが逆方向にバイアスされているか、または順方向にバイアスされているか、およびそれゆえ、PINダイオードが入または切に切り替わっているかどうかを決定する。本発明は、他の方法が使用することができるため、図6に記載のダイオードの入／切を切り替える方法に限定されないことに留意されたい。

【0069】

図3に示すものなどの整合ネットワークの特定の特徴（センサ、チョーク、フィルタ、ドライバ、制御回路、および電源）は、示される特徴が見やすいように省略されている。これらの特徴は、とりわけ、整合ネットワーク30に含まれ得ることが理解される。例示的实施形態では、ダイオードはPINダイオードであるが、他の実施形態では、ダイオードはNIPダイオードまたは別のタイプのダイオードであってもよい。

10

【0070】

この実施形態では、整合ネットワークは、分路可変コンデンサ151-1および直列可変コンデンサ151-2の両方に対してEVCを使用する。これは必須ではない。例えば、分路可変コンデンサ151-1は、機械的に可変なVVCであってもよく、または可変インダクタ（機械的または電子的に可変）であってもよい。さらに他の実施形態では、第二の可変コンデンサは省略されてもよい。こうした実例では、例えば、周波数調整（RF源からのRF信号の周波数の調節）を、静電容量調整と共に使用して、インピーダンス整合を生じさせてもよい。

【0071】

20

PINダイオードを使用して、直列EVC 151-2など、直列位置にEVCの固定個別のコンデンサを切り替える時には、特定の課題が生じる。L整合ネットワーク30内の分路可変コンデンサ151-1は接地されているが（共通接地40によって接地されている図6のPINダイオード153Aを参照）、これは直列EVC 151-2の場合には当てはまらない。この問題に対処するために、例示的な整合ネットワーク30は、バイアス回路124の一部を形成するバイアスインダクタ126を利用する。バイアスインダクタ126は、PINダイオード161-2を順方向バイアスおよび逆方向バイアスするためのDCバイアス経路を提供する。

【0072】

図6に関して上述したように、PINダイオードは、バイアス電流をPINダイオードに流すことによってオンにすることができる、またはPINダイオードを逆バイアスして任意のRF電圧がPINダイオードをオンにすることを阻止する、十分に高い阻止電圧を印加することによってオフにすることができる、二端子装置である。バイアスが適切に動作するためには、図6に示すように、分路接続されたPINダイオードに対して、PINダイオードを通してバイアス回路にDC経路が存在しなければならない。バイアス回路124は、直列接続されたPINダイオードは、分路接続されたPINダイオード161Aにはある図6の接地40への接続がないため、直列接続されたPINダイオード161-2がDC源（例えば、図6の電源115Aまたは117A）を使用してバイアスされることを可能にする。

30

【0073】

例示的なバイアス回路124は、DCバイアス電流がバイアスインダクタ126を通して流れ、バイアス回路経路を完了することを可能にする。さらに、阻止コンデンサ128は、DC阻止電圧が出力17に現れるのを阻止する。

40

【0074】

各PINダイオードスイッチ161-1、161-2へのバイアス信号は、バイアス出力107-1、107-2を通して適用される。図6に示すように、その接続点は、適切なRF阻止フィルタ141Aを通して、PINダイオードドライバ139Aに接続される。

【0075】

以下は、スイッチオンされている直列EVC 151-2のコンデンサC₂₁の例を説

50

明する。この場合、図 6 で論じるように、負（順方向）バイアス（例えば、低電圧電源 1 1 7 A からの）が、バイアス出力 B₂₁ を通して P I N ダイオード D₂₁ に適用される。負（順方向）バイアスは、バイアスインダクタ 1 2 6 から P I N ダイオード D₂₁ を通ってバイアス接続 B₂₁ 内へと流れるバイアス電流をもたらす。同様に、（逆方向バイアス）阻止電圧が印加されると（例えば、図 6 の高電圧電源 1 1 5 A から）、正の阻止電圧が P I N ダイオード D₂₁ の陰極端に印加され、阻止電圧の D C 回路が再び、バイアスインダクタ 1 2 6 を通して完了する。阻止コンデンサ 1 2 8 は、D C 阻止電圧が整合ネットワークの出力 1 7 に現れるのを防止する。

【 0 0 7 6 】

提示される「L」型整合ネットワークは一例であり、この形状および構成要素構成にはいくつかの修正があり得ることに留意されたい。例えば、陰極ではなく、P I N ダイオード 1 6 1 - 1、1 6 1 - 2 の陽極を、個別の固定コンデンサ 1 5 3 - 1、1 5 3 - 2 に接続することができる。さらに、直列 E V C 1 5 1 - 2 および阻止コンデンサ 1 2 8 の相対位置は、阻止コンデンサ 1 2 8 が R F 入力 1 3 側にあるように逆にされてもよい。さらに、L 整合ネットワークの形状は、L C 構成ではなく、直列脚が R F 入力 1 3 にあり、分路脚が R F 出力 1 7 にある C L 構成（図 2 B に示すものなど）であってもよい。この場合、バイアスコンダクタ 1 2 6 および阻止コンデンサ 1 2 8 の位置もそれに応じて変化する。

【 0 0 7 7 】

図 8 ~ 9 は、さらなる修正を示す。図 8 は、代替的なバイアス回路 1 2 4 B の概略図である。このバイアス回路 1 2 4 B は、一つ以上のリアクタンス素子の直列または並列の組み合わせで、バイアスインダクタおよび／または阻止コンデンサを作製する方法の例を示す。例えば、バイアスインダクタは、直列（および／または並列）に電氣的に結合された複数のインダクタ 1 2 6 A ~ C を備えてもよい。さらに、阻止コンデンサは、並列（および／または直列）に電氣的に結合された複数のコンデンサ 1 2 8 A ~ C を備え得る。図 9 は、代替的なバイアス回路 1 2 4 C の概略図であり、バイアスインダクタは、並列に結合されたインダクタ 1 2 6 - 1 およびコンデンサ 1 2 6 - 2 を備える L C 共振回路と置き換えられる。最後に、連続したダイオード（二つの陽極または二つの陰極が一緒に接続される）の直列の組み合わせも、バイアスインダクタに対して並列であり得ることに留意されたい。

【 0 0 7 8 】

整合を達成するための静電容量値の決定

図 1 0 は、一実施形態による、インピーダンスを整合させるためのプロセス 5 0 0 A を示すフローチャートである。整合ネットワークは、上で論じたものと類似した構成要素を含み得る。一実施形態では、図 3 の整合ネットワークが利用される。図 1 0 の例示されたプロセス 5 0 0 A の第一のステップでは、R F 入力 1 3 での入力インピーダンスが決定される（ステップ 5 0 1 A）。入力インピーダンスは、R F 入力 1 3 で R F 入力センサ 2 1 によって検出された R F 入力パラメータに基づく。R F 入力センサ 2 1 は、R F 入力 1 3 で R F 入力パラメータを検出するように構成された任意のセンサとすることができる。入力パラメータは、R F 入力 1 3 での電圧、電流、または位相を含む、R F 入力 1 3 で測定可能な任意のパラメータとすることができる。例示の実施形態では、R F 入力センサ 2 1 は、整合ネットワーク 1 1 の R F 入力 1 3 における電圧、電流、および位相を検出する。R F 入力センサ 2 1 によって検出された R F 入力パラメータに基づき、制御回路 4 5 は入力インピーダンスを決定する。

【 0 0 7 9 】

次に、制御回路 4 5 は、プラズマチャンバ 1 9 によって提示されるプラズマインピーダンスを判定する（ステップ 5 0 2 A）。一実施形態では、プラズマインピーダンスの決定は、入力インピーダンス（ステップ 5 0 1 A で決定される）、直列 E V C 3 1 の静電容量、および分路 E V C 3 3 の静電容量に基づく。他の実施形態では、プラズマインピーダンスの決定は、R F 出力に動作可能に結合された出力センサ 4 9 を使用して行うことが

でき、RF出力センサ49は、RF出力パラメータを検出するように構成される。RF出力パラメータは、RF出力17での電圧、電流、または位相を含む、RF出力17で測定可能な任意のパラメータとすることができる。RF出力センサ49は、整合ネットワーク11のRF出力17で出力パラメータを検出してもよい。RF出力センサ21によって検出されたRF出力パラメータに基づき、制御回路45はプラズマインピーダンスを決定してもよい。さらに他の実施形態では、プラズマインピーダンスの決定は、RF出力パラメータおよびRF入力パラメータの両方に基づいてもよい。

【0080】

プラズマチャンバ19の可変インピーダンスが知られるようになると、制御回路45は、インピーダンス整合を達成する目的で、直列EVCおよび分路EVC 31、33の一方または両方の可変静電容量に加える変化を決定することができる。具体的には、制御回路45は、直列可変静電容量についての第一の静電容量値および分路可変静電容量についての第二の静電容量値を決定する（ステップ503A）。これらの値は、インピーダンス整合、または少なくとも実質的なインピーダンス整合を可能にするために、直列EVC 31および分路EVC 33に対する新しい静電容量値を表す。例示的实施形態では、第一および第二の静電容量値の決定は、可変プラズマインピーダンス（ステップ502Aで決定される）および固定RF源インピーダンスに基づく。

【0081】

第一および第二の静電容量値が決定されると、制御回路45は、直列可変静電容量および分路可変静電容量のうちの少なくとも一つを、それぞれ第一の静電容量値および第二の静電容量値に変化させるための制御信号を生成する（ステップ504A）。これは、およそ $t = -5 \mu$ 秒で行われる。制御信号は、スイッチング回路に、直列EVC 31および分路EVC 33の一方または両方の可変静電容量を変化させるように命令する。

【0082】

例示的实施形態では、RF源がRF信号を整合ネットワークへのRF入力に提供し続ける間に、EVCが変化される。EVCを変化する前に、RF信号の提供を停止する必要はない。新しい静電容量値の決定およびEVCの変化は、RF信号が整合ネットワークに提供され続ける間、連続的に（および繰り返し）行うことができる。

【0083】

EVC 31、33の変化は、VVCを使用するRF整合ネットワークでの約1~2秒の時間と比較して、合計で約9~11 μ 秒かかる。異なる可変静電容量への切り替えが完了すると、EVCを構成する追加の個別のコンデンサが回路を結合して充電する中で、待ち時間がある。整合同調プロセスのこの部分は、約55 μ 秒かかる。最後に、RF電力プロファイル403は、 $t = 56 \mu$ 秒の直前に、約380 mVのピークピーク値から約100 mVのピークピーク値への減少を示す。RF電力プロファイル403のこの減少は、反射電力407の減少を表し、約10 μ 秒の期間にわたって発生し、この時点で、整合同調プロセスが完了したとみなされる。

【0084】

直列可変静電容量および分路可変静電容量の変化は、制御信号を直列ドライバ回路39および分路ドライバ回路43に送信して、直列可変静電容量および分路可変静電容量をそれぞれ制御することを含むことができ、直列ドライバ回路39は直列EVC 31に動作可能に結合され、分路ドライバ回路43は分路EVC 43に動作可能に結合される。EVC 31、33が、その所望の静電容量値に切り替えられると、入力インピーダンスは、固定RF源インピーダンス（例えば、50 オーム）と整合してもよく、したがって、インピーダンス整合をもたらし得る。プラズマインピーダンスの変動に起因して、十分なインピーダンス整合が生じない場合、500 Aのプロセスは、インピーダンス整合、または少なくとも実質的なインピーダンス整合を達成するために一回以上繰り返されてもよい。

【0085】

図3に示すものなどのRF整合ネットワーク11を使用して、入力インピーダンスを以下のように表すことができる。

10

20

30

40

50

【数 1】

$$Z_{in} = \frac{(Z_P + Z_L + Z_{series})Z_{shunt}}{Z_P + Z_L + Z_{series} + Z_{shunt}}$$

【0086】

式中、 Z_{in} は入力インピーダンスであり、 Z_P はプラズマインピーダンスであり、 Z_L は直列インダクタインピーダンスであり、 Z_{series} は直列EVCインピーダンスであり、 Z_{shunt} は分路EVCインピーダンスである。例示的实施形態では、入力インピーダンス(Z_{in})は、RF入力センサ21を使用して決定される。EVCインピーダンス(Z_{series} および Z_{shunt})は、制御回路を使用して、直列および分路EVCの各々の様々な個別の固定コンデンサに命令して、オンまたはオフにするため、制御回路によって任意の所与の時間で既知である。さらに、直列インダクタインピーダンス(Z_L)は固定値である。したがって、システムは、これらの値を使用して、プラズマインピーダンス(Z_P)を解決することができる。

10

【0087】

この決定されたプラズマインピーダンス(Z_P)および既知の所望の入力インピーダンス(Z_{in}) (典型的には50オーム)、および既知の直列インダクタインピーダンス(Z_L)に基づいて、システムは、新しい直列EVCインピーダンス(Z'_{series})および分路EVCインピーダンス(Z'_{shunt})を決定し得る。

20

【数 2】

$$Z'_{in} = \frac{(Z_P + Z_L + Z'_{series})Z'_{shunt}}{Z_P + Z_L + Z'_{series} + Z'_{shunt}}$$

【0088】

新たに計算された直列EVC可変インピーダンス(Z'_{series})および分路EVC可変インピーダンス(Z'_{shunt})に基づいて、システムは、直列可変静電容量に対する新しい静電容量値(第一の静電容量値)および分路可変静電容量に対する新しい静電容量値(第二の静電容量値)を決定することができる。これらの新しい静電容量値がそれぞれ直列EVC 31および分路EVC 33で使用される場合、インピーダンス整合が達成され得る。

30

【0089】

所望の第一および第二の静電容量値を計算し、一つのステップでそれらの値に到達する例示的な方法は、2つのEVCを段階的に移動させて、誤差信号をゼロにするか、または反射電力／反射係数を最小にするかのうちのいずれかを行うよりも著しく速い。より速い同調スキームが望ましい半導体プラズマ処理では、このアプローチは、整合ネットワークの同調速度の大幅な改善を提供する。本明細書で論じる新しいEVC静電容量値を決定するための方法は、例にすぎないことに留意されたい。他の実施形態では、他のパラメータおよび／または方法を使用して、新しいEVC静電容量値を決定してもよい。例えば、新しい静電容量値に基づくパラメータは、プラズマチャンバに関連する任意のパラメータであってもよい。

40

【0090】

パラメータ行列を使用した静電容量値の決定

図11は、パラメータ行列を使用するインピーダンスを整合させるための代替的なプロセス500を提供する。例示的プロセスでは、制御回路45(整合ネットワーク構成要素

50

については図 3 を参照) は、ステップの各々を実行するように構成および／またはプログラムされる。二つの初期ステップのうちの一つとして、RF パラメータは、RF 入力センサ 21 によって RF 入力 13 で測定され、RF 入力 13 での入力インピーダンスは、測定された RF パラメータを使用して計算される (ステップ 501)。この例示的なプロセス 500 について、順方向電圧および順方向電流は、RF 入力 13 で測定される。特定の他の実施形態では、RF パラメータは、RF 出力センサ 49 によって RF 出力 17 で測定されてもよいが、こうした実施形態では、以下に記載されるものとは異なる計算が必要とされてもよい。さらに他の実施形態では、RF パラメータは、RF 入力 13 および RF 出力 17 の両方で測定されてもよい。

【0091】

RF 源 15 とプラズマチャンバ 19 との間に結合されたインピーダンス整合回路は、2 ポートパラメータ行列を含む、当業者に既知のいくつかのタイプのパラメータ行列のうちの一つによって特徴付けられてもよい。S パラメータ行列および Z パラメータ行列は、こうしたパラメータ行列の二つの例である。他の例には、Y パラメータ行列、G パラメータ行列、H パラメータ行列、T パラメータ行列、および ABCD パラメータ行列が含まれるが、これらに限定されない。当業者であれば、これらの様々なパラメータ行列が、整合ネットワークなどの電気回路について、互いに数学的に変換され得ることも認識するであろう。例示的プロセス 500 の第二の初期ステップは、パラメータルックアップテーブル内のインピーダンス整合回路の既存の構成について、パラメータ行列を検索する (ステップ 502) ことである。インピーダンス整合回路の既存の構成は、インピーダンス整合回路の既存の動作パラメータ、特に、直列 EVC 31 および分路 EVC 33 の両方に対する既存のアレイ構成によって画定される。インピーダンス整合を達成するために、インピーダンス整合回路の既存の構成は、例示的プロセス 500 の一部として、インピーダンス整合回路の新しい構成に変化される。

【0092】

パラメータルックアップテーブルは、複数のパラメータ行列を含み、各パラメータ行列は、直列 EVC 31 および分路 EVC 33 の特定の構成に関連付けられている。パラメータルックアップテーブルは、前述のタイプのパラメータ行列のうちの一つ以上を含み得る。例示的プロセス 500 では、パラメータルックアップテーブルは、少なくとも複数の S パラメータ行列を含む。特定の実施形態では、パラメータルックアップテーブルは、少なくとも複数の Z パラメータ行列を含んでもよい。パラメータルックアップテーブルが複数のタイプのパラメータ行列を含む実施形態では、異なるタイプのパラメータ行列は、異なるタイプのパラメータ行列間の数学的変換の必要性を排除するような方法で、パラメータルックアップテーブル内で関連付けられる。例えば、T パラメータ行列は、パラメータルックアップテーブルの一部として含まれてもよく、各 T パラメータ行列は、二つの行列間の変換から生じることになる、関連する S パラメータ行列に関連付けられる。

【0093】

入力インピーダンス計算 (ステップ 501) およびパラメータ行列ルックアップ (ステップ 502) は、任意の順序で実施されてもよい。入力インピーダンスが計算され (ステップ 501)、パラメータルックアップテーブル内でインピーダンス整合回路の既存の構成に対するパラメータ行列が識別された (ステップ 502) 後、プラズマまたは負荷インピーダンスは、計算された入力インピーダンスおよび既存の構成に対するパラメータ行列を使用して計算されてもよい (ステップ 503)。次に、計算されたプラズマインピーダンスから、RF 源 15 とプラズマチャンバ 19 との間のインピーダンス整合、または少なくとも実質的なインピーダンス整合を達成する、直列 EVC 31 および分路 EVC 33 の整合構成が、アレイ構成ルックアップテーブルで検索される (ステップ 504)。アレイ構成ルックアップテーブルからのこれらの整合構成は、直列 EVC 31 および分路 EVC 33 に新しい静電容量値をもたらすアレイ構成であり、インピーダンス整合は、新しいアレイ構成および関連する新しい静電容量値で達成される。アレイ構成ルックアップテーブルは、直列 EVC 31 および分路 EVC 33 のアレイ構成の表であり、組み

合わせて使用される場合、直列 EVC 31 および分路 EVC 33 の各可能なアレイ構成を含む。アレイ構成ルックアップテーブルを使用する代替として、EVC 31、33 の実際の静電容量値が、プロセス中に計算されてもよいが、静電容量値のこうしたリアルタイム計算は、アレイ構成ルックアップテーブル内で整合構成を検索するよりも本質的に時間がよりかかる。直列 EVC 31 および分路 EVC 33 の整合構成がアレイ構成ルックアップテーブルで識別された後、直列アレイ構成および分路アレイ構成の一方または両方は、直列 EVC 31 および分路 EVC 33 のそれぞれの識別された整合構成に変化される（ステップ 505）。

【0094】

直列アレイ構成および分路アレイ構成の変化（ステップ 505）は、制御回路 45 が、制御信号を直列ドライバ回路 39 および分路ドライバ回路 43 に送信して、直列アレイ構成および分路アレイ構成をそれぞれ制御することを含んでもよく、直列ドライバ回路 39 は、直列 EVC 31 に動作可能に結合され、分路ドライバ回路 43 は、分路 EVC 43 に動作可能に結合される。EVC 31、33 が整合構成に切り替えられると、入力インピーダンスは、固定 RF 源インピーダンス（例えば、50 オーム）と整合してもよく、したがって、インピーダンス整合をもたらし得る。プラズマインピーダンスの変動に起因して、十分なインピーダンス整合が生じない場合、500 のプロセスは、インピーダンス整合、または少なくとも実質的なインピーダンス整合を達成するために一回以上繰り返されてもよい。

【0095】

上述のプロセスで使用されるルックアップテーブルは、プラズマチャンバ 19 と併せて使用される RF 整合ネットワークの前にコンパイルされる。ルックアップテーブルの作成において、RF 整合ネットワーク 11 は、プラズマチャンバで使用する前に、各タイプの少なくとも一つのパラメータ行列、ならびに直列 EVC 31 および分路 EVC 33 の各アレイ構成に関連付けられた負荷インピーダンスを決定するように試験される。試験から生じるパラメータ行列は、各タイプの少なくとも一つのパラメータ行列が EVC 31、33 のそれぞれのアレイ構成と関連付けられるように、パラメータルックアップテーブルにコンパイルされる。同様に、負荷インピーダンスは、各パラメータ行列が EVC 31、33 のそれぞれのアレイ構成と関連付けられるように、アレイ構成ルックアップテーブルにコンパイルされる。コンパイル済みのルックアップテーブルは、RF 整合ネットワークの動作に関連する他の要因の中でも、固定 RF 源インピーダンス（例えば、50 オーム）、RF 源の電力出力、および RF 源の動作周波数を考慮に入れてもよい。したがって、各ルックアップテーブルは、EVC 31、33 の全ての可能な構成を考慮するために、数十万以上のエントリを有してもよい。可能な構成の数は、主に、EVC 31、33 の各々を構成する個別の固定コンデンサの数によって決定される。ルックアップテーブルをコンパイルする際に、整合ネットワーク内の重要な位置における最大許容電圧および電流などの、可能な安全制限を考慮することができ、これは、EVC 31、33 の特定の構成に対するルックアップテーブルのうちの一つ以上のエントリを除外するように機能してもよい。

【0096】

当技術分野で公知のように、S パラメータ行列は、散乱パラメータ、略して S パラメータと呼ばれる構成要素から構成される。インピーダンス整合回路の S パラメータ行列は、4 つの S パラメータ、すなわち、 S_{11} 、 S_{12} 、 S_{21} 、および S_{22} を有し、その各々は、RF 入力 13 および RF 出力 17 における電圧の比を表す。全 S パラメータ行列が既知となるように、インピーダンス整合回路の S パラメータの四つすべてが、事前に決定および／または計算される。他のタイプのパラメータ行列のパラメータが、同様に事前に決定および／または計算され、パラメータ行列に組み込まれてもよい。例えば、インピーダンス整合回路の Z パラメータ行列は、四つの Z パラメータ、すなわち、 Z_{11} 、 Z_{12} 、 Z_{21} 、および Z_{22} を有する。

【0097】

パラメータルックアップテーブルをこのようにコンパイルすることによって、特定の計算の全時間コストは、RF 整合ネットワークの試験段階中に発生し、RF 整合ネットワーク 11 のプラズマチャンバ 19 との実際の使用中には発生しない。さらに、ルックアップテーブルから値を検索することは、その同じ値をリアルタイムで計算するよりもかかる時間がより少ないため、ルックアップテーブルを使用することは、インピーダンス整合の達成に必要な全体的時間を低減するのに役立つ可能性がある。プロセス全体を通して潜在的に数百または数千のインピーダンス整合調節を含むプラズマ堆積またはエッチングプロセスでは、この時間の節約は、全体的な製造プロセスのコスト節約に直接役立つ可能性がある。

【0098】

制御回路がプラズマチャンバの可変インピーダンスを決定し、直列および分路の整合構成を決定することから始まる整合同調プロセスの開始から、RF 源に向かって反射された RF 電力が減少するまでの整合同調プロセスの終了まで、EVC を使用した RF インピーダンス整合ネットワークの整合同調プロセス全体は、約 110 μ 秒、または約 150 μ 秒以下の経過時間を有する。整合同調プロセスの単回反復のためのこの短い経過期間は、VVC 整合ネットワークよりも著しい増加を表す。さらに、整合同調プロセスの単回反復のためのこの短い経過期間を理由として、EVC を使用する RF インピーダンス整合ネットワークは、整合同調プロセスを反復的に実行し、二つの決定ステップおよび電子可変コンデンサの一方または両方のアレイ構成に対するさらなる変化のための別の制御信号を生成してもよい。整合同調プロセスを反復的に繰り返すことによって、整合同調プロセスの約 2 ～ 4 回の反復内に、より良好なインピーダンス整合が生成され得ることが予想される。さらに、整合同調プロセスの各繰り返しの所要時間に応じて、500 μ 秒以下で 3 ～ 4 回の反復が実施され得ることが予想される。VVC を使用した RF インピーダンス整合ネットワークに対する整合同調プロセスの単回反復に対する 1 ～ 2 秒の整合時間を考慮すると、わずかな時間で複数回の反復を実施できるこの能力は、EVC を使用した RF インピーダンス整合ネットワークの著しい利点を表す。

【0099】

当業者であれば、いくつかの要因が、EVC を使用した RF インピーダンス整合ネットワークのインピーダンス整合プロセスのミリ秒未満の経過時間に寄与し得ることを認識するであろう。こうした要因は、RF 信号の電力、EVC の構成および設計、使用されている整合ネットワークのタイプ、ならびに使用されているドライバ回路のタイプおよび構成を含んでもよい。列挙されていない他の要因はまた、インピーダンス整合プロセスの全体的な経過時間に寄与し得る。したがって、EVC を有する RF インピーダンス整合ネットワークに対する整合同調プロセス全体の所要時間は、プロセスの開始（すなわち、制御回路によって測定し、インピーダンス整合を生成するために必要な調整を計算する）からプロセスの終了（インピーダンス整合および反射電力の低減に起因してプラズマチャンバに結合された RF 電力の効率が增加する時点）まで完了するのに約 500 μ 秒以下であることが予想される。500 μ 秒程度の整合同調プロセスであっても、このプロセス時間は、VVC を使用した RF インピーダンス整合ネットワークよりも大幅な改善を依然として表す。

【0100】

表 1 は、EVC の一例の動作パラメータと VVC の一例の動作パラメータとの比較を示すデータを示す。見て分かるように、EVC は、RF インピーダンス整合ネットワークに対する高速切り替えを可能にすることに加えて、いくつかの利点を提示する。

10

20

30

40

50

【表 1】

表 1		
パラメータ	E V C	典型的な 1 0 0 0 p F 真空コンデンサ
静電容量	2 0 p F ~ 1 4 0 0 p F	1 5 p F ~ 1 0 0 0 p F
信頼性	高	低
応答時間	~ 5 0 0 μ 秒	1 秒 ~ 2 秒
E S R	~ 1 3 m W	~ 2 0 m W
電圧	7 k V	5 k V
電流操作能力	2 1 6 A r m s	8 0 A r m s
体積	4 . 5 i n ³	7 5 i n ³

10

【0 1 0 1】

見て分かるように、E V Cによって可能にされた高速切替え能力に加えて、E V Cはまた、信頼面での利点、電流操作面での利点、およびサイズ面での利点をもたらす。E V Cおよび／またはE V Cのためにスイッチング回路自体を使用するR Fインピーダンス整合ネットワークのさらなる利点としては、

20

・開示されたR Fインピーダンス整合ネットワークは、いかなる可動部品も含まないため、機械的故障の可能性は、半導体製造プロセスの一部として使用され得る他の完全な電気回路の可能性へと低減される。例えば、典型的なE V Cは、銅メタライゼーションを施した高耐久性セラミック基材から形成されて、個別のコンデンサを形成してもよい。可動部品の除去はまた、使用中の熱変動による破壊に対する抵抗性を増加させる。

・E V Cは、V V Cと比較してサイズがコンパクトであり、その結果、重量および体積の低減は、製造施設内の貴重な空間を節約し得る。

・E V Cの設計は、特定の用途の特定の設計ニーズに対してR F整合ネットワークをカスタマイズできる能力の向上をもたらす。E V Cは、カスタム静電容量範囲で構成されてもよく、その一例は、非線形静電容量範囲である。こうしたカスタム静電容量範囲は、より広範なプロセスに対して、より良好なインピーダンス整合を提供することができる。別の例として、カスタム静電容量範囲は、インピーダンス整合の特定の領域において、より解像度を提供し得る。カスタム静電容量範囲はまた、プラズマ衝突をより容易にするために、より高い点火電圧の発生を可能にし得る。

30

・短い整合同調プロセス（約5 0 0 μ 秒以下）により、R Fインピーダンス整合ネットワークは、製造プロセス内でのプラズマ変化により良好に耐え、それによってプラズマ安定性を増加させ、製造プロセスに対してより制御された電力をもたらすことができる。

・R Fインピーダンス整合ネットワークにおいて、機械的装置ではなくデジタル制御されたE V Cを使用することは、プログラミングを通して制御アルゴリズムを微調整できるより大きな機会を提供する。

40

・E V Cは、V C Cと比較して優れた低周波（k H z）性能を示す。

【0 1 0 2】

本明細書で論じる整合ネットワークの実施形態は、Lまたはp i構成を使用していたが、特許請求の対象である整合ネットワークは、「T」型構成などの他の整合ネットワーク構成で構成され得ることに留意されたい。別段の記載がない限り、本明細書で論じる可変コンデンサ、スイッチング回路、および方法は、R Fインピーダンス整合ネットワークに適した任意の構成で使用され得る。

【0 1 0 3】

本明細書で論じる実施形態は、インピーダンス整合を達成するために、整合ネットワーク内の一つ以上の可変コンデンサを使用するが、任意の可変リアクタンス素子を使用することができることに留意されたい。可変リアクタンス素子は、一つ以上の個別のリアクタ

50

ンス素子を含むことができ、リアクタンス素子は、コンデンサまたはインダクタまたは類似の反応性装置である。

【0104】

本発明は、本発明の現在の好適な実施方法を含む特定の実施例に関して説明されてきたが、当業者であれば、上述のシステムおよび技術の多数の変形および変更があることを理解するであろう。当然のことながら、本発明の範囲から逸脱することなく、他の実施形態が利用されてもよく、構造的および機能的修正がなされてもよい。したがって、本発明の趣旨および範囲は、添付の特許請求の範囲に記載されるように広く解釈されるべきである。

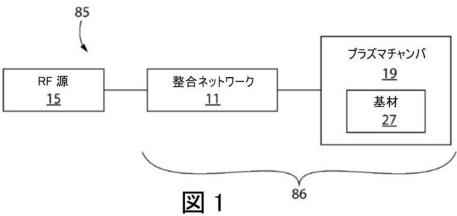
【符号の説明】

【0105】

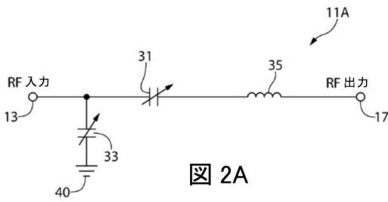
- 11 整合ネットワーク
- 15 RF 源
- 19 プラズマチャンバ
- 27 基材
- 85 システム
- 86 処理ツール

【図面】

【図1】



【図2A】



10

20

30

40

50

【図 2 B】

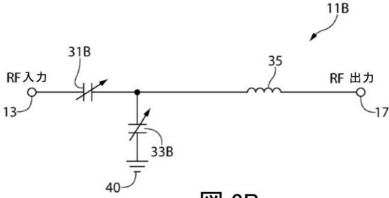


図 2B

【図 3】

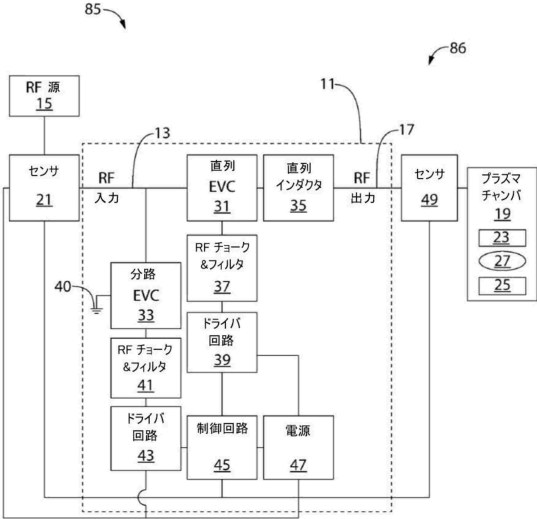


図 3

【図 4】

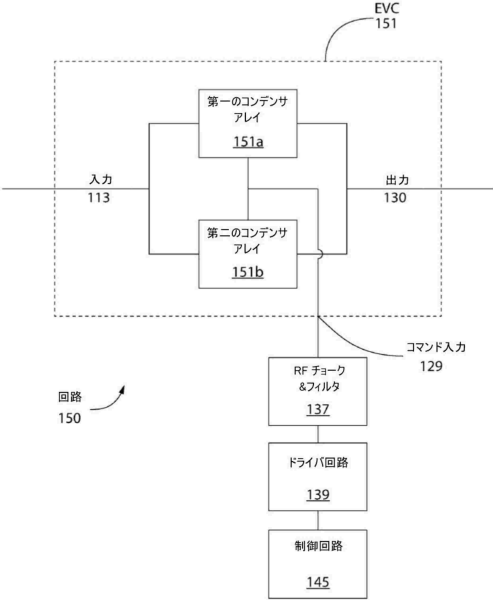


図 4

【図 5】

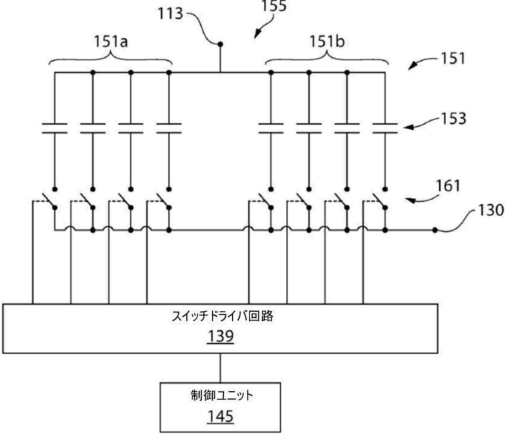


図 5

【図 6】

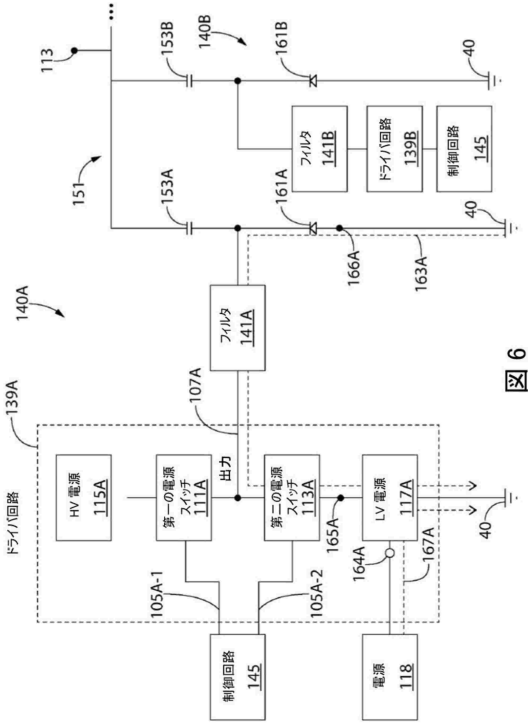


図 6

【図 7】

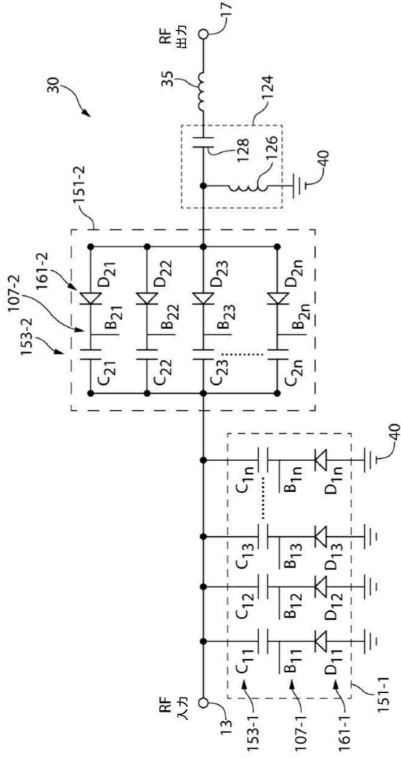


図 7

【図 8】

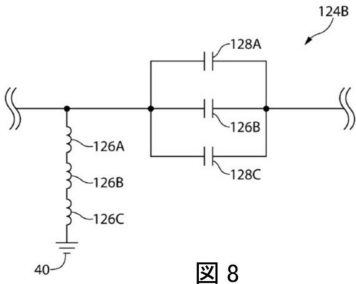


図 8

【図 9】

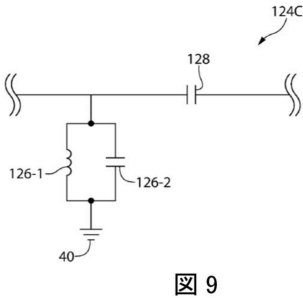


図 9

【図 10】

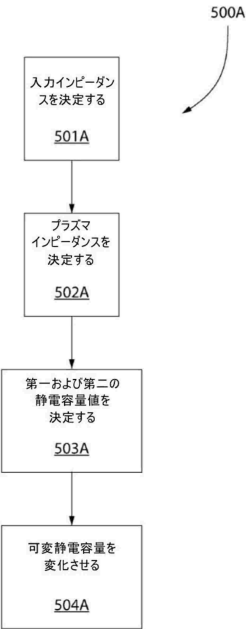


図 10

【図 11】

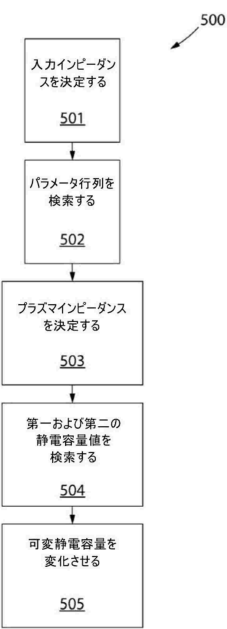


図 11

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/023395

A. CLASSIFICATION OF SUBJECT MATTER

INV. **H03H7/38 H03H7/40 H01J37/32**
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03H H01J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 10 269 540 B1 (CARTER DANIEL [US] ET AL) 23 April 2019 (2019-04-23) column 4, line 27 - column 5, line 14; figure 1A column 8, line 40 - column 10, line 63; figures 3, 4 column 11, line 11 - column 13, line 25; figure 5 column 5, line 63 - column 6, line 64 column 1, line 12 - line 32 -----	1-22
X	US 2020/212868 A1 (MORII TATSUYA [JP]) 2 July 2020 (2020-07-02) paragraph [0034] - paragraph [0057]; figures 1 - 3 paragraph [0067] - paragraph [0082]; figure 7 ----- -/--	1-22

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 July 2022

Date of mailing of the international search report

26/07/2022

Name and mailing address of the ISA/

European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Trafidlo, Renata

1

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/023395

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/359034 A1 (HUSSEIN AHMED A [US] ET AL) 14 December 2017 (2017-12-14) paragraph [0038] - paragraph [0048]; figures 2, 3 paragraph [0090] - paragraph [0091]; figure 9 -----	1-22
A	US 2020/051788 A1 (ULRICH MICHAEL GILLIAM [US]) 13 February 2020 (2020-02-13) paragraph [0042] - paragraph [0056]; figures 1 - 5 paragraph [0089] - paragraph [0097]; figure 16 paragraph [0115] - paragraph [0134]; figure 19 -----	1-22
A	US 2012/038277 A1 (ETO HIDEO [JP] ET AL) 16 February 2012 (2012-02-16) paragraph [0020] - paragraph [0030]; figure 1 paragraph [0031] - paragraph [0033]; figure 2 -----	1-22

1

10

20

30

40

50

INTERNATIONAL SEARCH REPORT					International application No	
Information on patent family members					PCT/US2022/023395	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date	
US 10269540	B1	23-04-2019	CN	111919278 A	10-11-2020	
			EP	3743938 A1	02-12-2020	
			KR	20200111233 A	28-09-2020	
			US	10269540 B1	23-04-2019	
			WO	2019148010 A1	01-08-2019	

US 2020212868	A1	02-07-2020	JP	2020107965 A	09-07-2020	
			KR	20200080169 A	06-07-2020	
			US	2020212868 A1	02-07-2020	

US 2017359034	A1	14-12-2017	NONE			

US 2020051788	A1	13-02-2020	NONE			

US 2012038277	A1	16-02-2012	JP	2012060104 A	22-03-2012	
			US	2012038277 A1	16-02-2012	

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,J
P,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,N
A,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,
TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. B L U E T O O T H

2. B l u - r a y

8 0 5 7 ・ ムーアズタウン・マイケル・コート・1 0 1

Fターム (参考) 2G084 DD57 HH08 HH23 HH24