



(12) 发明专利

(10) 授权公告号 CN 101326646 B

(45) 授权公告日 2011. 03. 16

(21) 申请号 200680046672. X

(51) Int. Cl.

(22) 申请日 2006. 11. 01

H01L 31/113 (2006. 01)

(30) 优先权数据

H01L 21/76 (2006. 01)

60/732, 442 2005. 11. 01 US

H01L 21/00 (2006. 01)

60/790, 204 2006. 04. 07 US

H01L 23/02 (2006. 01)

B32B 9/04 (2006. 01)

(85) PCT申请进入国家阶段日

审查员 闫东

2008. 06. 12

(86) PCT申请的申请数据

PCT/US2006/042654 2006. 11. 01

(87) PCT申请的公布数据

W02007/053686 EN 2007. 05. 10

(73) 专利权人 麻省理工学院

地址 美国马萨诸塞州

(72) 发明人 尤金·A·菲茨杰拉德

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 蔡胜有 刘继富

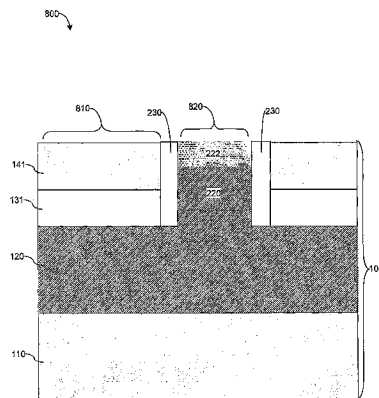
权利要求书 2 页 说明书 20 页 附图 20 页

(54) 发明名称

单片集成的半导体材料和器件

(57) 摘要

本发明提供了用于单片集成单晶硅和单晶的非硅材料以及器件的方法和结构。在一个结构中,一种半导体结构包括硅衬底和布置在所述硅衬底上的第一单晶半导体层,其中所述第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数。所述半导体结构还包括不知在第一区域中的所述第一单晶半导体层上的绝缘层、布置在所述第一区域中的绝缘层上的单晶硅层以及布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层。该第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数。



1. 一种半导体结构,包括:
硅衬底;
布置在所述硅衬底上的第一单晶半导体层,其中所述第一单晶半导体层具有与弛豫硅的晶格常数不同的晶格常数;
布置在第一区域中的所述第一单晶半导体层上的单晶硅层;和
布置在第二区域中而不在所述第一区域中的所述第一单晶半导体层的至少一部分上的第二单晶半导体层,其中所述第二单晶半导体层具有与所述弛豫硅的晶格常数不同的晶格常数。
2. 根据权利要求1所述的半导体结构,还包括:
布置在所述第一区域中的所述第一单晶半导体层上的绝缘层;和
其中所述单晶硅层布置在所述第一区域中的所述绝缘层上。
3. 根据权利要求2所述的半导体结构,还包括布置在所述硅衬底之上并且在所述第一单晶半导体层之下的第二绝缘层。
4. 根据权利要求2所述的半导体结构,其中所述第一单晶半导体层包括彼此叠置并且具有彼此不同且与所述弛豫硅的晶格常数不同的晶格常数的至少两个单晶半导体层、或硅-锑层、或在硅-锑层之下的硅-锑渐变层、或 III-V 半导体层。
5. 根据权利要求4所述的半导体结构,其中所述至少两个单晶半导体层包括锑层和 InP 层、或 GaAs 层和 InP 层、或者 GaAs 层和 GaN 层。
6. 根据权利要求4所述的半导体结构,其中所述至少两个单晶半导体层包括锑层和 GaN 层。
7. 根据权利要求1所述的半导体结构,其中所述第二单晶半导体层的上表面与所述单晶硅层上表面是基本上共面的。
8. 根据权利要求1所述的半导体结构,其中所述第二单晶半导体层包括 III-V 族半导体层。
9. 根据权利要求8所述的半导体结构,还包括布置在所述 III-V 族半导体层上的硅层,所述硅层可以但不是必须与所述 III-V 族半导体层接触。
10. 一种形成半导体结构的方法,所述方法包括:
提供硅衬底;
在所述硅衬底上布置第一单晶半导体层,其中所述第一单晶半导体层具有与弛豫硅的晶格常数不同的晶格常数;
在第一区域中的所述第一单晶半导体层上布置绝缘层;
在所述第一区域中的所述绝缘层上布置单晶硅层;和
在第二区域中的所述第一单晶半导体层的至少一部分上布置第二单晶半导体层,其中所述第一区域中不存在所述第二单晶半导体层,并且其中所述第二单晶半导体层具有与所述弛豫硅的晶格常数不同的晶格常数。
11. 根据权利要求10所述的方法,其中在所述绝缘层上布置所述单晶硅层包括:
提供施主晶片,所述施主晶片包括施主衬底和布置在基本全部所述施主衬底上的上覆单晶硅层,其中所述上覆单晶硅层包含所述第一区域中的所述单晶硅层;
提供包括所述硅衬底的处理晶片,所述硅衬底具有布置在其上的所述第一单晶半导体

层 ;和

晶片接合所述施主晶片和所述处理晶片,其中在晶片接合之后形成晶片的接合对,使得所述单晶硅层和所述第一单晶半导体层布置在所述硅衬底和所述施主衬底之间。

12. 根据权利要求 11 所述的方法,其中在所述第一单晶半导体层上布置所述绝缘层包括 :在所述晶片接合之前,在所述处理晶片的所述第一单晶半导体层基本全部上布置上覆绝缘层,或者在所述施主晶片的所述上覆单晶硅层基本全部上布置上覆绝缘层。

13. 根据权利要求 12 所述的方法,还包括 :在晶片接合之后,除去所述施主衬底以暴露所述上覆单晶硅层。

14. 根据权利要求 10 所述的方法,还包括 :

形成至少一个包括元件的硅基电子器件,所述元件包含至少一部分所述单晶硅层 ;和

形成至少一个包括有源区的 III-V 族发光器件,所述有源区包含至少一部分所述第二单晶半导体层。

单片集成的半导体材料和器件

[0001] 相关申请

[0002] 根据 35U. S. C. § 119(e), 本申请要求 2005 年 11 月 1 日提交的名为“INTEGRATED LIGHT ARRAYS”的美国临时申请 No. 60/732, 442 和 2006 年 4 月 7 日提交的名为“INTEGRATED LIGHT ARRAYS”的美国申请 No. 60/790204 的优先权, 其全部内容通过引用并入本文。

技术领域

[0003] 本发明一般涉及半导体结构的制造。更具体地, 本发明涉及硅和其它单晶半导体材料和 / 或器件的单片集成。

背景技术

[0004] 将 III-V 族材料与硅组合的概念出现于二十世纪八十年代。虽然在那时不能预见硅技术发展的程度并且因此不能具体说明许多潜在应用, 但是对该技术进行了根本的基础性研究。该基本思想是将发射和检测光的能力 (III-V 族材料) 与数字逻辑 (硅数字电路) 结合将打破旧的市场并产生新的市场。然而, 在实际中真正实现该目标被证明为比最初认识的更具有挑战性。

发明内容

[0005] 本发明中, 提供了用于单片集成单晶硅和单晶的非硅材料与器件的方法和结构。

[0006] 一方面, 一种半导体结构包括: 硅衬底; 布置在该硅衬底上的第一单晶半导体层, 其中第一单晶半导体层具有和弛豫 (relaxed) 硅的晶格常数不同的晶格常数; 布置在第一区域中的第一单晶半导体层上的绝缘层; 布置在第一区域中的绝缘层上的单晶硅层; 和布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层, 其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数。

[0007] 另一方面, 提供一种形成半导体结构的方法。该方法包括: 提供硅衬底; 在该硅衬底上布置第一单晶半导体层, 其中第一单晶半导体层具有和弛豫硅晶格常数不同的晶格常数; 在第一区域中的第一单晶半导体层上布置绝缘层; 在第一区域中的绝缘层上布置单晶硅层; 和在第二区域中的第一单晶半导体层的至少一部分上布置第二单晶半导体层, 其中第一区域中不存在第二单晶半导体层, 并且其中第二单晶半导体层具有和弛豫硅晶格常数不同的晶格常数。

[0008] 另一方面, 一种半导体结构包括: 硅衬底; 布置在该硅衬底上的第一单晶半导体层, 其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数; 布置在第一区域中的第一单晶半导体层上的单晶硅层; 和布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层, 其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数。

[0009] 一方面, 一种单片集成的半导体器件结构包括: 硅衬底; 布置在该硅衬底上的第一单晶半导体层, 其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数; 布置

在第一区域中的第一单晶半导体层上的绝缘层 ;布置在第一区域中的绝缘层上的单晶硅层 ;至少一个包括元件的硅基电子器件,该元件包含至少一部分所述单晶硅层 ;布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;和至少一个包括有源区的 III-V 族发光器件,该有源区包含至少一部分所述第二单晶半导体层。

[0010] 另一方面,提供了一种形成半导体结构的方法。该方法包括 :提供硅衬底 ;在该硅衬底上布置第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅不同的晶格常数的晶格常数 ;在第一区域中的第一单晶半导体层上布置绝缘层 ;在第一区域中的绝缘层上布置单晶硅层 ;和在第二区域中的第一单晶半导体层的至少一部分上布置第二单晶半导体层,其中第一区域中不存在第二单晶半导体层,和其中第二单晶半导体层具有与弛豫硅的晶格常数不同的晶格常数。

[0011] 另一方面,一种半导体结构包括 :硅衬底 ;布置在该硅衬底上的第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;布置在第一区域中的第一单晶半导体层上的单晶硅层 ;和布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数。

[0012] 一方面,一种单片集成的半导体器件结构包括 :硅衬底 ;布置在该硅衬底上的第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;布置在第一区域中的第一单晶半导体层上的绝缘层 ;布置在第一区域中的绝缘层上的单晶硅层 ;至少一个包括有源区的硅基光电检测器,该有源区包含至少一部分所述单晶硅层 ;布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;和至少一个包括有源区的非硅光电检测器,该有源区包含至少一部分所述第二单晶半导体层。

[0013] 另一方面,提供了一种形成单片集成半导体器件结构的方法。该方法包括 :提供硅衬底 ;在该硅衬底上布置第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅不同的晶格常数的晶格常数 ;在第一区域中的第一单晶半导体层上布置绝缘层 ;在第一区域中的绝缘层上布置单晶硅层 ;形成至少一个包括有源区的硅基光电检测器,该有源区包含至少一部分所述单晶硅层 ;在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上布置第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;和形成至少一个包括有源区的非硅光电检测器,该有源区包含至少一部分所述第二单晶半导体层。

[0014] 另一方面,一种单片集成的半导体器件结构包括 :硅衬底 ;布置在该硅衬底上的第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;布置在第一区域中的第一单晶半导体层上的单晶硅层 ;至少一个包括有源区的硅基光电检测器,该有源区包含至少一部分所述单晶硅层 ;布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数 ;和至少一个包括有源区的非硅光电检测器,该有源区包含至少一部分所述第二单晶半导体层。

[0015] 一方面,一种单片集成的半导体器件结构包括 :硅衬底 ;布置在该硅衬底上的第

一单晶半导体层,其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数;布置在第一区域中的第一单晶半导体层上的绝缘层;布置在第一区域中的绝缘层上单晶硅层;至少一个包括元件的硅基电子器件,该元件包含至少一部分所述单晶硅层;布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数;和至少一个包括元件的 III-V 族电子器件,该元件包含至少一部分所述第二单晶半导体层。

[0016] 另一方面,提供了一种形成单片集成半导体器件结构的方法。该方法包括:提供硅衬底;在该硅衬底上布置第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅不同的晶格常数的晶格常数;在第一区域中的第一单晶半导体层上布置绝缘层;在第一区域中的绝缘层上布置单晶硅层;形成至少一个包括元件的硅基电子器件,该元件包含至少一部分所述单晶硅层;在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上布置第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数;和形成至少一个包括元件的 III-V 族电子器件,该元件包含至少一部分所述第二单晶半导体层。

[0017] 在另一个方法中,一种单片集成的半导体器件结构包括:硅衬底;布置在该硅衬底上的第一单晶半导体层,其中第一单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数;布置在第一区域中的第一单晶半导体层上的单晶硅层;至少一个包括元件的硅基电子器件,该元件包含至少一部分所述单晶硅层;布置在第二区域中而不在第一区域中的第一单晶半导体层的至少一部分上的第二单晶半导体层,其中第二单晶半导体层具有和弛豫硅的晶格常数不同的晶格常数;和至少一个包括元件的 III-V 族电子器件,该元件包含至少一部分所述第二单晶半导体层。

附图说明

[0018] 附图没有按比例绘制。在附图中,在各个图中说明的相同或基本相同的部分均通过相同附图标记来表示。为了清楚,并非每个部分都在每个附图中进行标注。附图中:

[0019] 图 1 是根据一个实施方案的包含单晶硅和单晶的非硅半导体层的多层晶片的截面示意图;

[0020] 图 2A-2C 是根据不同实施方案的多层晶片的截面示意图;

[0021] 图 3A-3D 是说明根据一个实施方案的用于制造多层晶片的工艺的截面图;

[0022] 图 4A-4H 是说明根据一个实施方案的用于制造多层晶片的另一个工艺的截面示意图;

[0023] 图 5A-5H 是说明根据一个实施方案的用于制造多层晶片的另一个工艺的截面示意图;

[0024] 图 6A-6H 是说明根据一个实施方案的用于制造多层晶片的另一个工艺的截面示意图;

[0025] 图 7A-7H 是说明根据一个实施方案的用于制造多层晶片的另一个工艺的截面示意图;

[0026] 图 8 是根据一个实施方案的可以使用多层初始晶片形成的单片集成半导体结构的截面示意图;

[0027] 图 9 是根据一个实施方案的使用多层初始晶片形成单片集成半导体结构的方法的流程图；

[0028] 图 10 是根据一个实施方案的其中硅电子装置与 III-V 族发光器件单片集成的集成器件结构的截面示意图；

[0029] 图 11 是根据一个实施方案的发光器件结构的截面示意图；

[0030] 图 12 是根据一个实施方案的发光器件结构的顶部示意图；

[0031] 图 13A-13C 是说明根据一个实施方案的在多层晶片上单片集成的发光器件结构的制造方法的截面示意图；

[0032] 图 14 是根据一个实施方案的包含与发光器件和硅光电检测器单片集成的硅电子装置的集成器件结构的顶部示意图；

[0033] 图 15A-15B 是根据一个实施方案的单片集成的光学互连总线的示意图；

[0034] 图 16 是根据一个实施方案的与硅电子装置单片集成的发光器件阵列的顶视示意图；

[0035] 图 17 是根据一个实施方案的与硅电子装置和光电检测器阵列单片集成的发光器件阵列的顶视示意图；

[0036] 图 18 是根据一个实施方案的与硅电子装置单片集成的发光器件的二维阵列的顶视示意图；

[0037] 图 19 是根据一个实施方案的图 18 集成器件系统的截面示意图；

[0038] 图 20 是根据一个实施方案的与硅电子装置单片集成的光电检测器和发光器件的二维阵列的顶视示意图；

[0039] 图 21 是根据一个实施方案的包含至少一个硅光电检测器和至少一个非硅的光电检测器的单片集成系统的截面图；和

[0040] 图 22 是根据一个实施方案的包含硅电子装置和非硅电子装置的单片集成系统的截面图。

具体实施方式

[0041] 本发明中所述的实施方案提供实施方法和结构的实施例，以便于硅基单晶层与一个或多个单晶半导体层单片集成，该一个或多个单晶半导体层具有不同于弛豫硅的晶格常数。在某些实施方案中，硅基器件与具有有源区的器件单片集成，该有源区由一种或多种具有与弛豫硅不同的晶格常数的单晶半导体形成。硅基器件可包括（而不局限于）硅基电子装置，诸如 n- 型金属氧化物半导体（NMOS）和 p- 型金属氧化物半导体（PMOS）场效应晶体管（FET）、互补金属氧化物半导体（CMOS）器件和双极晶体管。硅基器件也可以包括光电子器件诸如硅基光电检测器。非硅半导体器件可包括（而不局限于）III-V 族发光器件（例如，发光二极管（LED）和激光二极管）、III-V 族光电检测器和 III-V 族电子器件诸如 III-V 族高电子迁移率晶体管（HEMT）、异质结双极晶体管（HBT）和金属半导体 FET（MESFET）。

[0042] 在某些实施方案中，硅基单晶层与具有不同于弛豫硅的晶格常数的单晶半导体层的单片集成能促进发光器件与硅基器件如 CMOS 电路的集成。该发光器件能发射可见光、红外和 / 或紫外光，作为本发明中所述的技术并不限于该方面。由于能够单片集成这些器件，发光器件可以与控制和 / 或驱动发光器件的硅 CMOS 电路单片集成。硅 CMOS 电路也可执行

计算功能。发光器件可采取发光器件阵列的形式,如一维阵列或二维阵列。因此,发光器件可布置为在线和 / 或区域 (例如,矩形区域) 上发光,并且可通过单片集成硅 CMOS 电路来控制 and 选择性地驱动以发光。光电检测器也可以在有或者没有发光器件的情况下与硅 CMOS 单片集成。光电检测器可以是硅基光电检测器,如果期望的话,可以集成为邻近发光器件以检测由发光器件发射的光。光电检测器的输出可以提供至硅 CMOS 电路,这可以至少部分基于光电检测器的输出改变发光器件的驱动。这种功能可用于调节提供至发光器件的驱动功率,和 / 或当检测到给定的发光器件不正确运行时 (例如当发光器件的输出失效或劣化时) 来激活冗余的发光器件。

[0043] 发光器件和硅基电子装置如 CMOS 的单片集成可用于形成微型显示器、高分辨率打印机杆和 / 或区域、成像杆和 / 或区域、具有集成微型显示器的芯片上计算机和用于硅基电子装置的光学互连。

[0044] 在某些实施方案中,硅基单晶层与具有不同于弛豫硅的晶格常数的单晶半导体层的单片集成能够有助于硅光电检测器与非硅光电检测器如锗和 / 或 III-V 族光电检测器的集成。硅和非硅光电检测器的集成能使得高分辨率成像芯片具有硅和非硅光电检测器阵列,进一步与硅基电子装置如 CMOS 集成。

[0045] 在某些实施方案中,硅基单晶层与具有不同于弛豫硅的晶格常数的单晶半导体层的单片集成还能够有助于硅基电子器件如硅 MOSFET 和双极晶体管和非硅半导体电子器件如 III-V 族 HEMT、HBT 和 / 或 MESFET 的集成。这种集成能够使得利用硅 CMOS 形成的数字电路与由 III-V 族材料形成的模拟 / RF 电路集成。

[0046] 所提出的一些实施方案使用多层初始晶片实现了硅和非硅材料和器件的单片集成,该初始晶片包含具有一个或多个单晶半导体层的硅基单晶层,所述一个或多个单晶半导体层具有与弛豫硅不同的晶格常数。而且,本发明所提出的某些技术允许在单晶非硅半导体层上外延沉积非硅材料。外延生长的非硅材料可包括用于非硅半导体器件的器件异质结构,所述非硅半导体器件包括诸如 III-V 族发光器件 (例如,LED 和激光二极管)、III-V 族光电检测器和 III-V 族电子器件如 III-V 族 HEMT、HBT 和 MESFET。多层初始晶片允许外延生长的非硅器件材料的表面与硅基单晶层是基本上共面的,由此有助于硅和非硅器件结构的共处理 (例如,光刻、互连形成及其它后端处理)。

[0047] 图 1 说明包含单晶硅和单晶非硅半导体层的多层晶片的一个实施方案。多层晶片 100 包含硅衬底 110、布置在该硅衬底 110 上的单晶半导体层 120、布置在该单晶半导体层 120 上的绝缘层 130 和布置在绝缘层 130 上的单晶硅层 140。

[0048] 单晶半导体层 120 可包括一个或多个半导体层。单晶半导体层 120 中的至少一个层可具有和弛豫硅的晶格常数不同的晶格常数。单晶半导体层 120 可包括一个或多个锗层、一个或多个硅 - 锗层和 / 或一个或多个 III-V 族半导体层。单晶半导体层 120 可包括硅 - 锗渐变层 (graded layer)。硅 - 锗渐变层可具有第一锗含量 (例如,0% 的锗) 的底部界面,并且可渐变为具有增加的锗含量,直至具有第二锗含量 (例如 100% 的锗) 的顶部界面。在这样的硅锗递渐变上可布置锗层,作为层 120 的一部分。

[0049] 在某些实施方案中,单晶半导体层 120 可包含一个或多个 III-V 族半导体层。III-V 族半导体层的例子包括砷化镓、氮化镓、磷化铟、砷化铟镓、氮化铟镓、砷化铝镓、氮化铝镓和 / 或本领域技术人员所公知的其它 III-V 族半导体层。在某些实施方案中,该 III-V

族半导体层可布置在锗层上。此外,如上所述,该锗层可布置在硅锗渐变层上。在某些实施方案中,该 III-V 族半导体层可布置在硅锗层上和 / 或布置在硅锗渐变层上。

[0050] 在某些实施方案中,单晶半导体层 120 可包含相互堆叠且晶格常数相互不同的并且不同于弛豫硅的晶格常数的两个或多个单晶半导体层。所述两个或多个单晶半导体层可包括例如锗层和磷化铟层、锗层和氮化镓层、砷化镓层和磷化铟层,和 / 或砷化镓层和氮化镓层。单晶半导体层中的一个层可合适作为发光器件中的有源层,并且其他单晶半导体层可合适作为模拟和 / 或 RF 器件中的沟道层。

[0051] 绝缘层 130 可包括任意绝缘材料层如氧化硅、氮化硅、氧氮化硅、本领域公知的其它绝缘材料和 / 或其任意组合。在某些实施方案中,层 130 是非绝缘层如半导体和 / 或金属层。在其它的一些实施方案中,可不存在层 130。在这样的实施方案中,单晶硅层 140 可布置在(例如,接触)单晶半导体层 120 上。

[0052] 单晶硅层 140 可包含弛豫硅和 / 或应变硅层。该应变硅层可具有任意期望的应变,例如该应变硅层可具有约 1 ~ 2% 的拉伸应变。作为替代,或者另外地,可在绝缘层 130 上布置硅 - 锗层。

[0053] 多层晶片 100 可具有任意期望的直径,作为本发明所述的技术不限于此方面。在某些实施方案中,多层晶片的直径为至少 150mm,至少 200mm 或硅衬底可获得的其它任意合适的直径。

[0054] 图 2A-2C 是根据某些实施方案的多层晶片的截面示意图。图 2A-2C 说明多层晶片 201,其具有硅衬底 110、布置在硅衬底 110 上硅 - 锗渐变层 121、布置在层 121 上的一个或多个的锗、硅 - 锗和 / 或 III-V 族层 120、布置在层 120 上的绝缘层 130 和布置在绝缘层 130 上的单晶硅层 140。

[0055] 图 2B 说明包含布置在绝缘层 130 上的单晶硅层 140 的多层晶片 202。绝缘层 130 布置在一个或多个锗、硅 - 锗和 / 或 III-V 族层 120 上,层 120 布置在硅衬底 110 上。

[0056] 图 2C 说明包含布置在绝缘层 130 上的单晶硅层 140 的多层晶片 203。绝缘层 130 布置在一个或多个锗、硅 - 锗和 / 或 III-V 族层 120 上。层 120 布置在绝缘层 135 上,该绝缘层 135 布置在硅衬底 110 上。在某些实施方案中,可用非绝缘层如半导体和 / 或金属来替代绝缘层 130 和 / 或 135。

[0057] 在某些实施方案中,本发明所述的多层晶片的单晶半导体层 120 可基本覆盖所有的硅衬底 110。单晶半导体层 120 可布置在全部或几乎全部的硅衬底 110 的上。绝缘体 130 和 / 或单晶硅层 140 可也布置在基本全部硅衬底 110 上。使用如下所述的晶片接合技术可制造这样的多层晶片。

[0058] 图 3A-3D 是说明制造多层晶片如图 2A 中说明的多层晶片 201 的方法的实例。如图 3A 所示,该方法可包括提供可包括硅衬底 110 的处理晶片。使用本领域所公知的技术,可在硅衬底 110 上外延生长晶格错配的硅 - 锗渐变层 121。例如,可使用化学气相沉积 (CVD) 生长硅 - 锗渐变层 121。硅 - 锗渐变层 121 可具有渐变的锗含量,其在硅 - 锗渐变层 121 的表面上从较低锗含量增加至较高的锗含量。在硅 - 锗渐变层 121 的下部界面处的较低的锗含量可以是 0% 锗(例如,纯硅),并且可以逐级方式、连续方式或其它方式增加至在硅 - 锗渐变层 121 顶表面处所期望的最终锗含量。在某些实施方案中,在硅 - 锗渐变层顶表面的锗含量为 100% 的锗或任意其它期望的锗含量(例如,大于 90% 的锗,大于 75% 的锗,大于

50%的锗)。该硅-锗渐变层可进行化学机械抛光(CMP)以消除在硅衬底上沉积晶格失配的硅-锗期间引入的网纹粗糙(cross hatch roughness)。硅-锗渐变层121也可以通过生长过程的中断而间歇地进行CMP,使得减少可在外延生长期间形成的网纹粗糙,并且因此减少了最终的穿透位错密度。

[0059] 锗和/或硅-锗层120可布置在硅-锗渐变层121上。在某些实施方案中,生长过程之后可对锗层进行化学机械抛光。在某些实施方案中,可在锗和/或硅-锗层120(其包括一个或多个III-V族层)上布置一个或多个层。或者,可在硅-锗渐变层121上直接布置一个或多个III-V族层。所述一个或多个III-V族层可包含任意数的III-V族材料(例如,砷化镓、磷化铟、氮化镓、任意三元III-V族和/或其任意组合)。此外,所述一个或多个III-V族层可包括渐变III-V族层,如砷化铟镓渐变层,或任意其它包括III-V族半导体的渐变层结构。

[0060] 绝缘层130可布置在锗和/或硅-锗层120上。绝缘层130可包括任意类型的绝缘体,如氧化物(例如二氧化硅)、氮化硅、氧氮化硅或任意其它合适的绝缘体材料。作为替代,或另外地,可在锗和/或硅-锗层120上沉积非绝缘层。可另外对绝缘层130进行抛光,例如使用化学机械抛光。

[0061] 图3B说明施主晶片,该施主晶片可以是结合图3A所示的处理晶片的晶片。该施主晶片可以是硅衬底190。可使用离子切割工序制备用于晶片接合和的层转移的硅衬底190。作为替代,或者另外地,可使用本领域技术人员所公知的接合和回蚀刻层转移工艺。在离子切割过程中,离子(例如,氢离子、氦离子)注入(如箭头191所示)硅衬底190的表面,以在距离硅衬底表面期望的深度处形成注入离子峰192。在离子峰192上的硅材料(本发明称之为硅层140)可作为用于晶片接合工艺的转移层。

[0062] 图3C说明进一步可以与图3A的处理晶片进行接合晶片的施主晶片。如图所示,处理晶片的硅层140接合于施主晶片的绝缘层130。或者,在晶片接合之前,可将绝缘层(例如,氧化层)布置在图3B所示的施主晶片的硅层140上。在这样的实施方案中,晶片接合工艺可包括氧化层对氧化层接合。晶片接合之后,可在期望的温度下对接合的晶片对进行退火以引发层140的裂缝形成和分层。退火也可强化转移层对处理晶片的接合。所得多层半导体晶片结构如图3D所示,其中硅层140布置在图3A所示的处理晶片上。由于分层的层140的表面可能是粗糙的,因此可随后例如通过化学机械抛光来抛光该表面。

[0063] 图4说明使用非硅施主衬底制造图2中所示的多层晶片202的方法。非硅施主衬底可包括锗衬底或III-V族衬底,如砷化镓、氮化镓、磷化铟或磷化镓。图4A说明由非硅材料形成的施主衬底180。使用离子切割工艺中的离子来注入施主衬底180(如箭头181所示)。利用注入能量注入离子,使得在距离非硅施主衬底180表面的期望深度182处形成峰浓度。材料层120位于注入峰182上。

[0064] 图4B说明硅处理衬底110,施主衬底180可晶片接合该硅处理衬底110,如图4C所示。晶片接合之后,可对晶片接合对进行退火以引发在施主衬底的注入峰182处的裂缝形成,并由此导致非硅层120转移至硅处理衬底110上,如图4D所示。退火也可强化层120和硅处理衬底110之间的接合。然后绝缘层130可沉积在非硅层120上,如图4E所示。

[0065] 可制备包含硅衬底190的第二施主晶片。任选地,硅衬底190可具有布置在其上的绝缘层(未显示);例如,这样的绝缘层可由氧化硅形成并可沉积和/或热生长。然后硅

衬底 190 可进行离子注入（由箭头 191 表示），以注入第二离子切割工艺中使用的离子。注入硅衬底的离子具有合适的注入能量，从而在距离硅衬底 190 表面的期望深度处产生离子注入峰 192。这样的工艺进而限定硅衬底 190 的硅层 140，其将作为转移至包含硅衬底 110 的处理晶片的层。图 4G 说明晶片接合工艺，其中硅衬底 190 的表面接合于处理晶片的层 130。晶片接合之后，可对接合对进行退火以引发在硅衬底 190 的离子注入峰 192 处形成裂缝，并且因此硅层 140 转移至处理晶片的层 130 上，如图 4H 所示。所得多层半导体晶片包括图 2B 的多层晶片 202 的各层。

[0066] 图 5A-5H 说明制造多层晶片 212 的替代方法，其以施主晶片作为开始，该施主晶片包括布置在硅衬底上的硅-锗渐变层上的非硅材料如锗、硅-锗和 / 或 III-V 族半导体。图 5A 说明这样的施主晶片，其包括其上布置有硅渐变层 121 的硅衬底 110a。在硅-锗渐变层 121 上布置锗、硅-锗和 / 或 III-V 族层 120a。离子可通过施主晶片的表面注入以在层 120a 的期望深度处产生离子注入峰 182。在图 5A 中，离子注入峰之上的材料标记为层 120。除了用图 5A 所示的晶片替代非硅施主衬底 180 以外，图 5 方法中的其余过程类似于图 4 方法中所描述的那些过程。

[0067] 图 6A-6H 说明制造图 2C 的多层晶片 203 的方法，其以非硅衬底 180 如锗或 III-V 族衬底作为开始，并使用和图 4 类似的方法。除了绝缘层 135 布置在图 6A 的非硅施主衬底 180 和 / 或图 6B 的处理晶片 110 之上以外，该方法的过程和图 4 描述的过程类似。

[0068] 图 7A-7H 说明制造图 2C 的多层晶片 203 的另一种方法，其使用包含非硅层如锗、硅-锗和 / 或 III-V 族层 120a 的初始晶片，其中层 120a 沉积在已经在硅衬底 110a 上沉积的硅-锗渐变层 121 上。绝缘层 135 可沉积在非硅层 184 和 / 或处理硅衬底 110 上。图 7 工艺的其余过程和图 6 的那些过程类似。

[0069] 多层晶片如图 1 所示的多层晶片 100 包括单晶硅半导体层 120，该层具有和弛豫硅不同的晶格常数。这样的多层晶片可用作起始晶片以单片集成硅和非硅器件。可在单晶硅层 140 中和 / 或上形成硅器件，可在其中已经除去硅层 140 和绝缘层 130 从而暴露单晶半导体层 120 的区域中形成非硅器件。在暴露的单晶半导体层 120 上外延再生长的高品质半导体材料层可作为材料层用于非硅器件，如 III-V 族、硅-锗和 / 或锗电子和 / 或光电子器件。

[0070] 图 8 说明根据一个实施方案可使用多层晶片 100 作为初始晶片形成的半导体结构 800。半导体结构 800 单片集成第一区域 810 和第二区域 820。第一区域 810 可包括布置在绝缘层 131 上的单晶硅层 141，绝缘层 131 进一步布置在单晶半导体层 120 上，其中单晶半导体层 120 具有与弛豫硅不同的晶格常数。单晶半导体层 120 布置在硅衬底 110 上。

[0071] 半导体结构 800 还包括第二区域 820，其中第二单晶半导体层（例如，在所述实施方案中的层 220 和 222）布置在至少一部分单晶半导体层 120 上。在半导体结构的第一区域中不存在第二单晶半导体层（例如，层 220 和 222）。第二单晶半导体层（220 和 222）具有与弛豫硅不同的晶格常数，并且可以具有和单晶半导体层 120 不同的组成。

[0072] 单晶半导体层 220 可布置为与至少一部分第一单晶半导体层 120 接触。如下面将进一步讨论，这样的结构可通过在单晶半导体层 120 的暴露的区域上外延生长来形成。在某些实施方案中，单晶半导体层 220 可具有与单晶半导体层 120 类似的组成，或者作为替代，一部分或全部单晶半导体层 220 可具有与单晶半导体层 120 不同的组成。而且，根据预

定的器件应用,可部分或整体掺杂层 220。

[0073] 单晶半导体层 222 可布置在半导体层 220 上,其中半导体层 222 可包括合适用于将在区域 820 中形成的预定器件的异质结构。在某些实施方案中,半导体层 222 可包括一个或多个 III-V 族半导体材料层、硅-锗和 / 或锗层。在某些实施方案中,层 222 可包括硅覆盖层,该覆盖层可布置为与 III-V 族、硅-锗和 / 或锗材料层接触。硅覆盖层可作为防止 III-V 族和 / 或锗暴露于用于在该结构上制造器件的任何工艺环境(例如,硅加工)的包封层。

[0074] 申请人已经认识到具有基本共面的硅区域和非硅器件区域的益处。硅区域和非硅区域的表面之间的同面性可有助于光刻工艺步骤,这是由于硅区域和非硅区域均可具有基本上相同的高度(例如,硅和非硅半导体表面具有基本上相同的高度)。这样,可有利于光刻步骤,其中该光刻步骤对晶片表面上的显著高度变化敏感。由于硅区域和非-硅区域之间的基本同面性,也可有利于硅区域和非-硅区域中各器件之间的互连制造。如在本发明中所用,同面性可取决于所采用的光刻工艺的特征尺寸。在某些实施方案中,共面半导体表面小于 100 纳米,小于 200 纳米,或小于 400 纳米。例如,当使用 70 纳米栅极-长度 CMOS 所采用的光刻时,所述基本共面的表面可小于 200 纳米(例如,小于 100 纳米,小于 50 纳米)。

[0075] 应该理解,在半导体结构 800 中可引入任意数目的其它层。例如,通过绝缘层 230 可将包含单晶半导体层 220 和 222 的非硅区域 820 与单晶硅区域 141 隔离。虽然图 8 显示层 230 布置为填充单晶硅层 141 与单晶半导体层 222 和 220 之间的整个间隙,但是应理解在此所述的技术部不限于此。

[0076] 使用采用多层晶片如多层晶片 100 作为初始晶片的制造工艺,可形成本发明中所述的接合单晶硅区域和单晶非硅区域的单片集成结构。图 9 说明这种方法的一个实施例的流程图。该方法可包括提供多层晶片(例如,多层晶片 100)作为初始晶片(过程 310)。在过程 320 中,可实施前端硅器件工艺以在单晶硅层 140 的第一区域中形成前端硅器件。这种硅器件可包括电子和 / 或光电子器件,如硅晶体管(例如,CMOS、双极晶体管)和 / 或光电子器件(例如硅光电检测器)。任选地,在第一区域中制造的前端硅器件可通过沉积保护材料来涂敷,保护材料包括但不限于氮化物、氧化物、氧氮化物、其组合或本领域技术人员所公知的任意其它适合的材料。

[0077] 在硅单晶层 140 的第二区域中,可除去(例如,蚀刻)硅单晶 140 和绝缘体层 130 以使单晶半导体层 120 暴露(过程 330)。用于除去硅和 / 或绝缘体的蚀刻可包括化学蚀刻或物理蚀刻,并且可以是干蚀刻或湿蚀刻,在此提出的技术并不限于该方面。当单晶半导体层 120 在第二区域中暴露时,可在该暴露区域上外延生长任何期望的半导体材料层,所述暴露区域作为用于外延生长工艺的晶种层(过程 340)。可生长晶格匹配于单晶半导体层 120 的半导体材料。在单晶半导体层 120 上生长的半导体层可包括锗层、硅-锗层、III-V 族层和 / 或其任意组合。至少一个这样的层具有与弛豫硅的晶格常数不同的晶格常数。

[0078] 任选地,在暴露的半导体层 120 上外延生长之前,可沉积绝缘材料(例如,介电材料)以包围单晶硅层 141(例如,如用于半导体结构 800 所示)的侧壁,该单晶硅层 141 由于第二区域中的蚀刻而已经暴露。这种工艺可导致图 8 中所示的绝缘层 230 的形成。这种工艺可包括:在整个晶片表面上沉积毯覆式绝缘层,并蚀刻沉积的毯覆式绝缘层的一部分以使区域 820 中的单晶半导体层暴露,而保持区域 820 侧壁上的绝缘体完整。应理解,这样

的绝缘侧壁 230 可由介电材料如氧化物、氮化物、氧氮化物、和 / 或其任意组合或其它适合材料形成。当在半导体 120 上外延生长半导体 220 和 222 时,侧壁 230 可有利于其中暴露的单晶半导体层 120 用作后续外延生长的品种层的选择性外延生长。通过使用本领域技术人员所公知的适当的生长化学品、温度和 / 或压力,可抑制在绝缘体 230 上的生长。如果在硅区域 810 上存在毯覆式绝缘保护层,则通过使用选择性生长,也可抑制在这些区域中半导体的生长。或者,如果没有使用选择性生长,则可在硅区域 810 上发生半导体生长,并且可实施生长后蚀刻以除去在那些区域中沉积的任意半导体材料。

[0079] 过程 340 的半导体外延生长可允许生长包括 III-V 族、锗和 / 或硅 - 锗层的期望的器件层。外延生长也可结合所需的掺杂,例如在器件结构中所需 P- 型、N- 型和本征掺杂。而且,在生长过程结束时可沉积硅覆盖层,以包封在单晶半导体层 120 上再生长的 III-V、锗和 / 或硅 - 锗层 (过程 350)。硅覆盖层的引入可有利于外延生长之后再引入到硅制造设备中。在某些实施方案中,第二区域中的外延生长半导体层表面 (例如,层 222 或硅覆盖层表面) 可以与第一区域 (例如,层 141) 中的硅表面基本上共面,如前所述。

[0080] 在过程 360 中,可实施非硅器件的前端处理以及在第一区域中硅器件和在外延生长第二区域中非 - 硅器件的后端处理。后端处理可包括在晶片上的各器件之间形成互连。应理解,可在第一区域中的硅器件之间、第二区域中的非 - 硅器件之间以及硅与非硅器件之间形成互连。这种工艺与标准的硅制造设备兼容,另外,在其中硅与非硅区域具有基本共面的半导体表面的实施方案中,可显著地促进后端处理中的光刻和互连工艺。而且,这种工艺可使得在硅 CMOS 制造设备中能够实施整个工艺。由于后端处理技术对于硅 CMOS 制造设备可能是更先进的,所以该工艺会是有利的。

[0081] 由于硅 CMOS 前端处理温度通常高于使 III-V 族器件中掺杂剂扩散最小化的温度,所以所述制造工艺可促进硅和非硅 (例如 III-V 族) 器件的单片集成。因此,在某些实施方案中,当实施硅前端处理时,在该晶片中可不存在 III-V 族器件层。然而,III-V 族、锗和 / 或硅 - 锗掩埋单晶半导体层的熔解温度可足够高,以使得这些层能够经受硅前端处理。而且,由于后端处理 (例如,互连形成) 通常具有比硅前端处理更低的热预算,因此任意 III-V 族器件层可容易经受住硅后端处理。

[0082] 这种单片集成半导体结构和用于形成这种结构相关的方法可用于单片集成硅器件 (电子或光电子的) 和 III-V 族和 / 或锗器件 (电子的和 / 或光电子的)。

[0083] 图 10 说明根据一个实施方案的其中硅电子装置与 III-V 族发光器件 (例如 LED 或激光二极管) 单片集成的集成器件结构 1000。可制造硅器件 510 (例如硅 CMOS、双极晶体管和 / 或硅光电检测器) 以保持在多层晶片的第一区域 810 中,在第二区域 820 中的单晶半导体层 120 上可生长 III-V 族发光器件 520。在区域 820 中形成的发光器件可包括掺杂的垂直堆叠的 III-V 族层,从而形成 p-n 或 p-i-n 结构。层 222 也可包括有源层 (例如,一个或多个量子阱) 和布置在该有源层下方和上方的限制层。层 222 的表面可包括硅覆盖层,如前所述。发光器件 520 的层 222 的顶部可通过互连 410 与硅器件 510 接触和电互连。垂直的发光器件结构的另一侧可通过金属填充的通孔 420 接触,其也可与硅器件 510 (未显示) 相互连接。应该理解,这仅仅是一种类型的接触方案并且可采用其它的接触方案,在此所述的技术并不限于此。

[0084] 图 11 说明根据一个实施方案的发光器件结构 520' 的截面图。发光器件结构

520' 是集成器件结构 1000 的发光器件 520 的一个示例性实施例。发光器件 520' 包括单晶半导体层 220, 其可以是锗层。层 220 可以是 p+ 掺杂的, 并且可作为发光器件的 p- 侧。布置在半导体层 220 上的半导体层 222 可包括发光器件限制层 (confinement layer)、覆层 (cladding layer)、有源层和覆盖层 (cap layer) (例如, 硅覆盖层)。层 222 可包含 p+ 掺杂的砷化镓层 1102。在层 1102 上可布置底部 p- 型 AlInGaP 限制层 1104。在底部限制层 1104 上可布置量子阱有源层 1106。量子阱 1106 可以是未掺杂的并且由 InGaP 形成, 从而由于周围限制层的带隙和 / 或带隙偏移 (bandgap offset) 而具有带隙限制。可在有源层 1106 上布置顶部 n- 型 AlInGaP 限制层 1108。可在限制层 1108 上布置 n+ 掺杂的砷化镓层 1110。在层 1110 上可布置 n+ 掺杂的硅覆盖层 1112。

[0085] 砷化镓层 1102 和覆层 1104 和 1108 可掺杂约 5×10^{17} 掺杂剂 / cm^3 的剂量, 覆层 1104 和 1108 可以具有约 200nm 厚度, 有源区 1106 可以具有约 22nm 厚度。砷化镓层 1110 可用作电流扩散层, 并且可以具有约 50nm 厚度并掺杂约 1×10^{19} 掺杂剂 / cm^3 的剂量。硅包封层 1112 可以具有约 80nm 厚度并且掺杂约 1×10^{21} 掺杂剂 / cm^3 的剂量。或者, 掺杂顺序可相反以形成 n-p 掺杂的异质结构, 其中底层是 n- 掺杂的而表面层是 p- 掺杂的。

[0086] 发光器件 520' 可包括在硅覆盖层 1112 上沉积的硅化物层 1114 和接触金属层 1116。可布置接触金属层 1116 与互连 410 接触。接触金属层 1116 可仅仅覆盖发光器件表面的一部分, 因此允许光发射通过未覆盖的区域。例如, 从顶视图的角度来观察, 接触金属层 1116 可具有环形几何结构。发光器件 520' 可包括由于在锗层 220 上沉积的锗化物层 1118 和接触金属层 1120。

[0087] 在某些实施方案中, III-V 族异质结构和硅覆盖层在能够沉积 III-V 族和 IV 族材料的一个反应器系统 (例如, MOCVD 反应器) 中原位沉积。例如, 使用低压 MOCVD (例如, 托马斯-斯瓦米封闭耦合的淋浴头反应器) 可生长发光器件 520' 的 III-V 异质结构和覆盖硅层。源物质可包括对于 III 族元素的三甲基镓 (TMGa)、三甲基铝 (TMAI) 和三甲基铟 (TMIn)、对于 V 族元素的 PH_3 和 AsH_3 和对于硅的 SiH_4 。二甲基锌 (DMZn) 和 B_2H_6 可用作 p- 型掺杂剂源和 Si_2H_6 可用作 n- 型掺杂剂源。载气可包括氮气。可在约 650°C 的温度和约 100 托的压力下进行沉积。可设定 V/III 比率为约 83, 用于发光器件层的沉积。

[0088] 应该理解发光器件 520' 仅仅是发光器件的半导体层结构的一个实施例。在某些实施方案中, 发光器件可包含异质结构, 而在其它的实施方案族, 发光器件可包含均质结构。其它 III-V 材料可用来形成发射不同波长的光的发光器件结构, 在此所述的技术不限于此。在发光器件 520' 中, AlInGaP 层可以是与 GaAs 晶格匹配的 $(\text{Al}_x\text{Ga}_{1-x})_{0.5}\text{In}_{0.5}\text{P}$ 层 (例如, $x = 0.3$), 其可用作可见光谱的红至绿区中的高亮度可见光发光器件的材料。

[0089] 图 12 说明根据一个实施方案的在多层晶片如多层晶片 100 上单片集成的发光器件的顶视图 1200。例如, 单片集成器件结构 1000 的发光器件 520 可以制造为具有顶视图 1200。发光器件可包括绝缘区域 230 (例如, 隔离沟槽), 其可由任意适合的电绝缘材料如氧化物 (例如, 氧化硅)、氮化硅或其组合形成。发光器件可包括生长的阱 1210, 在其内部, 可在多层初始晶片 (例如, 多层晶片 100) 的单晶半导体层 (例如, 层 220 和 222) 上外延生长发光器件异质结构 (或均质结构)。发光器件可具有发光区域 1220, 在发光器件有源区内产生的光可至少部分地从发光区域 1220 发射。发光器件可以任意适合的方式接触。如顶视图 1200 所示, 第一金属接触 1230 可通过接触通孔 1240 接触发光器件半导体结构的顶

侧,第二金属接触 420 可通过接触通孔 1250 接触发光器件半导体异质结构的底侧。

[0090] 发光器件发光区域可具有任意适合的尺寸和形状。在图 12 所示的顶视图中,发光器件发光区域是矩形或正方形的,但是也可使用其它的形状,在此所述的技术不限于此。发光器件半导体区域的尺寸可由生长阱 (grownwell) 的尺寸限定。如前所述,生长阱可如下形成:从多层晶片 100 开始,除去(例如蚀刻)在发光器件(或其它的非硅器件或材料)可通过在暴露的单晶半导体层 120 上外延生长而形成的区域中的单晶半导体层 140 和绝缘体层 130。因此,发光器件半导体区域的尺寸可由用于形成生长阱的光刻工艺所限定。在一个实施方案中,发光器件的发光区域小于约 $100 \times 100 \mu\text{m}^2$ 。由于发光区域由用以限定生长阱的光刻工艺的分辨率(例如,CMOS 特征长度光刻极限),因此在某些实施方案中可限定发光器件发光区域小于约 $1 \times 1 \mu\text{m}^2$ 。

[0091] 可限定多个生长阱和因此分隔的发光器件,其中可通过隔离沟槽隔离一个或多个发光器件,如通过绝缘层 230 形成的那些。由于在此所述的技术不限于此,所以该隔离沟槽可具有任意适合的尺寸。在某些实施方案中,包括隔离沟槽和接触层的各发光器件单元的间距小于约 $100 \mu\text{m}$ 。

[0092] 在某些实施方案中,当没有采用发光器件半导体结构的选择性外延沉积时,在生长阱的侧壁(例如,绝缘侧壁诸如介电侧壁)附近生长的材料可以是多晶的。在这样的实施方案中,在阱中的外延生长之后,可采用蚀刻工艺以除去在期望的发光区(例如,区域 1220)之外的区域中生长的多晶半导体。

[0093] 应理解,如果形成发光器件的阵列,则阵列中的发光器件可共用相同的底部接触(例如,接触 420)。而且,如图 12 所示,顶接触(例如,p-接触)和/或顶接触通孔可具有环形结构以促进电流扩散,同时还促进从发光器件的表面发光。在某些实施方案中,当阵列中发光器件的间距较小(例如,具有小于约 $20 \times 20 \mu\text{m}^2$ 的发光区域)时,可将指状顶接触和/或键合垫输出端(fan-out to bond-pads)结合到发光器件阵列中。

[0094] 图 13 说明根据一个实施方案,在多层晶片如多层晶片 100 上制造单片集成的发光器件的方法的实例。可采用潜在具有不同的异质结构和/或接触方案的工艺,以在多层晶片上形成其它的非硅材料异质结构和/或器件。

[0095] 该工艺可包括提供多层晶片如多层晶片 100。可在多层起始晶片 100 的单晶硅层 140 上的多层晶片第一区域(区域 141)中实施前端硅器件处理。可用光刻胶旋涂多层晶片,并在 90°C 下预烘焙 30 分钟。然后可用光刻掩模显影和图案化该光刻胶,以暴露其中将形成发光器件的多层晶片的区域。

[0096] 然后,可蚀刻多层晶片的单晶硅层 140 和绝缘层 130,以暴露在指定用于制造发光器件阵列的区域中的下层单晶半导体层 120。使用正性光刻胶作为蚀刻掩模,电子回旋共振反应离子蚀刻(ECR-RIE)可用于干蚀刻单晶硅层 140。工艺条件可包括 $\text{SF}_6 : \text{O}_2 (30 : 5\text{sccm})$ 的蚀刻化学品、30 毫托的总压、400W 的源功率和 30W 的偏压功率。使用相同的蚀刻掩模,可采用缓冲氧化物蚀刻(BOE)溶液以蚀刻绝缘层 130。

[0097] 然后可使用与上述利用正性光刻胶作为蚀刻掩模相类似的 ECRRIE 方法来隔离暴露的单晶半导体层 120。可使用定时蚀刻以限定隔离沟槽 1320(例如, $\sim 1 \mu\text{m}$ 深)。与插入发光器件之下的反向偏压 p-n 结接合的沟槽可提供一维阵列的发光器件之间的电隔离,因此允许发光器件的两维无源矩阵的操作。然后可在晶片上沉积共形 PECVD 氧化物(例如,

1.2 μm 厚)。氧化物层可提供用于外延的模板和 / 或用氧化物层 1330 填充隔离沟槽 1320。具有正性光刻胶作为蚀刻掩模的 BOE 溶液可用于蚀刻氧化物层中的生长阱,从而暴露出用于外延生长的下层单晶半导体层 120。

[0098] 然后可清洗晶片以确保在生长 (例如, MOCVD) 之前清除所有光刻胶残余物。除了一小时氧等离子体灰化工艺外,还可使用商品化的光刻胶剥离剂 (例如, Fujifilm 的 Microstrip 2001 $\text{\textcircled{R}}$), 以制造用于生长发光器件半导体结构的晶片。图 13A 显示在 MOCVD 生长之前的图案化的晶片的一部分的截面示意图。如图 13A 所示, 可用保护层 1310 来保护硅区域 141, 硅区域 141 上可以已经制造有前端硅器件, 保护层 1310 可由任意适合的材料层如氮化物、氧氮化物和 / 或氧化物形成。

[0099] 应该理解, 单晶半导体层 120 可包含与弛豫硅具有不同的晶格常数的任意半导体。在某些实施方案中, 单晶半导体层 120 可包含可用于非硅异质结构生长的锗层。在这样的实施方案中, 可利用锗的生长前清洗, 该清洗包括用 10 : 1 的 DI : HF 清洗 15 秒, 随后用 H_2O_2 清洗 15 秒, 并然后用 10 : 1 的 DI : HF 清洗 15 秒。在其中单晶半导体层 120 包含计划用作生长层的其它材料的其它实施方案中, 可使用本领域技术人员公知的其它适合的生长前清洗方法。该预清洗之后, 可将图案化的晶片装进反应器 (例如, MOCVD 反应器) 用于生长。

[0100] 在其中选择生长条件以促进选择性外延生长的实施方案中, 在暴露的单晶半导体层 120 上可选择性地生长单晶层, 而在介电表面如生长阱侧壁上没有发生明显的生长。如果实施非选择性生长, 可在任意绝缘层 (例如, 介电层) 上和靠近绝缘 (例如, 介电) 侧壁的生长阱中沉积多晶材料, 同时可在生长阱的中心区内外延生长材料, 如图 13B 所示。虽然图 13B 说明了在下层单晶层 120 上生长的特定异质结构, 但是在此所述的技术不限于此, 所以应该理解也可生长其它材料和 / 或异质结构。

[0101] 在生长之后, 可使用氧化物硬掩模 (例如, **3000 Å** 厚的 PECVD 氧化物) 保护在生长阱中沉积的单晶外延材料, 并且可蚀刻任意的多晶材料。在其中生长层包括硅覆盖层的实施方案中, 可使用 SF_6/O_2 等离子体干蚀刻该硅覆盖层。对于图 13B 中说明的异质结构, 可使用 $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (3 : 1 : 50) 溶液对顶部 GaAs 电流扩散层和底部 GaAs 缓冲层进行湿式化学蚀刻。 $\text{HCl} : \text{H}_3\text{PO}_4 : \text{H}_2\text{O}$ (1 : 1 : 1) 溶液可用于蚀刻 AlGaInP/InGaP/AlGaInP 堆叠体。在蚀刻完成之后, 可使用 BOE 溶液剥去该氧化物硬掩模。

[0102] 如图 13C 所示, 然后可沉积共形氧化物层 1340 (例如, **3000 Å** 厚的 PECVD 氧化物) 以隔离发光器件台面 (mesa) 侧壁。在后续处理步骤期间, 侧壁绝缘能防止顶部接触金属在台面侧壁处使发光器件 p-n 结短路, 而且也可以防止在发光器件侧壁处 III-V 族材料的暴露。然后可在氧化物中蚀刻顶部和底部接触通孔 (例如, 使用 BOE 溶液), 以暴露用于形成后续欧姆接触的硅覆盖层和单晶半导体层 120。可在晶片上溅散沉积金属接触层 (例如, **500 Å** Ti/1 μm Al), 并图案化 (例如, 使用 DI : BOE (1000 : 15) 溶液和 PAN 蚀刻 (77% 磷酸、20% 乙酸、3% 硝酸)) 成为发光器件的顶部 1350 和底部 1360 接触。

[0103] 该工艺然后可包括在非硅器件 (例如, 发光器件) 的生长和制造期间除去用于保护硅前端的保护层 1310。然后可实施硅后端处理以完成在区域 141 中的硅器件的制造。后端处理可包括在硅和非硅器件之间形成金属互连。对上述工艺可进行各种改变, 包括但不限于: 形成用于非硅器件的其它类型的异质结构, 如用于非硅电子器件 (例如, HEMT、HBT、

MESFET) 和 / 或光电子器件 (光电检测器、激光二极管) 的异质结构, 下面将进一步进行描述。而且, 使用这种方法可形成任意数量的非硅器件, 并且非硅器件可根据需要进行互连以形成单片集成的硅和非硅器件。

[0104] 图 14 说明根据一个实施方案的包含与发光器件 1452 和硅光电检测器 1450 单片集成的硅电子装置 1410 的集成器件结构的顶视示意图。这种集成器件结构可使用多层晶片如多层晶片 100 来形成。集成结构可具有在多层晶片的第一区域如图 10 的区域 810 上形成的硅电子和光电子 (例如, 硅光电检测器 1450) 器件。可在单晶硅层 (例如图 10 的层 141) 上形成硅电子装置 1410 和硅光电检测器 1450。在的多层晶片的区域中可形成发光器件 1452, 在所述区域中初始多层晶片的硅单晶层已经除去, 由此暴露布置在单晶硅层下方并具有和弛豫硅不同的晶格常数的单晶半导体层 120。可在具有和弛豫硅不同的晶格常数的暴露的单晶半导体层 (例如, 图 10 的层 120) 上外延生长器件层, 例如发光器件 1452 的异质结构层, 如前所述。

[0105] 发光器件 1452 可以是包括有源区的 LED, 该有源区具有能在期望的波长或波长范围内发光材料, 如适合的 III-V 族材料。可以以图 9 所述方法外延生长发光器件 1452 的半导体结构层。图 14 中显示的顶视图表示发光器件 1452 的顶部接触半导体层 1422。如前所述, 顶部接触半导体层 1422 可以是硅覆盖层, 其可通过外延生长来沉积。发光器件 1452 的顶视图也显示了绝缘区域 1423, 其可包围发光器件半导体材料, 并将发光器件与其上可形成有硅电子装置和 / 或光电子装置的硅层相隔离。发光器件 1452 还可包括可具有环状几何结构的顶部金属接触 1402。顶部金属接触 1402 可连接到可包含标准硅互连金属的互连 1401。该互连 1401 可提供与硅电子装置 1410 的连接。发光器件 1452 的底部可通过互连 1403 进行接触, 该互连 1403 可布置为与金属填充的通孔接触, 所述通孔延伸通过绝缘层 1423 并且接触发光器件 1452 (如图 10 的横截面所示) 的底部半导体层。

[0106] 集成器件结构 1400 可包括可具有任意适合的光电检测器器件结构的硅光电检测器 1450。在一个实施方案中, 硅光电检测器是横向的 p-n 结和 / 或 p-i-n 结。这种结构可通过在选择区域中注入 p- 型和 n- 型掺杂剂来形成。在另一个实施方案中, 硅光电检测器 1450 是通过注入 p- 型和 / 或 n- 型掺杂剂、和 / 或通过选择性外延生长形成的垂直硅光电检测器。硅光电检测器 1450 的 p 和 n 区 (未显示) 可与互连 1404 和 1405 接触, 所述互连 1404 和 1405 可提供硅光电检测器 1450 和硅电子装置 1410 之间的互连。

[0107] 硅电子装置 1410 可包括硅 CMOS、硅双极晶体管、硅 - 锗 HBT、和 / 或相关的电路元件如二极管、电阻器、电容器和 / 或感应器。硅电子装置 1410 可执行各种功能。硅电子装置可为发光器件 1452 提供驱动功率。硅电子装置 1410 也可响应于由未在本发明中显示的其它电路如提供距离显示信号的外部电路所提供的信号来控制由发光器件提供的驱动功率。硅电子装置 1410 可接收来自光电检测器 1450 的可用于调节发光器件 1452 的控制的信号。作为替代或另外地, 来自光电检测器 1450 的信号可通过硅电子装置中的数字电路处理并用于除了调节发光器件 1452 的控制之外的目的。

[0108] 硅光电检测器 1450 可用于实现各种功能。在一个实施方案中, 硅光电检测器 1450 可用于监测发光器件 1452 是否运行, 并且由硅光电检测器提供的信号可以提供给能相应地响应的硅电子装置 1410 (例如, 如果发光器件 1410 出现故障, 可开启备用发光器件, 和 / 或改变提供给发光器件 1452 的驱动功率)。在另一个实施方案中, 硅光电检测器可用于光

互连方案中和 / 或用于成像目的,如下进一步所述。

[0109] 图 15A-15B 说明根据一个示例实施方案的单片集成的光学互连总线。集成器件系统 1500 可包含单片集成的硅电子装置 1510 和 1512,所述硅电子装置 1510 和 1512 位于多层晶片如图 1 中说明的多层晶片 100 的单独区域中。硅电子装置 1510 可与硅电子装置 1512 通过光学互连总线 1580 进行连接,反之亦然,如图 15A 所示。光学互连总线 1580 可包括与硅电子装置 1510 电连接的光学收发器 1582 和与硅电子装置 1512 电连接的光学收发器 1584。光学互连总线可包括允许在光学收发器 1582 和 1584 之间光通信的一个或多个波导。光学收发器 1582 可包括发光器件 1552,发光器件 1552 可通过金属互连由硅电子装置 1510 控制。光学收发器 1582 还可包括与硅电子装置 1510 互连的硅光电检测器 1550。光学收发器 1584 可包括通过互连与硅电子装置 1512 电连接的发光器件 1554。光学收发器 1584 还可包括通过金属互连与硅电子装置 1512 电连接的硅光电检测器 1556。

[0110] 可提供一个或多个波导 1583 用于光学收发器 1582 和 1584 之间的光通信。该一个或多个波导 1583 可包括布置为提供从光学收发器 1554 至硅光电检测器 1550 的光通信通道的光学波导 1570。光学波导 1572 可提供从发光器件 1552 至硅光电检测器 1556 的光通信通道。

[0111] 光学互连总线 1580 使得能够在硅电子设备 1510 和 1512 之间形成光通信。在操作期间,当硅电子装置 1510 确定待传送给硅电子装置 1512 的信息时,可为发光器件 1552 提供调制的驱动功率(例如,与待传送的所需信息编码),从而产生可至少部分穿过波导 1572 并可被硅光电检测器 1556 检测的光。可由硅光电检测器 1556 提供输出电信号至硅电子装置 1552,其进而可从模拟至数字域来处理信号。以此方式,具有编码信息(例如,数字编码)的信号可在多层晶片如多层晶片 100 的不同区域中的硅电子装置之间进行光学通讯。类似地,硅电子装置 1512 可调制提供给发光器件 1554 的驱动功率,以将信号编码。发光器件 1554 可发光,该光可至少部分地沿波导 1570 移动并且能被光电检测器 1550 检测。硅检测器 1550 可提供输出电信号至硅电子装置 1510,该硅电子装置 1510 可将由硅光电检测器 1550 提供的模拟电信号转化为用于进一步处理的数字信号。

[0112] 当与硅电子装置单片集成时,这种光学总线互连可促进芯片上远距离间隔的硅电子装置(例如,硅数字 CMOS 电子装置)之间的通信。虽然图 15A 中说明的实施方案显示了每个硅电子装置区域(例如 1510 和 1512)具有一个发光器件和一个光电检测器,但应该理解,多个发光器件和 / 或多个硅光电检测器可电连接于一个硅电子装置模块(例如,硅电子装置 1510 或 1512)。而且,不同的发光器件可具有不同的发射波长,这可能是由于对有源区使用具有不同带隙的不同材料和 / 或是由于在有源区中不同尺寸的量子阱(例如,由此导致改变的量子限域和因此改变的发射波长)。作为替代或另外地,可使用时分和 / 或频分复用设计以编码通过光学总线 1580 传送的信息,这应该为本领域技术人员所理解。

[0113] 可在多层晶片如图 1 中说明的多层晶片 100 上制造在图 15A 的实施方案中说明的光学总线。图 15B 说明这样一个实施方案的截面图,其中发光器件 1552 制造为横向发光的发光器件,因此至少某些光是侧向发射的,其进而可通过波导 1572 导至硅光电检测器 1556。

[0114] 光学波导 1572(和 / 或 1570)可包括波导芯 1575。光学波导还可包括波导覆层 1574 和 1576。波导芯 1575 可比波导覆层 1574 和 1576 具有更大的折射率,由此为发光器件

1552 方式的光提供光学限制。波导芯 1575 可包含氮化硅和 / 或氧氮化硅, 波导覆层 1574 和 / 或 1576 可包含氧化硅。或者, 波导芯 1575 可包含硅层, 覆层 1574 和 / 或 1576 可包含折射率波导芯更小的任意材料, 例如氧化硅和氧氮化硅和 / 或氮化硅。在某些实施方案中, 波导芯 1575 由单晶硅层例如多层晶片 100 的单晶硅层 140 的一部分或全部来形成。可沉积和 / 或生长 (例如, 通过单晶硅层 140 的热氧化) 覆层 1574 和 / 或 1576, 这为本领域技术人员所公知。

[0115] 图 16 说明根据一个实施方案的与硅电子装置单片集成的发光器件阵列的顶视示意图; 单片集成器件系统 1600 可包括发光器件 1652、1654... 1656 的阵列。发光器件 1652、1654... 1656 可分别通过互连 1601、1604... 1606 使得其顶部接触与硅电子装置 1610 电连接。发光器件 1652、1654... 1656 的底部接触可电连接于互连 1603, 其进而可连接硅电子装置、供给电压源、或接地, 在此所述的技术不限于此。硅电子装置 1610 可用于控制供给发光器件 1652、1654... 1656 的驱动电流, 并且发光器件 1652、1654... 1656 可至少垂直地发射一些光。

[0116] 由于可使用光刻法限定发光器件之间的间距, 并且因此发光器件的尺寸和 / 或发光器件之间的间距可以与所用光刻工艺的分辨率极限一样小 (例如, 小于 20 微米, 小于 10 微米, 小于 1 微米, 小于 0.5 微米, 小于 0.25 微米, 小于 0.1 微米), 所以发光器件的这种阵列 (例如, LED) 可用作高分辨率打印机杆 (printer bar)。可使用多层初始晶片如图 1 的多层晶片 100 来制造与硅电子装置单片集成的发光器件阵列。发光器件和硅电子装置可使用与图 9 和 10 相关的所述工艺来集成。

[0117] 图 17 说明根据一个实施方案的包括发光器件阵列、光电检测器阵列和硅电子装置的单片集成系统 1700 的顶视图。集成系统 1700 可使用初始晶片如多层晶片 100 来制造, 并且可以与图 14 中说明的实施方案的结构相类似, 其中发光器件与硅光电检测器和硅电子装置集成。单片集成系统 1700 可包括发光器件 1752、1754... 1756。发光器件的顶部接触可通过互连 1701、1704... 1706 与硅电子装置 1710 电接触。发光器件的底部接触可电连接于互连 1703, 其进而可电连接于电源或接地, 或者作为替代, 可连接硅电子装置 1710。单片集成系统 1700 可包括硅光电检测器 1750、1753... 1755。硅光电检测器可具有通过互连 1702、1705... 1707 电连接于硅电子装置 1710 的终端。硅光电检测器的另一个终端可电连接于互连 1708, 其进而可电连接于电源、地面或硅电子装置 1710。

[0118] 单片集成系统 1700 可用作图像扫描仪, 其中发光器件阵列 1752 可通过控制经过互连 1701、1704... 1706 由硅电子装置 1710 供给的驱动功率来发光。由发光器件阵列发射的光照射在将被扫描和 / 或成像的图像上, 并且反射光可由光电检测器 1750、1753... 1755 的阵列来检测。光电检测器可发射由于检测的光所产生的电信号, 其可通过互连 1702、1705... 1707 传输至电子装置 1710, 电子装置 1710 可处理该电信号并且实施图像扫描操作, 此为本领域技术人员所公知。因此, 发光器件阵列中单片集成的发光器件可用作照亮某个区域的局部光源, 来自所述区域的光反射可被硅光电检测器 (和 / 或 III-V 族光电检测器) 阵列检测。通过移动集成的阵列, 可仅仅使用一个单片集成元件来扫描表面 (例如, 成像)。

[0119] 单片集成系统 700 也可以用作可包含光电检测器反馈控制的打印机杆 (例如, 打印引擎)。该打印机杆可利用发光器件发射的光在纸张上放电, 因此允许将色粉选择性地

置于纸张的某些区域。除了光电检测器 1750、1753... 1755 能检测分别由发光器件 1752、1754... 1756 发射的至少一部分光之外,打印机杆能以类似于图 16 的系统 1600 的方式操作。光电检测器能够对可传输至硅电子装置 1710 的检测的光进行响应而提供电信号,其进而可改变对检测的光进行响应而提供给一个或多个发光器件的驱动电压。这样的反馈控制系统能保证发光器件正常运行并发射期望量的光,否则,硅电子装置 1710 可改变发光器件的驱动电压和 / 或激活并控制冗余的备用发光器件,以替代失效的发光器件。因此,与发光器件单片集成的硅光电检测器(和 / 或 III-V 光电检测器)可允许控制来自打印机引擎中的每个发光器件的光输出。由于在非单片集成设计中光通量难于控制,因此这可以是有利的,并且每个打印点进而可具有不同的暗度水平。使用单片集成的硅 CMOS 控制电路和光电检测器,可以精确控制每个发光器件以发射所需通量的光子。

[0120] 虽然图 17 的说明显示了发光器件和光电检测器的一个说明性的布置,但其它的结构也是可能的。而且,如果使用多个金属化互连层(这可适用于 CMOS 工艺),则金属互连层 1702、1705... 1707 可分别布置在发光器件 1752、1754... 1756 上。这种结构可允许封装密度增加,并且因此增加发光器件阵列和 / 或光电检测器矩阵的分辨率。

[0121] 应理解,可改变具有发光器件的一维阵列的实施方案,从而包括发光器件的区域(例如二维阵列)和 / 或光电检测器阵列(例如,光电检测器的二维阵列)。这种系统可作为打印机区域和 / 或扫描仪区域,在此所述的技术不限于此。

[0122] 图 18 说明根据一个实施方案的单片集成系统 1800 的顶视图,该单片集成系统 1800 包含与硅电子装置单片集成的发光器件的二维阵列。单片集成系统 1800 可如下制造:使用初始多层晶片如多层晶片 100,并且发光器件半导体结构可在多层晶片 100 的单晶半导体层 120 上外延生长。单片集成系统 1800 可包括多个发光器件的行,每行包括多个发光器件。在图 18 说明的实施方案中,第一行包括发光器件 1852、1854... 1856。第二行包括发光器件 1862、1864... 1866。发光器件的其他行可连续布置,其中发光器件的末行包括发光器件 1872、1874... 和 1876。

[0123] 单片集成系统 1800 可包括可电连接于发光器件阵列的硅电子装置 1810 和 / 或 1811。硅电子装置 1810 和 / 或 1811 可用作发光器件二维阵列的驱动电路和 / 或多路复用寻址电路。在一个实施方案中,行互连 1803、1804... 1805 可用作电连接于发光器件的底部接触的行互连。互连 1806、1807... 和 1808 可用作电连接于发光器件的顶部接触的列互连。应该理解,行和列互连可被绝缘层分隔以确保行和列互连没有接触。这种互连结构可提供二维阵列的发光器件的行和列寻址。

[0124] 与硅控和 / 或复合电路(例如硅电子装置 1810 和 / 或 1811)单片集成的发光器件二维阵列可用作打印机区域和 / 或作为微型显示器。发光器件二维阵列的每个发光器件可用作微型显示器和 / 或打印机区域中的像素。或者,多个发光器件可与一个像素关联。在某些实施方案中,与一个像素关联的多个发光器件可发射不同波长的光(例如红色、绿色和蓝色)。光学系统可与微型显示器相关联并布置在发光器件上以放大微型显示器的尺寸,使得其可被人眼所观察到。由于利用硅光刻工艺能制造非常小的发光器件,因此以此方式可制造超低成本的显示器。小的尺寸可涉及成本,由于每单位面积的工艺和材料成本会是相对固定的,所以缩小显示器可显著降低成本。对于极高亮度的应用如投影显示器,发光器件可包含表面发射激光(例如垂直空腔表面发射激光器)。

[0125] 在另外的一些实施方案中,覆盖区域的光电检测器阵列(例如,形成二维阵列)可以与覆盖区域的发光器件(例如,形成二维阵列)相互分散。因此,使用这样的单片集成系统能实施区域印刷和扫描。能扫描整个区域而无需移动部件,并且能对全部区域或页面实施印刷曝光(例如,如果能将发光器件阵列制造得足够大或使用光学系统进行放大)。

[0126] 在其它的一些实施方案中,单片集成系统包括高分辨率的发光器件阵列,其可用作可编程的光刻系统的曝光源。在这样的系统中,可用光刻胶来涂敷将处理的晶片,并且可使用包含高分辨率发光器件阵列的单片集成系统来曝光晶片。发光器件可由集成硅电子装置驱动,该集成硅电子装置可基于至少部分可编程的指令来激活发光器件。可编程的指令可基于限定应该曝光的区域的掩模栅格(mask files)来获得,由此限定应该激活的发光器件。因此,这种单片系统可用作大-特征尺寸电子装置的可编程“光刻”系统,而仅仅受到发光器件阵列(例如,二维阵列)的间距限制。例如,由 0.25 微米的发光器件形成的发光器件阵列可用于实施栅极长度大于或等于约 0.5 微米的硅电路的光刻曝光。

[0127] 在其它的一些实施方案中,硅电子装置与二维阵列发光器件的单片集成能力允许制造硅微处理器,该硅微处理器与包含多个发光器件的微型显示器单片集成。微型显示器可具有高的分辨率,因为每个发光器件可具有基本上受限于所用光刻工艺的最小特征尺寸的尺寸。这种系统可用作具有集成微型显示器的芯片-上-计算机。

[0128] 图 19 说明单片集成系统 1800 的横截面。横截面 1900 说明单片集成系统 1800 的两个发光器件 1872 和 1874 的横截面。箭头表示来自发光器件的发光。该横截面还说明行互连 1805 和列互连(1806 和 1807)通过绝缘层 1885 而电隔离。绝缘层 1885 可包含任意适合的绝缘材料,包括但不限于氧化硅、氮化硅和/或氧氮化硅。该横截面还说明了布置在金属层 1805 和硅层 141 之间的绝缘层 1850。如在本发明中所述的其它实施方案中,互连可包含一个或多个金属层,在此所述的技术不限于此。

[0129] 图 20 说明根据一个实施方案的单片集成系统 2000 的顶视图,该单片集成系统 2000 包括发光器件阵列、光电检测器阵列和硅电子装置。可使用多层初始晶片如多层晶片 100 制造单片集成系统 2000,并且可在多层晶片 100 的单晶硅层 140 上制造硅电子装置和光电检测器。如前所述,可通过在单晶半导体层 120 上外延生长异质结构层制造发光器件阵列。

[0130] 单片集成系统 2000 可包括像素阵列(例如,二维阵列),其中每一个像素可包含一个或多个发光器件和一个或多个光电检测器。为了清楚,在图 20 中仅仅显示了用于一个像素的发光器件和互连,然而应理解,可布置任何数量的像素以形成像素阵列。在图 20 所示的实施方案中,像素 2090 可包含发光器件 2052-9,然而应理解,在像素中可包含任意数量的发光器件。在某些实施方案中,每个像素可包含具有不同发射波长如红色、绿色和蓝色的发射波长的发光器件。像素 2090 可还包含一个或多个光电检测器如光电检测器 2063。可提供用于发光器件的行和列寻址互连以及用于光电检测器的行和列寻址互连,由此允许将任意一个发光器件和/或任意一个光电检测器可选择性地电连接于硅电子装置 2010 和/或 2011。

[0131] 在系统 2000 的操作期间,每个像素内部的光电检测器可检测由像素内部激活的一个或多个周围发光器件所发射的至少一部分光。光电检测器可提供输出信号,通过行和列寻址线路经过硅电子装置 2010 和/或 2011 可接收该输出信号。硅电子装置 2010 和/

或 2011 可使用光电检测器信号来确定发光器件是否正常运行,和 / 或调节提供给一个或多个发光器件的驱动功率或激活每个像素内部的冗余的备用发光器件。因此,如果像素内部的发光器件失效,可激活像素内部冗余的发光器件以替代失效的发光器件。这种系统可提供超静定性并且因此延长单片集成系统 2000 的寿命如前所述,这种集成系统可用作打印机阵列和 / 或微型显示器。微型显示器可与硅微处理器电子装置单片集成,由此使得芯片上计算机成为可能。

[0132] 图 21 说明根据一个实施方案的包括至少一个硅光电检测器和至少一个非硅光电检测器的单片集成系统 2100 的截面图。使用初始多层晶片如多层晶片 100 制造单片集成系统 2100。在单晶硅层 141 上可形成至少一个硅光电检测器 2150,使得硅基光电检测器 2150 包括在单晶硅层 141 中形成的有源区。

[0133] 单片集成系统 2100 可包括至少一个包含有源区的非硅光电检测器,该有源区包含单晶半导体层 222 的至少一部分。通过在和弛豫硅具有不同晶格常数的单晶半导体层 120 上外延生长 III-V 族、锗和 / 或硅 - 锗层或其组合,可形成光电检测器 2115。在某些实施方案中,非硅光电检测器 2115 包含具有 III-V 族材料层的有源区。在一个实施方案中,非 - 硅光电检测器包含具有锗层和 / 或硅 - 锗层的有源区。该非 - 硅光电检测器可包含适当的掺杂剂如 p-n 垂直的掺杂剂分布或 p-i-n 垂直的掺杂剂分布,这些分布可在层 220 和 222 的外延生长期间通过原位掺杂来形成。在一个实施方案中,非硅光电检测器是通过在层 202 中的具有横向限定的区域注入 p 掺杂剂和 / 或 n 掺杂剂来形成的横向光电检测器。在包含垂直的非硅光电检测器的实施方案中,金属填充的通孔 2120 可提供与形成光电检测器 2115 的半导体结构底部区域的接触。或者,如果非 - 硅光电检测器是横向的光电检测器,表面接触可用于接触光电检测器的 n- 侧和 p- 侧区域二者。

[0134] 单片集成系统 2100 还可包括硅电子装置 2110,其可通过互连 2152 接收来自硅光电检测器 2150 的输出信号和 / 或通过互连 2112 来自非硅光电检测器 2115 的输出信号。根据预定应用的需要,硅电子装置 2110 可处理所接收的信号并输出信号。如前所述,硅电子装置可包括可用于处理和 / 或数字性处理来自硅和 / 或非硅光电检测器接收的信号电子装置(例如 CMOS,双极晶体管)。

[0135] 在某些实施方案中,在多层晶片如多层晶片 100 上可以单片集成硅和非硅光电检测器的阵列。这种硅和非硅光电检测器阵列可用于检测在电磁波谱的不同波长范围内的光。在一个实施方案中,硅光电检测器可具有与非硅光电检测器有源区中的材料不同的带隙,因此硅和非硅光电检测器将对不同的波长区域敏感。在某些实施方案中,在多层晶片上制造的这种单片集成系统可用于通过使用单片集成芯片在多波长范围内提供成像的成像应用(例如,照相机芯片)。

[0136] 图 22 说明根据一个实施方案的包含硅电子装置和非硅电子装置的单片集成系统 2200 的截面图。使用初始多层晶片如多层晶片 100 制造单片集成系统 2200。可在单晶硅层 141 上制造硅电子装置 2210。可在单晶半导体层 222 上制造非硅电子装置 2290。硅电子装置 2210 可包括硅 MOSFET 如 NMOS、PMOS 和其组合,如硅 CMOS。硅电子装置 2110 可包括硅双极晶体管、硅二极管、电阻器、电容器和 / 或感应器。

[0137] 非硅电子装置 2290 可包括 III-V 族 HBT、HEMT 和 / 或 MESFET。非硅电子装置 2290 可包括锗和 / 或硅 - 锗基电子器件如锗和 / 或硅 - 锗 FET。作为替代或另外地,非硅电子装

置可包括硅-HBT。硅电子设备 2210 和非硅电子设备 2290 可通过互连 2215 来互连。在某些实施方案中,互连 2215 可以是用于接触硅的金属互连。这种互连与硅电子装置和非硅电子装置区域均可兼容。在某些实施方案中,可用硅覆盖层来覆盖单晶半导体层 222,以有利于将晶片再次引入硅制造设备和 / 或接触使用硅硅化金属的非硅器件。

[0138] 如前在图 9 的工艺说明中所述,在实施硅电子装置 2210 的前端处理之后,可外延生长非硅电子装置材料 222(和 220)。在层 222(和 220)的外延生长之后,通过在层 222 的表面生长硅覆盖层可将晶片再次引入硅制造设备,以有利于硅器件和 / 或非硅器件的后端处理。在这种后端处理期间,可形成硅和非硅电子装置之间的互连 2215。

[0139] 可使用单片集成器件系统 2200,从而能够制造具有硅模拟和 / 或硅数字电路的单片集成的 III-V 族模拟器件。这种器件集成可允许制造单片集成通信电路,其中 III-V 族(例如,GaAs、GaN)功率放大器和 / 或 III-V 族模拟电路可与能够提供数字处理能力和可用于改善 III-V 族器件性能的硅电路单片集成。在某些实施方案中,通过补偿 III-V 族器件之间的性能变化,单片集成硅电路可改善 III-V 族器件的性能。III-V 族器件的硅补偿可涉及使用硅逻辑电路以补偿 III-V 族器件电性能的变化(variation)(例如,其可能是由于器件之间的工艺变化导致的变化)。

[0140] 因此,能使用本发明中所述技术可制造单片集成通信芯片。在典型 RF(或光学系统)中,III-V 族器件可用作通信系统的前端,与电磁波相互作用并且将模拟信号转译成数字信号。当使用 III-V 族电路和器件时,通常将单独的芯片引入包含 III-V 族芯片和硅片的芯片组中。当前,通常使用单独的制造基础设备来制造 III-V 族芯片。使用本发明中所述技术,III-V 族 HEMT、HBT、双级晶体管和 / 或 MESFET 能与硅 CMOS 技术单片集成,由此使得单芯片通信技术方案成为可能。通过产生单芯片技术方案,能降低使用的功率并可增加带宽,因此提高了性能而同时降低了成本。在某些实施方案中,能够以和目前在 III-V 族器件制造设备中相同的方式来制造 III-V 族器件。在其它的一些实施方案中,当将硅工艺引入硅制造设备时,硅工艺可用于替代专业化的 III-V 族处理。

[0141] 单芯片技术方案使得芯片上移动电话和 / 或芯片上计算机成为可能。由于本发明中所述技术能够使得在单芯片上单片集成功率放大器、III-V 族收发器电路、微型显示器和 / 或硅逻辑电路成为可能,因此可制造完全集成的芯片上移动电话和 / 或芯片上计算机。对于某些实施方案,对于低端应用,可以预期使用本发明中所述技术制造的芯片上移动电话和 / 或芯片上计算机可能仅需要约 \$1-\$10 的制造费用。

[0142] 本发明的应用不限于所描述的或在附图中说明的元件的结构和布置细节。本发明能够具有其它的实施方案并以各种方式实现或实施。而且,本发明中使用的措辞和术语是为了说明的目的而不应该被认为是限制性的。“包含”、“包括”或“具有”、“含有”、“涉及”及其在本发明中的变体旨在包含其后所列的事项和其等同物以及另外的事项。本发明中使用的术语“布置、处理(disposing)”旨在包括制造层、结构或器件的任意方法。这样的方法可包含而不限于:沉积(例如,外延生长、化学气相沉积、物理沉积)和晶片接合。

[0143] 因此,已经描述了本发明的至少一个实施方案的几个方面,但是应理解本领域技术人员易于作出各种变更、改变和改进。这样的变更、改变和改进构成本公开的一部分,并且在本发明的精神和范围内。因此,上述说明和附图仅仅是示例性的。

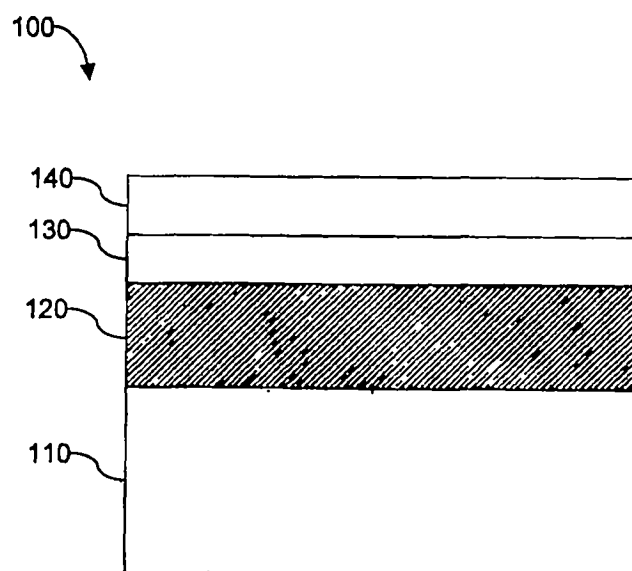


图 1

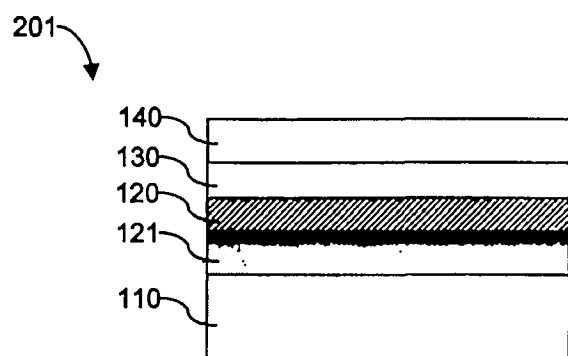


图 2A

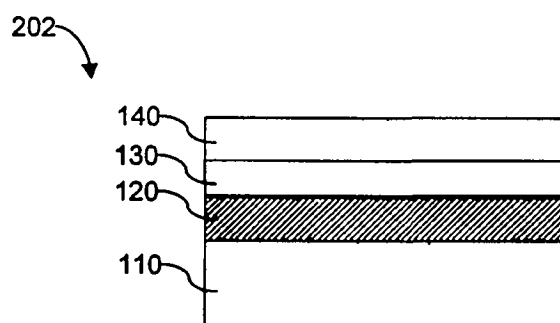


图 2B

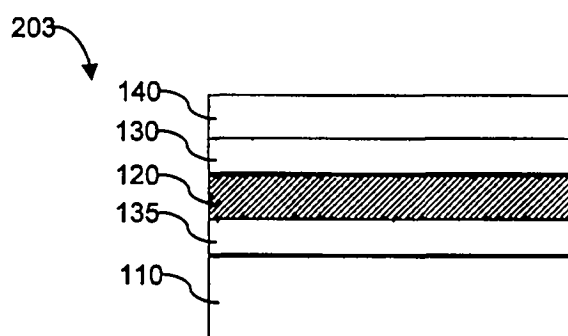


图 2C

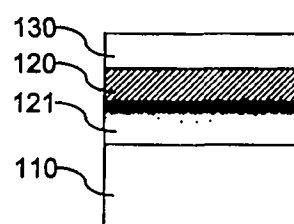


图 3A

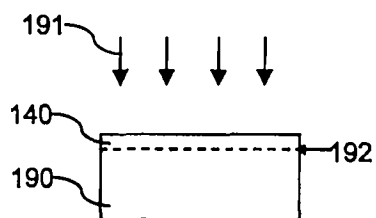


图 3B

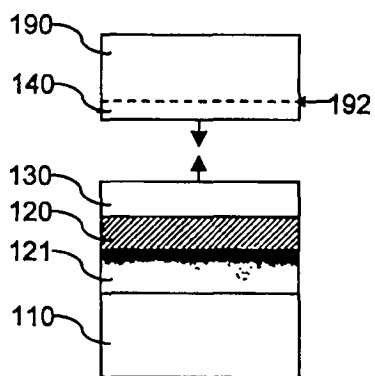


图 3C

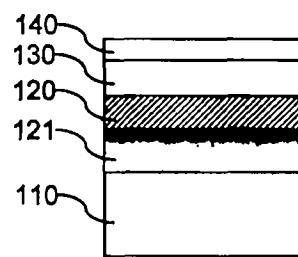


图 3D

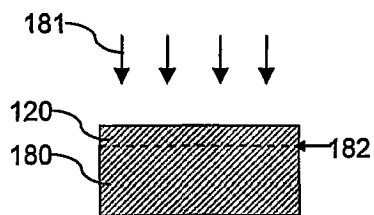


图 4A

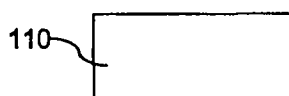


图 4B

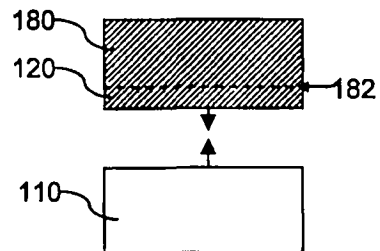


图 4C

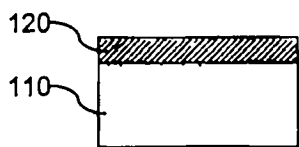


图 4D

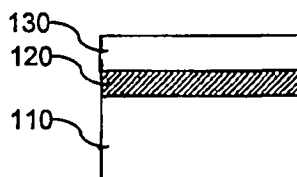


图 4E

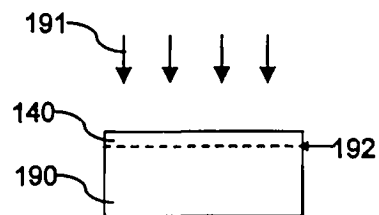


图 4F

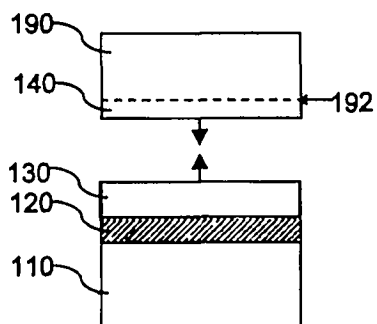


图 4G

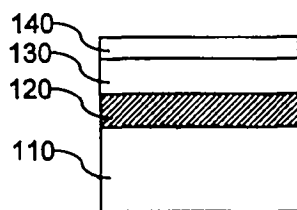


图 4H

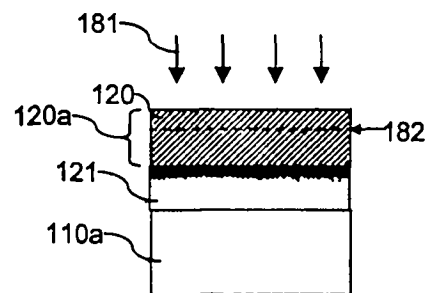


图 5A

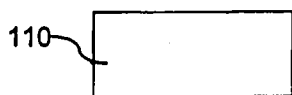


图 5B

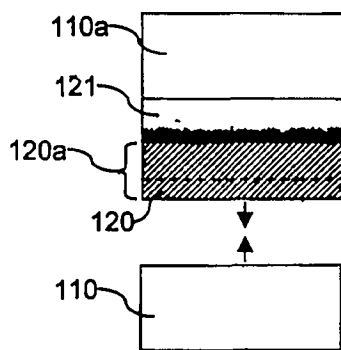


图 5C

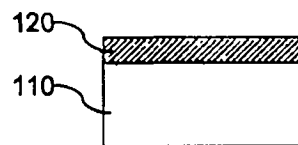


图 5D

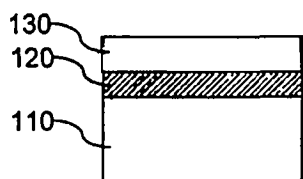


图 5E

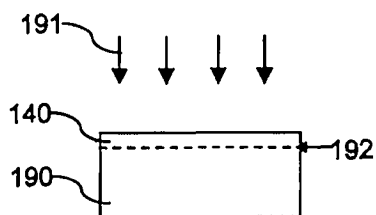


图 5F

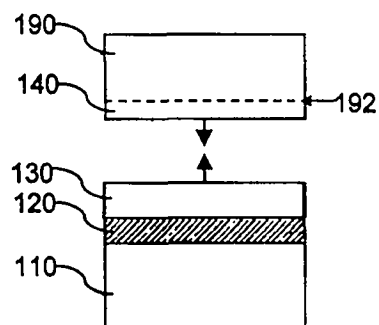


图 5G

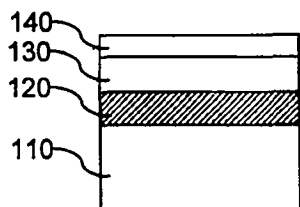


图 5H

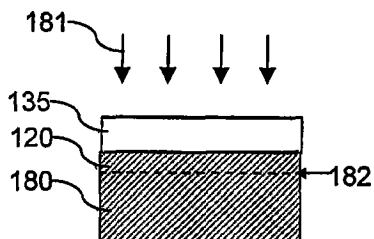


图 6A

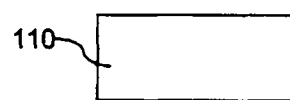


图 6B

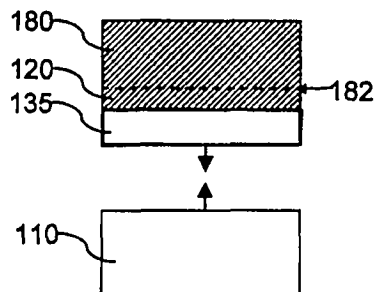


图 6C

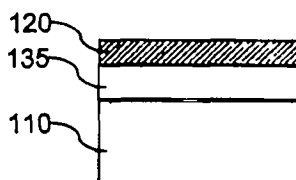


图 6D

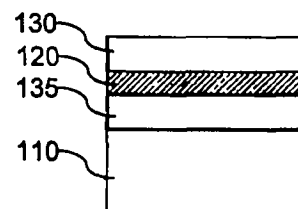


图 6E

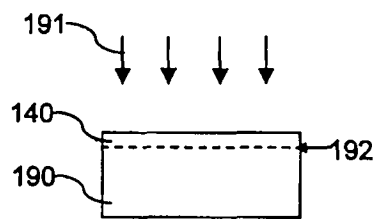


图 6F

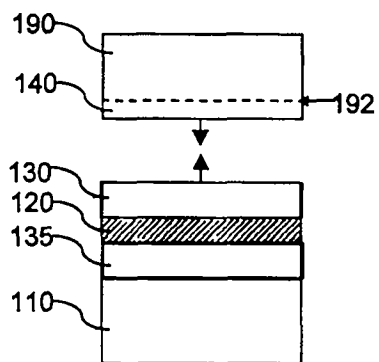


图 6G

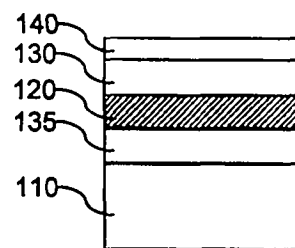


图 6H

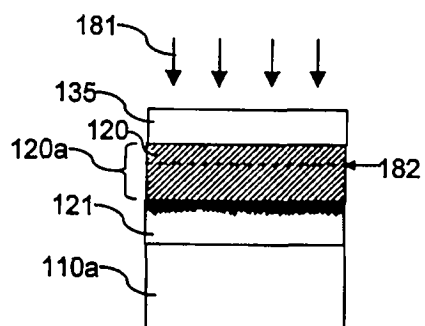


图 7A

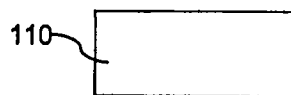


图 7B

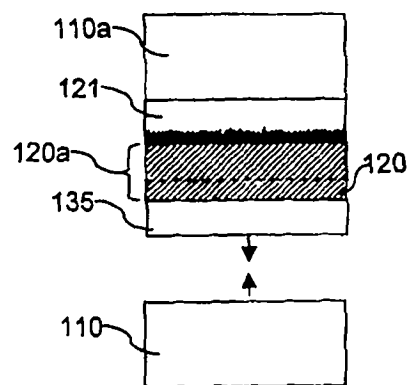


图 7C

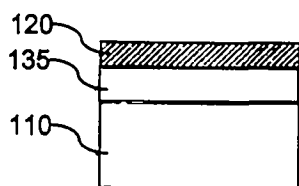


图 7D

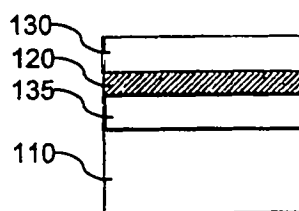


图 7E

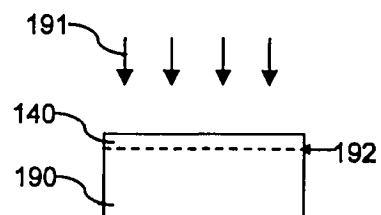


图 7F

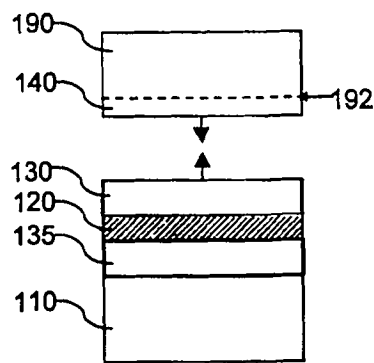


图 7G

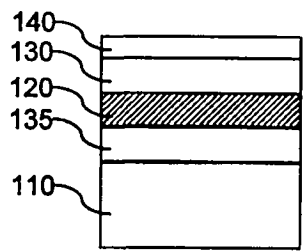


图 7H

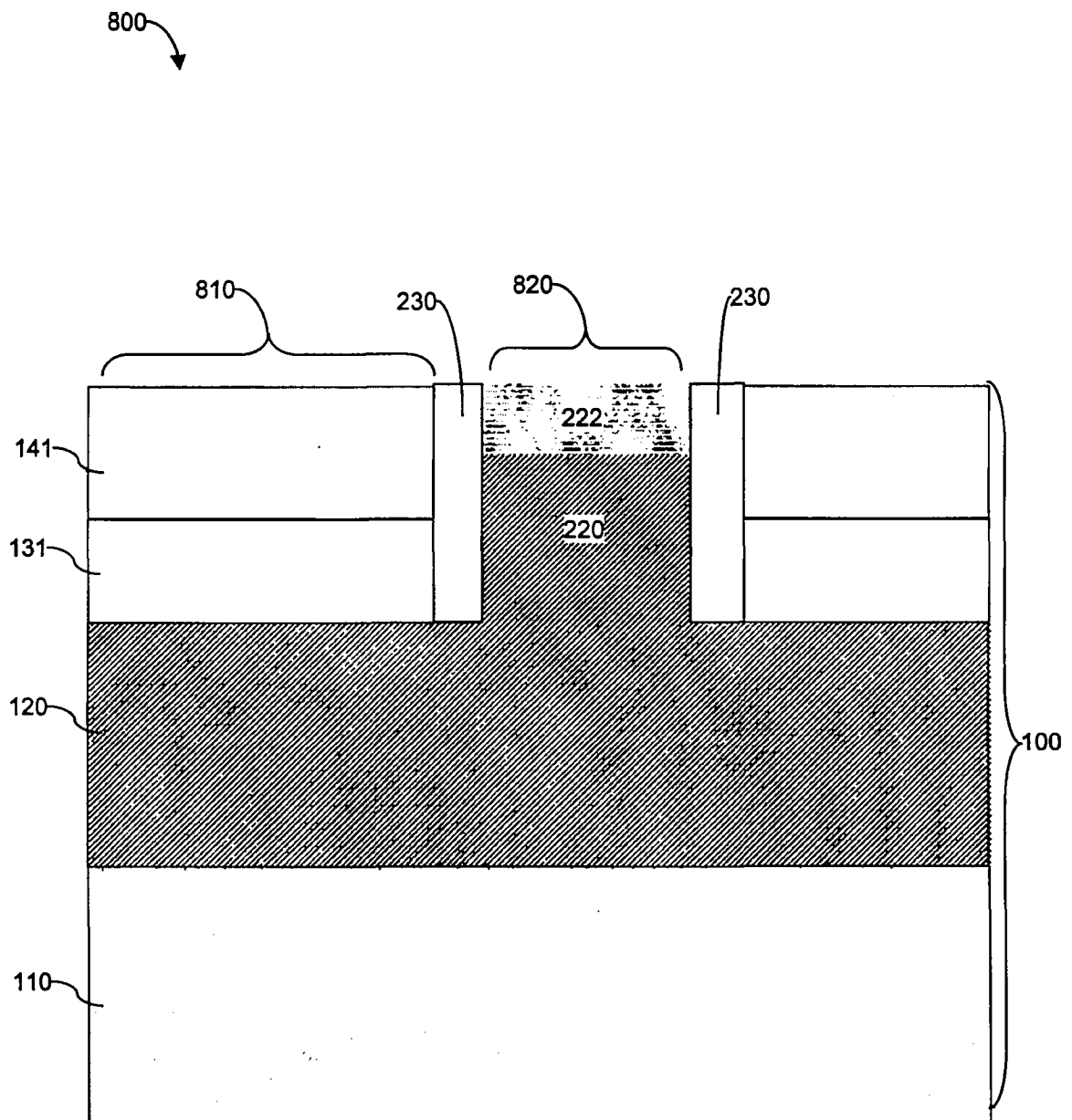


图 8

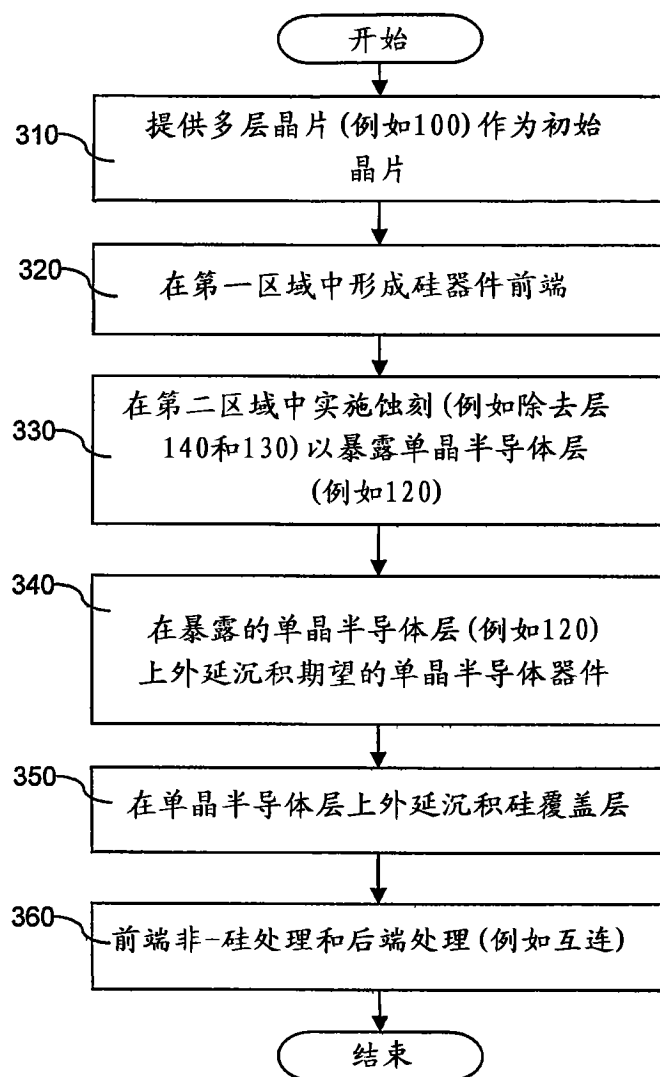


图 9

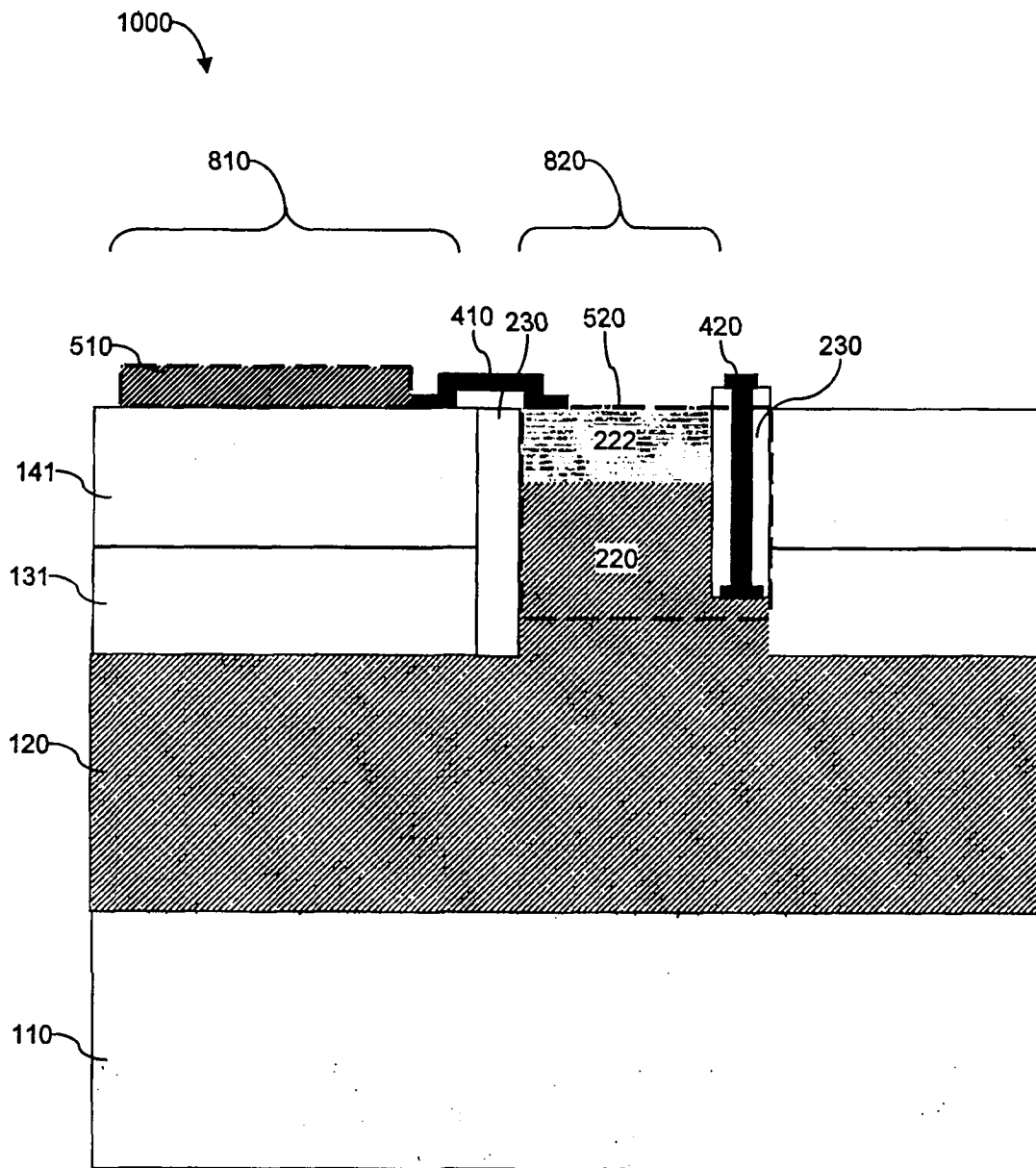


图 10

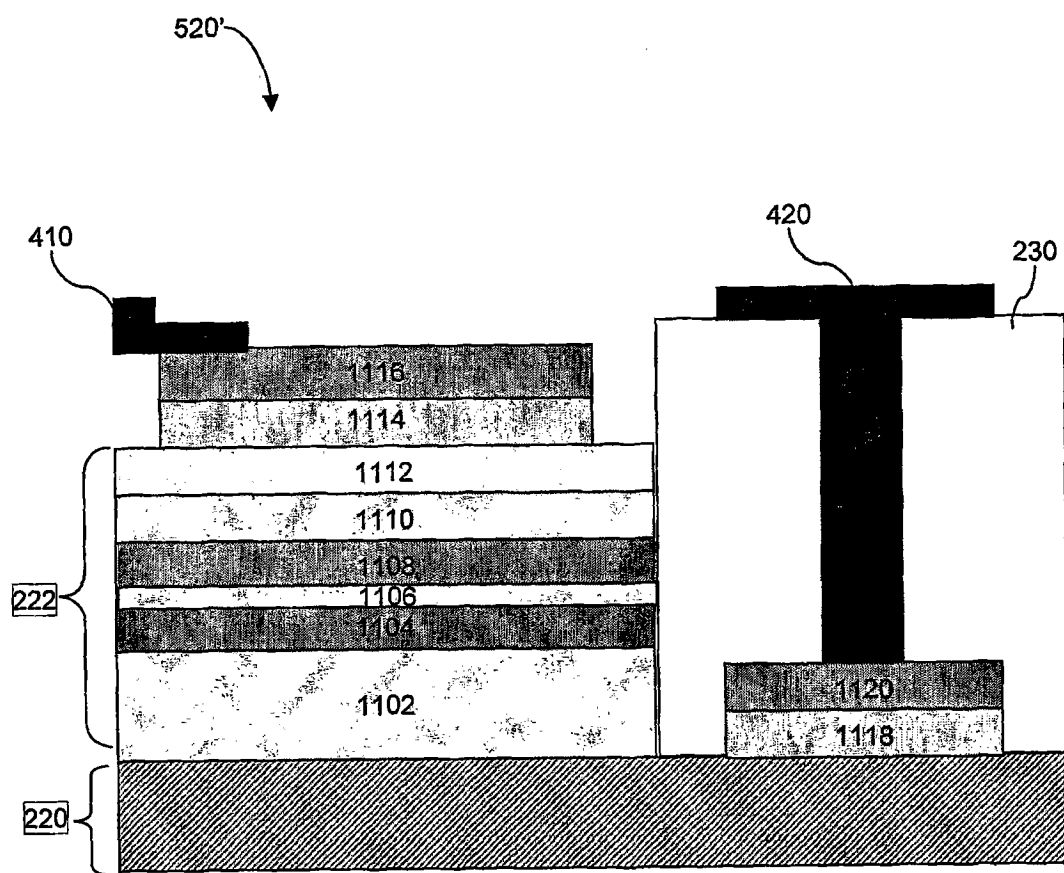


图 11

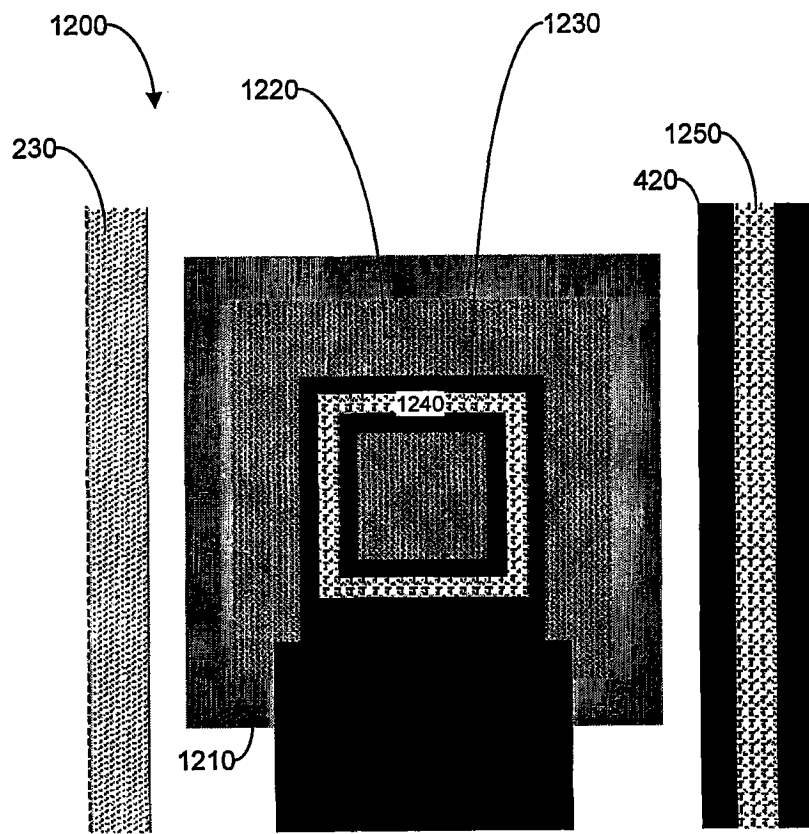


图 12

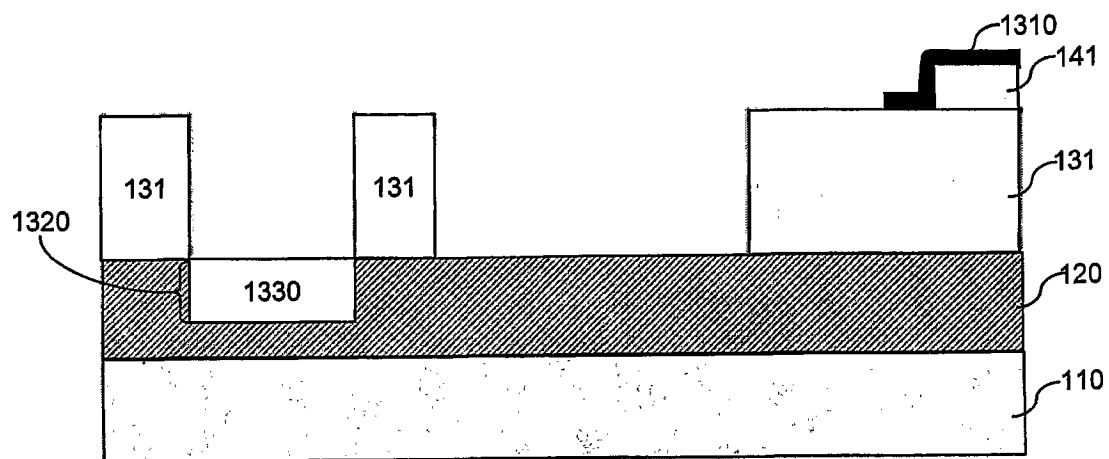


图 13A

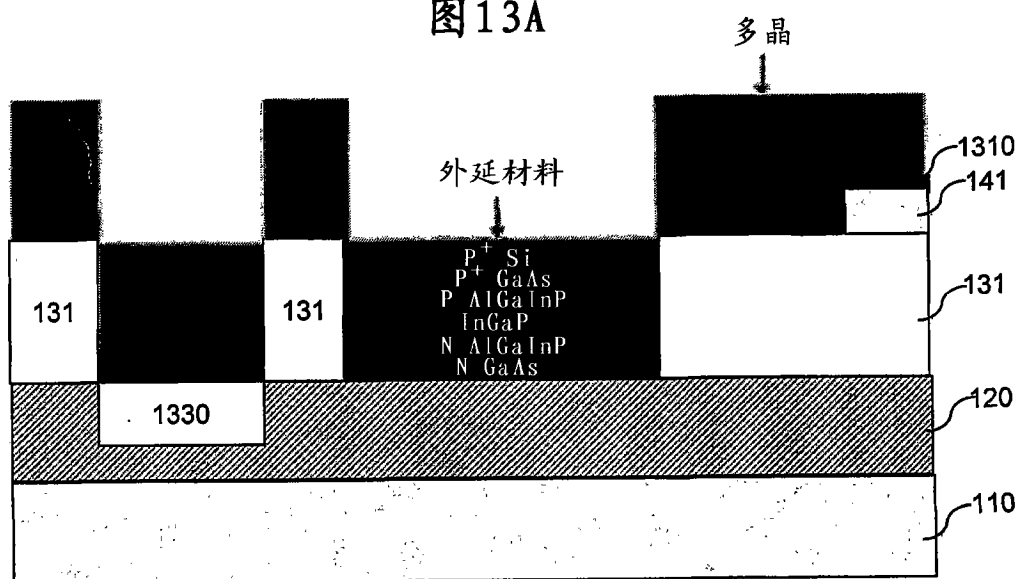


图 13B

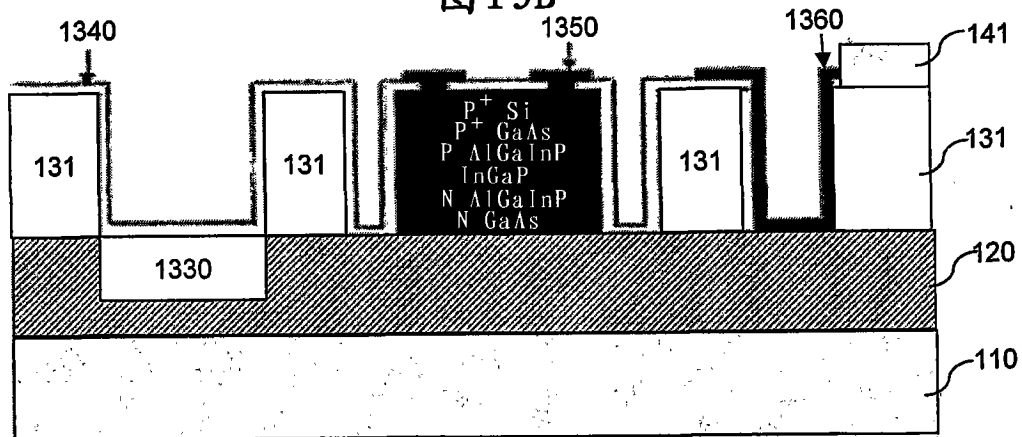


图 13C

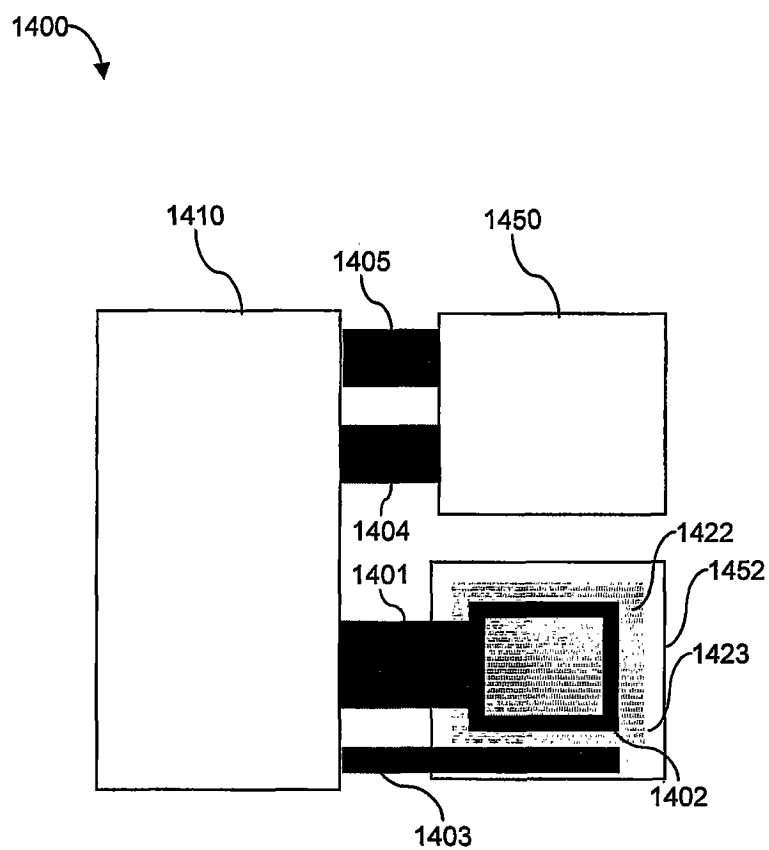


图 14

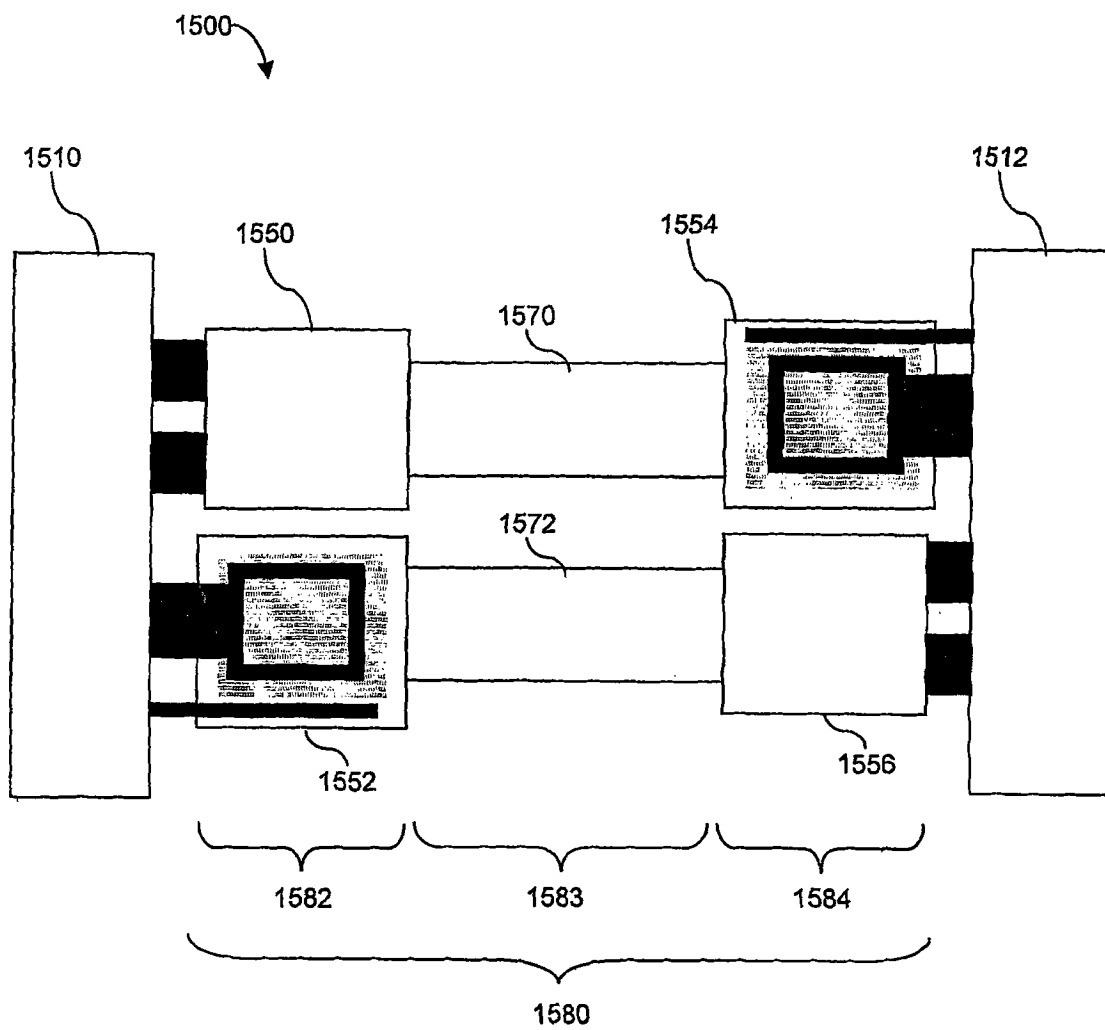


图 15A

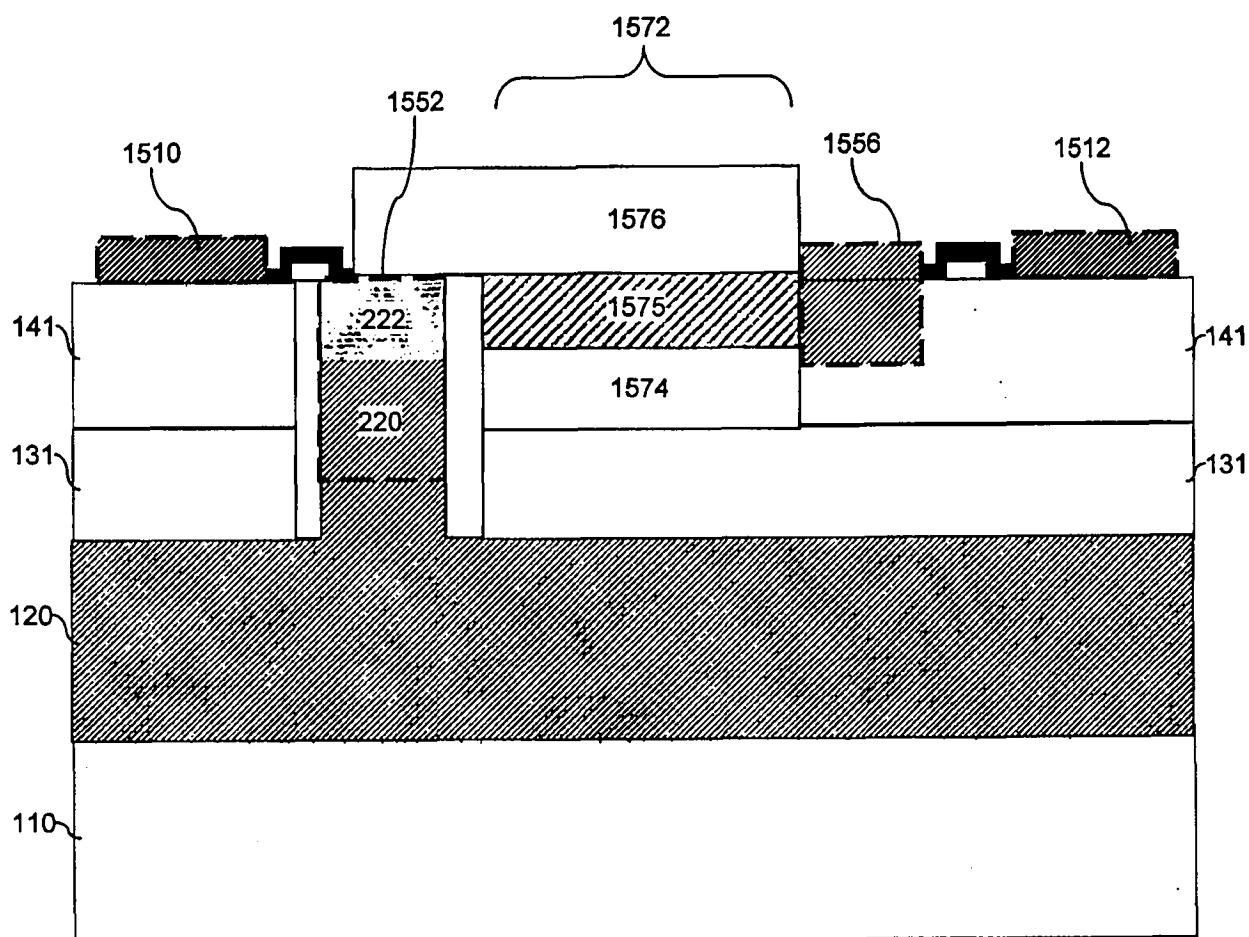


图 15B

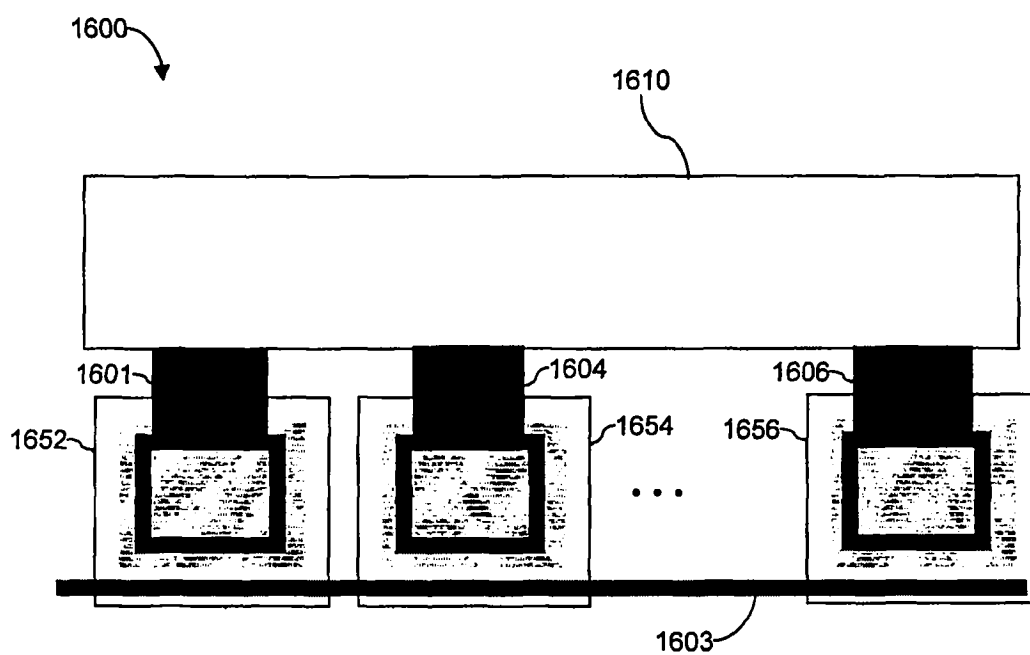


图 16

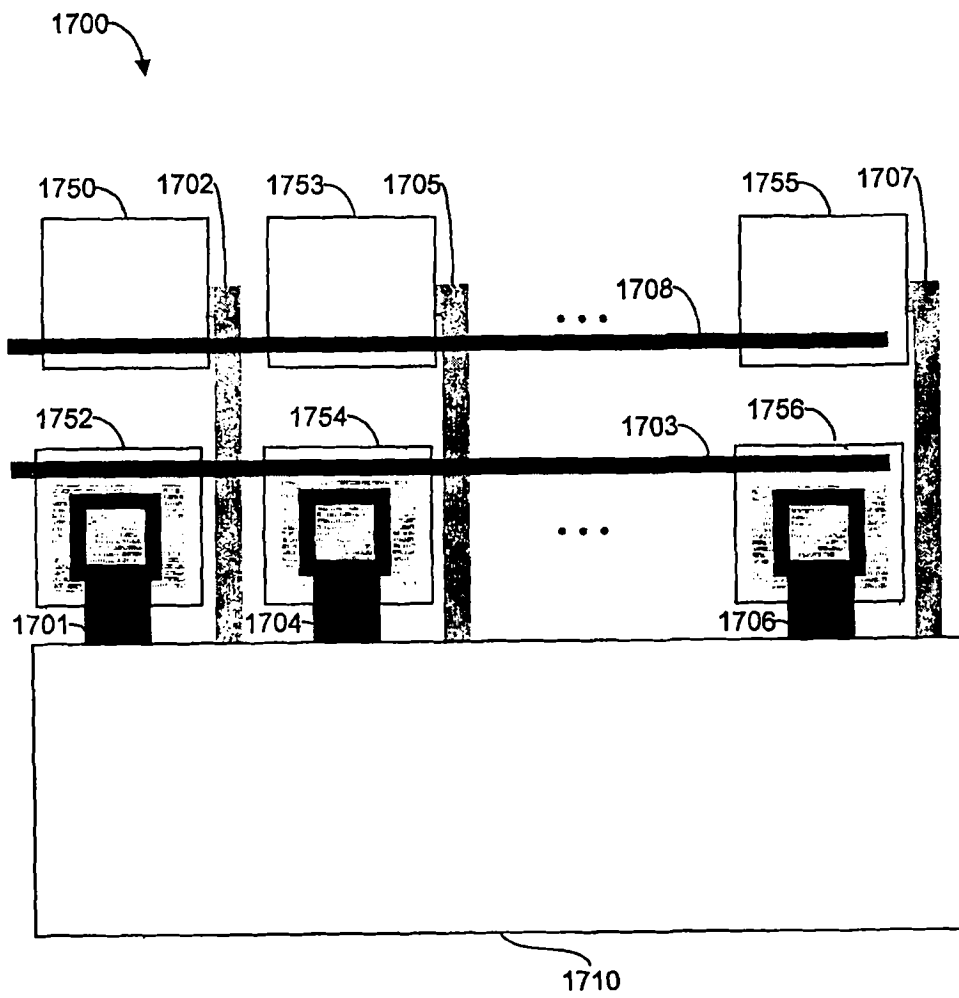


图 17

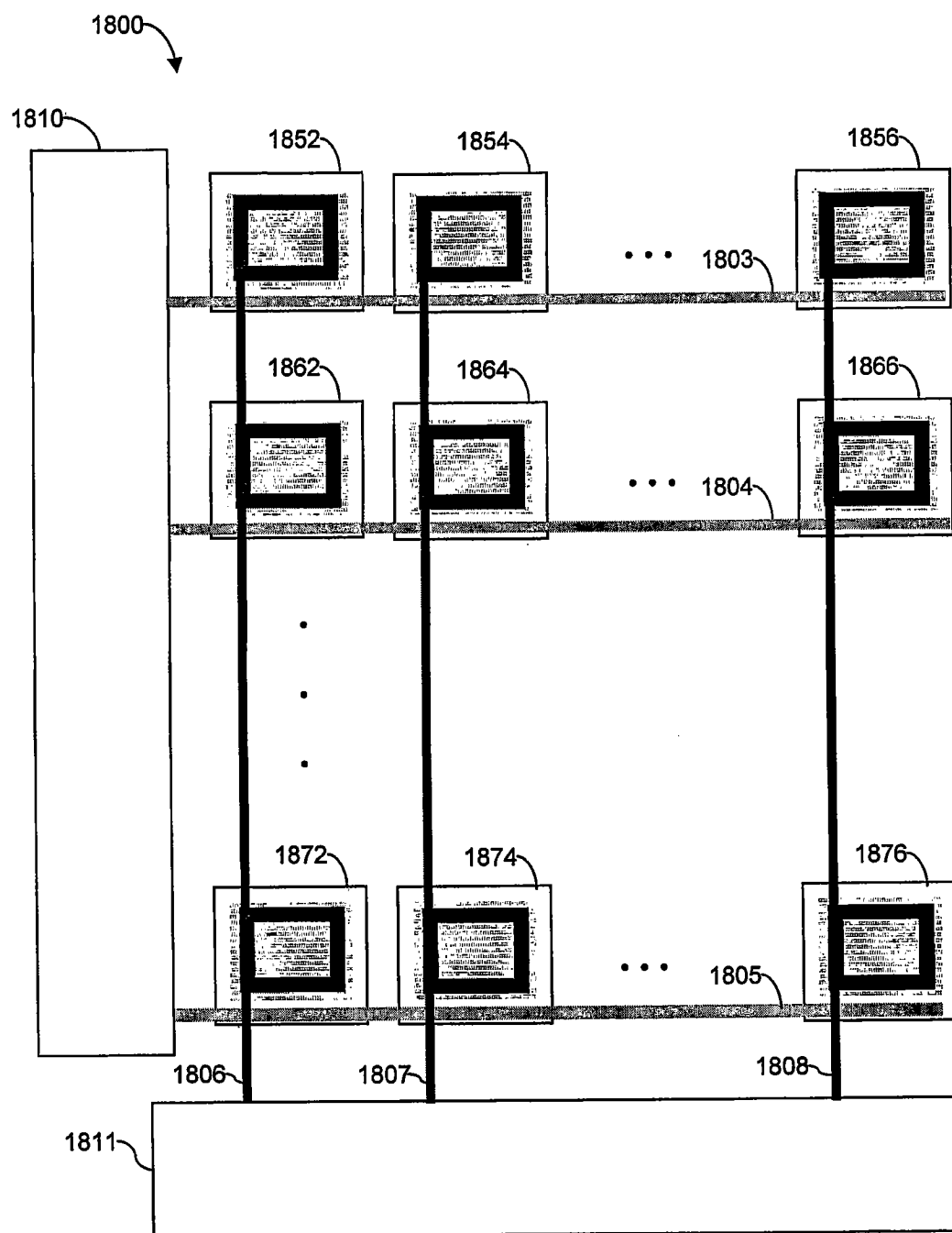


图 18

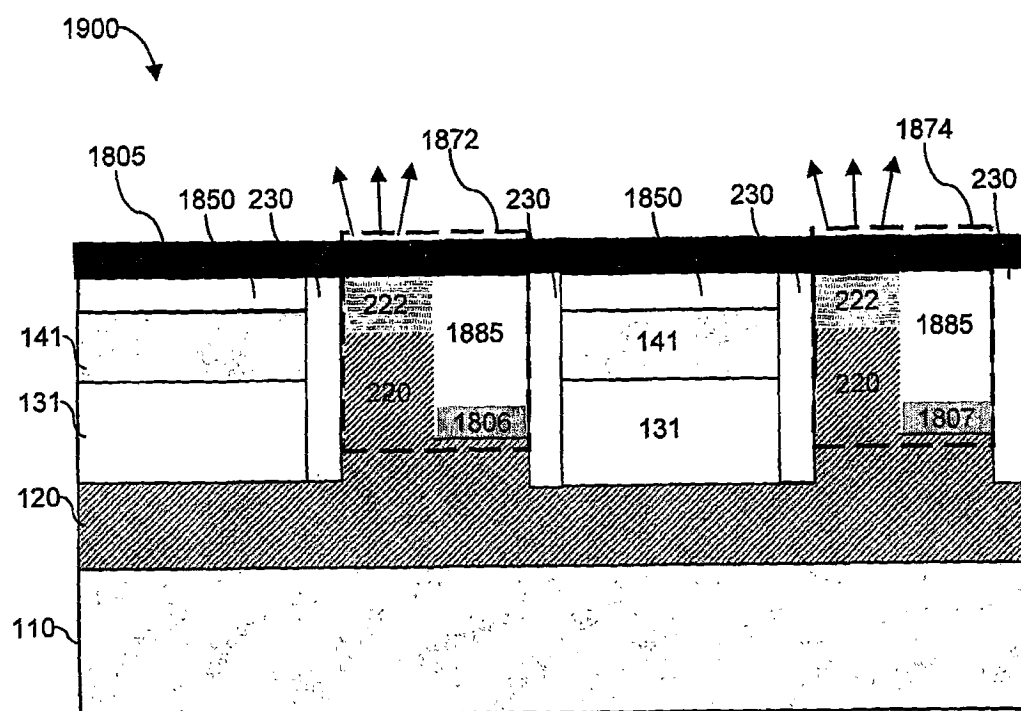


图 19

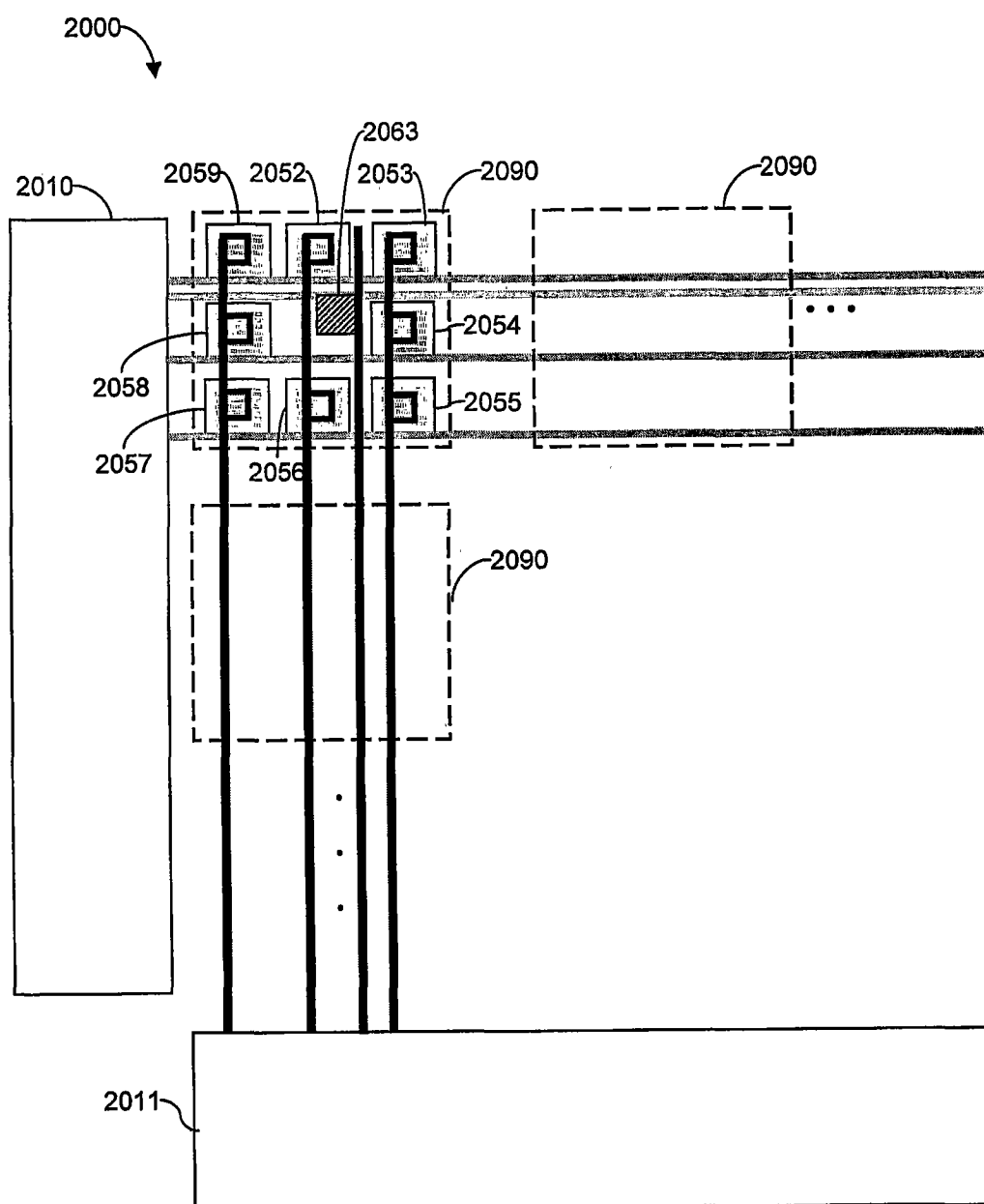


图 20

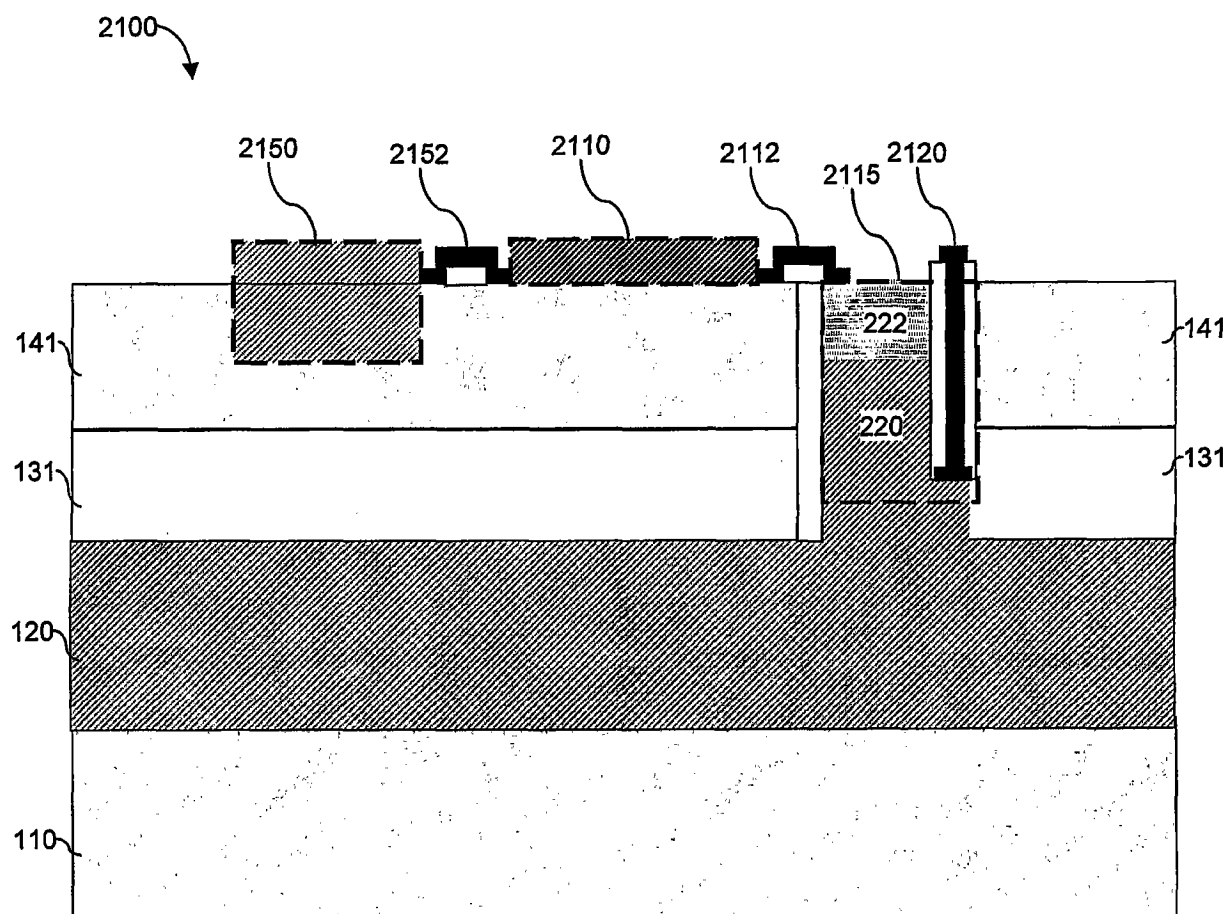


图 21

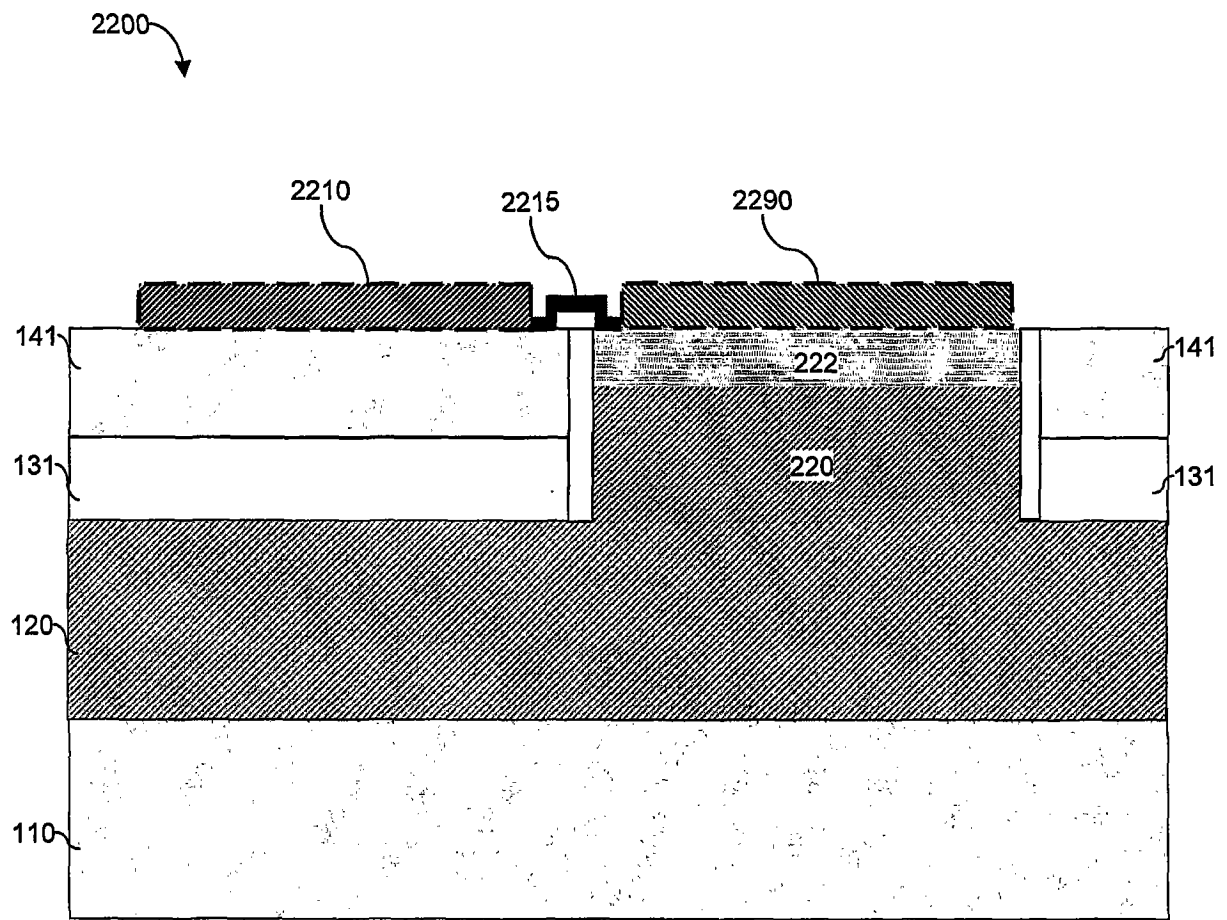


图 22