

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 2 日(02.04.2015)



(10) 国際公開番号

WO 2015/045534 A1

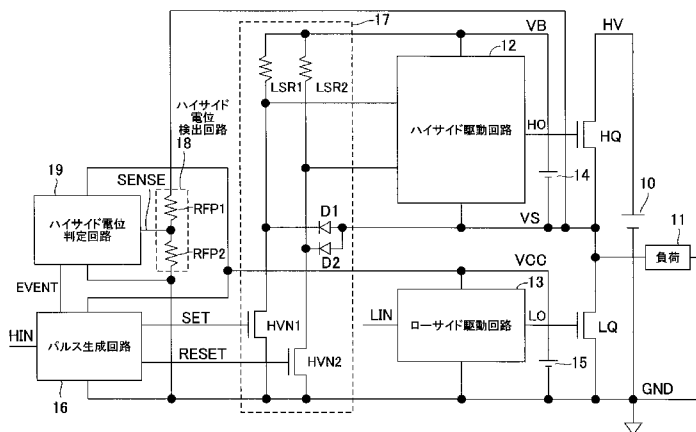
- (51) 国際特許分類:
H03K 17/16 (2006.01) H02M 7/48 (2007.01)
H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2014/067038
- (22) 国際出願日: 2014 年 6 月 26 日(26.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-201784 2013 年 9 月 27 日(27.09.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 大橋 英知(OHASHI, Hidetomo); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 赤羽 正志(AKAHANE, Masashi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DRIVER CIRCUIT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 駆動回路および半導体装置

[図1]



- 11... LOAD
12... HIGH-SIDE DRIVER CIRCUIT
13... LOW-SIDE DRIVER CIRCUIT
16... PULSE GENERATING CIRCUIT
18... HIGH-SIDE POTENTIAL DETECTION CIRCUIT
19... HIGH-SIDE POTENTIAL DETERMINATION CIRCUIT

(57) Abstract: The purpose of the present invention is to reliably avoid malfunction, even in instances in which a signal for driving a high-side power device is not relayed by a level shift circuit. In a driver circuit in which pulse generating circuit (16) generates a set signal and a reset signal for turning on or off a high-side power device (HQ), which are relayed to a high-side driver circuit (12) via a level shift circuit (17), a high-side potential detection circuit (18) detects a high-side potential (a high-side reference potential VS or a high-side power supply potential VB), a high-side potential determination circuit (19) determines a change of potential such that relay of the set signal or reset signal is blocked by the level shift circuit (17), and in the event that the timing of detection overlaps the timing of generation of the set signal or reset signal, the pulse generating circuit (16) is prompted to regenerate a set signal or a reset signal.

(57) 要約: レベルシフト回路がハイサイドのパワーデバイスを駆動する信号が伝達されない場合でも誤動作を確実に回避できるようにする。パルス生成回路(16)がハイサイドパワーデバイス(HQ)をオンまたはオフさせるセット

信号およびリセット信号を生成し、レベルシフト回路(17)を介してハイサイド駆動回路(12)に伝達する駆動回路において、ハイサイドの電位(ハイサイド基準電位VSまたはハイサイド電源電位VB)をハイサイド電位検出回路(18)が検出し、ハイサイド電位判定回路(19)がレベルシフト回路(17)でセット信号またはリセット信号の伝達を阻害するような電位の変化を判定し、その検出のタイミングがセット信号またはリセット信号の生成のタイミングと重なった場合に、パルス生成回路(16)にセット信号またはリセット信号を再生成させるようにする。

WO 2015/045534 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 駆動回路および半導体装置

技術分野

[0001] 本発明は駆動回路および半導体装置に関し、特にトータムポール接続された2つのパワーデバイスのうちハイサイド側のパワーデバイスを駆動する駆動回路および半導体装置に関する。

背景技術

[0002] インバータまたはコンバータにおいては、パワーデバイスをトータムポール接続し、ハイサイドおよびローサイドのパワーデバイスをそれぞれ駆動回路によって駆動する回路構成が採られている。ハイサイド用の駆動回路として、HVドライバIC（HVIC）が知られている。

[0003] HVドライバICは、ハイサイドのパワーデバイスをオンまたはオフさせる信号を生成するパルス生成回路と、レベルシフト回路と、このレベルシフト回路を介して伝達された信号によってハイサイドのパワーデバイスを駆動するハイサイド駆動回路とを備えている。レベルシフト回路は、パルス生成回路によってグラウンド電位を基準に生成された信号をレベルシフトしてハイサイドに設置されたハイサイド駆動回路に伝達するものである。このとき、レベルシフト回路では、グラウンド電位とHVドライバICのハイサイド電源電位の間で変化する振幅の信号が発生している。ハイサイド駆動回路は、そのような振幅の電圧を受け入れてハイサイドのパワーデバイスをオンまたはオフ駆動を行う。

[0004] ところで、ローサイドのパワーデバイスとハイサイドのパワーデバイスとの接続点、すなわち、トータムポールの中点は、負荷に接続されている。そのため、そのトータムポールの中点に負荷および寄生インダクタンスに起因する外来ノイズが重畳されてしまうことがある。このようなとき、トータムポールの中点電位がオーバーシュートやアンダーシュート状態となるため、トータムポールの中点電位は、ハイサイドのパワーデバイスの高圧電位以上

の電位になったり、グランド電位以下の電位になったりする。

[0005] トーテムポールの中点電位がグランド電位よりも低くなるタイミングのときに、パルス生成回路から信号が出力されるようなことがあると、レベルシフト回路は、その信号を正常にハイサイド駆動回路に伝達することができなくなってしまう。その場合、ハイサイドのパワーデバイスは、オフすべきタイミングにオフできずにオンのままであったり、オンすべきタイミングにオンできずにオフのままであったりして、本来のスイッチング機能を維持することができなくなってしまう。

[0006] ここで、オフすべきタイミングにオフすることができなくなることに対応した技術（たとえば、特許文献1参照）およびオンすべきタイミングにオンすることができなくなることに対応した技術（たとえば、特許文献2参照）が知られている。特許文献1の技術によれば、第1のオフパルス信号を出力してから所定時間経過後に第2のオフパルス信号を出力するようにしている。これにより、第1のオフパルス信号がレベルシフト回路を正常に伝達できなかったとしても、第2のオフパルス信号がレベルシフト回路を正常に伝達できるようにしている。特許文献2の技術も同様に、第1のオンパルス信号を出力してから所定時間経過後に第2のオンパルス信号を出力するようにしている。これにより、第1のオンパルス信号がレベルシフト回路を正常に伝達できなかったとしても、第2のオンパルス信号がレベルシフト回路を正常に伝達できるようにしている。

先行技術文献

特許文献

[0007] 特許文献1：特開2004-120152号公報

特許文献2：特開2005-130355号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、従来の技術では、第1のオフまたはオンパルス信号を出力

してから所定時間経過後に第2のオフまたはオンパルス信号を機械的に出力しているだけである。そのため、所定時間経過した時点でも新たな外来ノイズが発生する可能性はあるので、本質的に誤動作を完全に回避できないという課題は残されている。

[0009] 本発明はこのような点に鑑みてなされたものであり、ハイサイドのパワーデバイスをオフまたはオン状態にする信号がレベルシフト回路で正常に伝達できなくなった場合でも誤動作を確実に回避できる駆動回路および半導体装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明では上記の課題を解決するために、駆動回路が提供される。この駆動回路は、ハイサイドパワーデバイスを駆動するハイサイド駆動回路と、外部から入力された論理入力信号の第1のエッジおよび第2のエッジに基づいてハイサイドパワーデバイスをオンさせるセット信号およびオフさせるリセット信号を生成するパルス生成回路と、セット信号およびリセット信号をハイサイド駆動回路に伝達するレベルシフト回路と、ハイサイド電位を検出するハイサイド電位検出回路と、ハイサイド電位検出回路が検出したハイサイド電位の変化に基づきイベント信号を出力するハイサイド電位判定回路と、を備え、ハイサイド電位判定回路が出力したイベント信号と外部から入力された論理入力信号に応じてパルス生成回路はリセット信号を再生成するようにしたことを特徴とする。

[0011] また、本発明では、上記の駆動回路を備えた半導体装置が提供される。

このような駆動回路および半導体装置によれば、ハイサイド電位判定回路がハイサイド電位の変化に基づくイベント信号を出力し、イベント信号と外部から入力された論理入力に応じて、再度、リセット信号を生成するようにした。これにより、オフ状態に遷移すべきであったハイサイドパワーデバイスを確実にオフ状態に制御することができる。

発明の効果

[0012] 上記構成の駆動回路および半導体装置は、レベルシフト回路がハイサイド

のパワーデバイスをオンまたはオフ状態にするセットまたはリセット信号を正常に伝達できていない場合を判定してリセット信号を再生成するようにしたので、機能的に誤動作を防ぐことができるという利点がある。また、セット信号に関しても、同様に再生成を可能にすることができ、機能的に誤動作を防ぐことができる。

[0013] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0014] [図1]第1の実施の形態に係る半導体装置を示す回路図である。

[図2]パルス生成回路の一例を示す回路図である。

[図3]立上リエッジトリガ回路の一例を示す回路図である。

[図4]ハイサイド電位判定回路の一例を示す回路図である。

[図5]半導体装置の通常のスウィッチング動作時における要部波形を示す図である。

[図6]半導体装置の外来ノイズによるスウィッチング動作の要部波形を示す図である。

[図7]第2の実施の形態に係る半導体装置を示す回路図である。

[図8]第3の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図である。

[図9]第3の実施の形態に係る半導体装置のスウィッチング動作時における要部波形を示す図である。

[図10]第4の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図である。

[図11]第5の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図である。

[図12]第5の実施の形態に係る半導体装置のパルス生成回路の構成例を示す回路図である。

[図13]第5の実施の形態に係る半導体装置の要部動作波形を示す図である。

[図14]第6の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図である。

[図15]第6の実施の形態に係る半導体装置の要部動作波形を示す図である。

発明を実施するための形態

[0015] 以下、本発明の実施の形態について、HVドライバICに適用した場合を例に図面を参照して詳細に説明する。なお、各実施の形態は、矛盾のない範囲で複数の実施の形態を適宜組み合わせて実施することができる。

[0016] 図1は第1の実施の形態に係る半導体装置を示す回路図、図2はパルス生成回路の一例を示す回路図、図3は立上リエッジトリガ回路の一例を示す回路図、図4はハイサイド電位判定回路の一例を示す回路図である。

[0017] 第1の実施の形態に係る半導体装置は、図1に示したように、トータムポール接続されたハイサイドパワーデバイスHQおよびローサイドパワーデバイスLQを有している。本実施の形態では、ハイサイドパワーデバイスHQおよびローサイドパワーデバイスLQは、それぞれパワーMOSトランジスタで構成しているが、IGBT (Insulated Gate Bipolar Transistor) のような他のデバイスであってもよい。ハイサイドパワーデバイスHQのドレインは、高圧電源10の正極端子に接続され、ローサイドパワーデバイスLQのソースおよび高圧電源10の負極端子は、グランドGNDに接続されている。ローサイドパワーデバイスLQのソースは抵抗を介してグランドGNDに接続されてもよい。ハイサイドパワーデバイスHQのソースとローサイドパワーデバイスLQのドレインとの接続点、すなわち、トータムポールの中点は、負荷11に接続されている。

[0018] ハイサイドパワーデバイスHQのゲートは、ハイサイド駆動回路12の出力端子HO（その電位信号であるハイサイド出力信号もHOと記す）に接続され、ローサイドパワーデバイスLQのゲートは、ローサイド駆動回路13の出力端子LOに接続されている。ハイサイド駆動回路12は、その基準電位端子がトータムポールの中点およびハイサイド電源14の負極端子に接続

され、電源端子がハイサイド電源 14 の正極端子に接続されている。ローサイド駆動回路 13 は、その基準電位端子がグランド GND およびローサイド電源 15 の負極端子に接続され、電源端子がローサイド電源 15 の正極端子に接続されている。ここで、ローサイド電源電位は、グランド GND を基準とした VCC で示され、ハイサイド基準電位およびハイサイド電源電位は、それぞれグランド GND を基準とした VS, VB で示している。

[0019] 半導体装置は、また、パルス生成回路 16 と、レベルシフト回路 17 と、ハイサイド電位検出回路 18 と、ハイサイド電位判定回路 19 とを備えている。

パルス生成回路 16 は、外部からハイサイド制御用の論理入力信号 HIN を入力し、セット信号 SET およびリセット信号 RESET を生成する。具体的には、図 2 に示したように、パルス生成回路 16 は、論理入力信号 HIN を入力し、セット信号 SET を出力する立上リエッジトリガ回路 20 を備えている。パルス生成回路 16 は、また、インバータ 21 と、立上リエッジトリガ回路 22 と、OR 回路 23 と、AND 回路 24 とを備えている。インバータ 21 の入力、論理入力信号 HIN の入力端子に接続され、インバータ 21 の出力は、立上リエッジトリガ回路 22 の入力と AND 回路 24 の一方の入力とに接続されている。立上リエッジトリガ回路 22 の出力は、OR 回路 23 の一方の入力に接続され、OR 回路 23 の出力は、リセット信号 RESET の出力端子を構成している。AND 回路 24 の他方の入力、ハイサイド電位判定回路 19 から出力されるイベント信号 EVENT の入力端子に接続され、AND 回路 24 の出力は、OR 回路 23 の他方の入力に接続されている。

[0020] 立上リエッジトリガ回路 20 は、図 3 に示したように、入力が論理入力信号 HIN の入力端子に接続されたインバータ 25 を備えている。このインバータ 25 の出力は、nMOS トランジスタ 26 および pMOS トランジスタ 27 のゲートに接続されている。nMOS トランジスタ 26 のソースは、グランド GND に接続され、nMOS トランジスタ 26 のドレインは、pMO

Sトランジスタ27のドレインに接続されている。pMOSトランジスタ27のソースは、ローサイド電源電位VCCを供給するローサイド電源15の正極端子に接続されている。nMOSトランジスタ26およびpMOSトランジスタ27からなるインバータ回路の出力は、コンデンサ28の一端に接続され、コンデンサ28の他端は、グランドGNDに接続されている。インバータ回路の出力は、また、比較器29の一方の入力に接続されている。比較器29の他方の入力には、基準電圧源30の正極端子に接続され、基準電圧源30の負極端子は、グランドGNDに接続されている。比較器29の出力は、インバータ31の入力に接続され、インバータ31の出力は、AND回路32の一方の入力に接続され、AND回路32の他方の入力は、論理入力信号HINの入力端子に接続されている。AND回路32の出力は、セット信号SETを出力する出力端子を構成している。

[0021] なお、ここでは、立上リエッジトリガ回路20の具体例について説明したが、立上リエッジトリガ回路22においても、同じ構成を有している。したがって、以下の立上リエッジトリガ回路22の動作説明には、図3を参照することにする。立上リエッジトリガ回路22の入力は、論理入力信号HINを論理反転した信号となり、出力は、OR回路23を介してリセット信号RESETとなる。また、このパルス生成回路16は、外部からハイサイド制御用の論理入力信号HINを入力しているが、ローサイド制御用の論理入力信号LINについては、外部からローサイド駆動回路13に直接入力されている。

[0022] レベルシフト回路17は、高耐圧のMOSトランジスタHVN1、HVN2と、抵抗LSR1、LSR2と、クランプ用のダイオードD1、D2とを有している。MOSトランジスタHVN1、HVN2のゲートは、それぞれパルス生成回路16のセット信号出力端子およびリセット信号出力端子に接続されている。MOSトランジスタHVN1、HVN2のドレインは、それぞれ抵抗LSR1、LSR2の一端に接続され、抵抗LSR1、LSR2の他端は、ハイサイド駆動回路12の電源端子に接続されている。MOSトラ

ンジスタHVN1, HVN2のドレインと抵抗LSR1, LSR2との接続点は、それぞれハイサイド駆動回路12の入力端子に接続されるとともに、ダイオードD1, D2のカソード端子に接続されている。ダイオードD1, D2のアノード端子は、トータムポールの中点に接続されている。MOSトランジスタHVN1, HVN2のソースは、グラウンドGNDに接続されている。

[0023] ハイサイド電位検出回路18は、ハイサイドの電位、図示の例では、ハイサイド基準電位VSを検出するもので、本実施の形態では、検出手段として抵抗性フィールドプレート(RFP: Resistant Field Plate)を利用している。この抵抗性フィールドプレートは、ハイサイド回路の高耐圧領域デバイスにおいて、耐圧領域HVJT (High Voltage Junction Terminal) の電界緩和を目的に形成されているものである(たとえば、国際公開第2013/069408号公報参照)。ハイサイド電位検出回路18は、抵抗性フィールドプレートに分岐点を設けて2つの抵抗RFP1, RFP2に分割し、一方の端子は、トータムポールの中点に接続され、他方の端子は、グラウンドGNDに接続されている。抵抗性フィールドプレートの分岐点は、ハイサイド電位判定回路19の入力端子に接続され、ハイサイド基準電位VSの変化を表す検出信号SENSEを出力するようにしている。

[0024] ハイサイド電位判定回路19は、ハイサイド電位検出回路18が検出した検出信号SENSEを入力し、ハイサイド電位、ここでは、ハイサイド基準電位VSが外来ノイズの影響を受けて変化しているかどうかを判定するための信号EVENTを生成する。このハイサイド電位判定回路19は、図4に示したように、2つの保護用ダイオード41, 42と、比較器43と、基準電圧源44と、インバータ45と、立上リエッジトリガ回路46とを備えている。また、ハイサイド電位判定回路19は、ハイサイド電位検出回路18とともに、グラウンドGNDの電位を基準としたローサイドの電位側に設置してある。

[0025] 検出信号SENSEの入力端子は、保護用ダイオード41のカソードと、

保護用ダイオード42のアノードと、比較器43の一方の入力に接続されている。保護用ダイオード41のアノードは、グラウンドGNDに接続され、保護用ダイオード42のカソードは、ローサイド電源電位VCCに接続されている。比較器43の他方の入力、基準電圧源44の正極端子に接続され、基準電圧源44の負極端子は、グラウンドGNDに接続されている。比較器43の出力は、インバータ45を介して立上リエッジトリガ回路46の入力に接続され、立上リエッジトリガ回路46の出力は、イベント信号EVENTを出力する出力端子を構成している。立上リエッジトリガ回路46は、図3に示した立上リエッジトリガ回路20と同じ回路構成を有しており、したがって、以下の立上リエッジトリガ回路46の動作説明には、図3を参照することにする。このとき、立上リエッジトリガ回路46の入力は、比較器43の出力信号MPLSの反転信号となり、出力は、イベント信号EVENTとなる。

[0026] 次に、以上の構成を有する半導体装置の動作について説明する。

図5は半導体装置の通常のスイッチング動作時における要部波形を示す図、図6は半導体装置の外来ノイズによるスイッチング動作の要部波形を示す図である。

[0027] まず、パルス生成回路16には、ハイサイド制御用の論理入力信号HINが入力され、ローサイド駆動回路13には、ローサイド制御用の論理入力信号LINが入力されている。論理入力信号HINおよび論理入力信号LINは、ハイサイドパワーデバイスHQおよびローサイドパワーデバイスLQが同時にオン状態になることがないようにデッドタイムが設定されている。

[0028] 論理入力信号HINが入力されると、パルス生成回路16では、立上リエッジトリガ回路20が論理入力信号HINの立上リエッジをトリガとしてセット信号SETを出力する（図5のHINの立上リエッジでハイ（H）レベルとなるSETを参照）。すなわち、図3の立上リエッジトリガ回路20では、論理入力信号HINがロー（L）レベルのとき、インバータ25の出力がHレベルとなり、nMOSトランジスタ26がオン状態（pMOSトラン

ジスタ 27 はオフ状態) になっている。これにより、コンデンサ 28 の電荷が放電されているので、比較器 29 の出力は L レベル、インバータ 31 の出力は H レベルとなるが、論理入力信号 H I N が L レベルなので、AND 回路 32 は、L レベルのセット信号 S E T を出力する。論理入力信号 H I N が H レベルになると、インバータ 31 から H レベルを受けている AND 回路 32 は、H レベルのセット信号 S E T を出力する。このとき、インバータ 25 の出力が L レベルとなり、p M O S トランジスタ 27 がオン状態 (n M O S トランジスタ 26 がオフ状態) になって、コンデンサ 28 を充電する。コンデンサ 28 の容量等によって決まる所定時間後にコンデンサ 28 の充電電位が基準電圧源 30 の電位を超えると、比較器 29 の出力は H レベル、インバータ 31 の出力は L レベルとなる。これにより、AND 回路 32 は、H レベルの論理入力信号 H I N をブロックし、L レベルのセット信号 S E T を出力する。つまり、セット信号 S E T は、所定時間幅を有するパルス信号で出力される。

[0029] セット信号 S E T が出力されると、レベルシフト回路 17 の M O S トランジスタ H V N 1 がオン状態となり、抵抗 L S R 1 と M O S トランジスタ H V N 1 との接続点の電圧降下をハイサイド駆動回路 12 が検出すると、ハイサイド出力信号 H O は、ハイサイド基準電位 V S から高電位状態になる。これにより、ハイサイドパワーデバイス H Q は、オン状態 (このとき、ローサイドパワーデバイス L Q は、オフ状態にある) に遷移し、ハイサイド基準電位 V S が高くなって負荷 11 に電流が供給される。

[0030] 一方、論理入力信号 H I N が H レベルから L レベルになると、パルス生成回路 16 では、立上りエッジトリガ回路 22 がインバータ 21 によって反転された論理入力信号 H I N の立上りエッジをトリガとしてリセット信号 R E S E T を出力する。すなわち、パルス生成回路 16 は、図 5 に示したように、論理入力信号 H I N の立下りエッジをトリガとしてリセット信号 R E S E T を生成し、このリセット信号 R E S E T は、O R 回路 23 を介して出力される。

- [0031] Hレベルのリセット信号RESETが出力されると、レベルシフト回路17のMOSトランジスタHVN2がオン状態となり、抵抗LSR2とMOSトランジスタHVN2との接続点の電圧降下をハイサイド駆動回路12が検出すると、ハイサイド出力信号HOがハイサイド基準電位VSに戻る。これにより、ハイサイドパワーデバイスHQは、オフ状態となり、ハイサイド基準電位VSは、ローサイドパワーデバイスLQの状態に応じた電位になる。すなわち、ハイサイド基準電位VSは、ローサイドパワーデバイスLQがオン状態に遷移した時点で、グランドGNDのレベルに低下する。
- [0032] 通常のスイッチング動作においては、ハイサイド電位判定回路19（図4参照）は、ハイサイド基準電位VSの変化を監視していて、ハイサイド基準電位VSの絶対値が基準電圧源44の基準電位REF1を超えると、イベント信号EVENTを出力する。
- [0033] すなわち、ハイサイド基準電位VSがグランドGNDのレベルにあるとき、ハイサイド電位判定回路19には、0ボルトの検出信号SENSEが入力されていて、比較器43の出力信号MPLSは、Hレベルになっている。これにより、インバータ45の出力は、Lレベルとなり、立上リエッジトリガ回路46は、その出力段に配置されたAND回路32（図3参照）によってLレベルのイベント信号EVENTを出力している。
- [0034] この状態のとき、ハイサイド電位検出回路18がハイサイド基準電位VSの立上リエッジを検出し、Hレベルの検出信号SENSEがハイサイド電位判定回路19に入力されると、比較器43の出力信号MPLSは、Lレベルになる。これにより、インバータ45の出力は、Hレベルに遷移するので、これは立上リエッジトリガ回路46によって検出され、イベント信号EVENTとして所定時間幅のパルス信号が出力される。ただし、この論理入力信号HINがHレベルの期間に生成されるイベント信号EVENTに関しては、インバータ21の出力がLレベルとなっているので、ハイサイドパワーデバイスHQの制御に何ら関与しない。
- [0035] 次に、ハイサイド基準電位VSが外来ノイズの影響を受けた場合について

説明する。図6の例では、リセット信号RESETが出力されたタイミングに外来ノイズの侵入があって、ハイサイド基準電位VSがグランドGNDのレベル以下に低下し、リセット信号RESETがハイサイド駆動回路12に正常に伝達できなくなった場合について説明する。

[0036] まず、パルス生成回路16に論理入力信号HINが入力されたとき、論理入力信号HINの立上りエッジをトリガとしてセット信号SETが生成され、これがレベルシフト回路17を介してハイサイド駆動回路12に伝達される。これにより、ハイサイドパワーデバイスHQがオン状態になり、ハイサイド基準電位VSが高くなって、その変化を、ハイサイド電位検出回路18およびハイサイド電位判定回路19が検出してイベント信号EVENTが生成される。ここまでは、図4を参照して説明した通常スイッチング動作の場合と同じ動作である。

[0037] 次に、論理入力信号HINがLレベルになると、その立下りエッジをトリガとしてリセット信号RESET（図6のパルスP1）が生成される。本来なら、このリセット信号RESETは、レベルシフト回路17を介してハイサイド駆動回路12に伝達され、ハイサイド出力信号HOが、図6に破線で示したように、時刻t1にてハイサイドパワーデバイスHQをオフ状態に移させる信号になる。

[0038] ここで、リセット信号RESETが生成されたタイミングのときに、トータムポールの中点に外来ノイズNが侵入し、ハイサイド基準電位VSがグランドGNDのレベルよりも低い電位になった事例を考える。この場合、抵抗LSR2とMOSトランジスタHVN2との接続点の電位が、その電位を判定するためにハイサイド駆動回路12内に設けられた図示しない基準電源（ハイサイド基準電位VSを基準とした電圧を出力する）の出力電位より低くなることができないため、レベルシフト回路17は、リセット信号RESETを正常にハイサイド駆動回路12に伝達することができなくなり、ハイサイドパワーデバイスHQは、オン状態を継続してしまうことになる。

[0039] このとき、ハイサイド電位判定回路19は、ハイサイド電位検出回路18

によって検出されたハイサイド基準電位 V_S を監視している。ここで、ハイサイド基準電位 V_S が一旦低下して回復したとき、ハイサイド電位判定回路19では、比較器43が出力信号 $MPLS$ （図6のパルスP2）を生成する。この出力信号 $MPLS$ は、インバータ45で論理反転された後、立上リエッジトリガ回路46に供給され、出力信号 $MPLS$ の立下りをトリガとして所定時間幅のイベント信号 $EVENT$ （図6のパルスP3）が生成される。このイベント信号 $EVENT$ は、パルス生成回路16に供給され、パルス生成回路16で改めてリセット信号 $RESET$ を生成することになる。すなわち、図2のパルス生成回路16の論理入力端子には、Lレベルの論理入力信号 HIN が入力され、ハイサイド電位判定回路19からの信号を受ける入力端子には、Hレベルのイベント信号 $EVENT$ が入力される。このとき、AND回路24には、インバータ21によって論理反転されたHレベルの論理入力信号 HIN と、Hレベルのイベント信号 $EVENT$ とが入力されているので、OR回路23を介してリセット信号 $RESET$ （図6のパルスP4）が出力される。

[0040] このリセット信号 $RESET$ （パルスP4）が生成されたときには、ハイサイド基準電位 V_S の状態は回復されているので、レベルシフト回路17がハイサイド駆動回路12にリセット信号 $RESET$ （パルスP4）を正常に伝達できる状態に戻っていることになる。したがって、ハイサイド駆動回路12は、伝達されたりセット信号 $RESET$ （パルスP4）を受け、時刻 t_2 にてハイサイド出力信号 HQ をハイサイド基準電位 V_S にし、ハイサイドパワーデバイス HQ をオフ状態にする。なお、この図6のその後の動作については、図5に示して説明したものと同一である。

[0041] このようにして、ハイサイドパワーデバイス HQ がオフ状態に遷移しなければならないときに、レベルシフト回路17の信号伝達不良があると、パルス生成回路12がイベント信号 $EVENT$ と論理入力信号 HIN とによりその信号伝達不良を判定してリセット信号 $RESET$ を再生成するようにしている。しかも、ハイサイド電位判定回路19における判定は、ハイサイド基

準電位 V_S が正常に戻る方向の電位の変化を検出してイベント信号 $EVENT$ を生成しているため、その後に再生成されたりセット信号 $RESET$ は、確実にハイサイド駆動回路 12 に伝達できることになる。これにより、ハイサイドパワーデバイス HQ の本来のオフ状態への遷移タイミングよりも多少遅れることはあっても、確実にオフ状態にすることができる。

[0042] なお、パルス生成回路 16 は、図 2 から分かる通り、イベント信号 $EVENT$ がセット信号 SET の生成に関わっていないので、論理入力信号 HIN が H レベルになったときは、セット信号 SET を生成する。また、リセット信号 $RESET$ は、論理入力信号 HIN が H レベルから L レベルに立下ったときに生成され、同時に、イベント信号 $EVENT$ が入力されたときにも生成される。このイベント信号 $EVENT$ が入力されているとき、論理入力信号 HIN が L レベルから H レベルに立上ったときには、 AND 回路 24 がイベント信号 $EVENT$ の入力をブロックしてリセット信号 $RESET$ が生成されないようにするので、論理入力信号 HIN が優先されてセット信号 SET が生成される。

[0043] 図 7 は第 2 の実施の形態に係る半導体装置を示す回路図である。この図 7 において、図 1 に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

[0044] この第 2 の実施の形態に係る半導体装置によれば、第 1 の実施の形態に係る半導体装置と比較して、ハイサイド電位検出回路 18a の構成および検出しようとするハイサイド電位を変更している。すなわち、ハイサイド電位検出回路 18a は、ハイサイド電位としてハイサイド電源電位 V_B を検出対象としている。このハイサイド電源電位 V_B は、ハイサイド基準電位 V_S をハイサイド電源 14 の電位の分だけシフトしたものであり、ハイサイド基準電位 V_S に追従して同じ変化をする。したがって、ハイサイド電位検出回路 18a がハイサイド電源電位 V_B を監視しても、ハイサイド基準電位 V_S を監視していることになる。

[0045] ハイサイド電位検出回路 18a は、 NPN 型のバイポーラトランジスタ 5

1を有しており、そのエミッタは、ハイサイド電源電位 V_B のラインに接続されている。バイポーラトランジスタ51のベースは、電圧源52の正極端子に接続され、電圧源52の負極端子は、グランドGNDに接続されている。バイポーラトランジスタ51のコレクタは、抵抗53の一端に接続され、抵抗53の他端は、電圧源54の正極端子に接続され、電圧源54の負極端子は、グランドGNDに接続されている。バイポーラトランジスタ51のコレクタは、このハイサイド電位検出回路18aの出力を構成し、検出信号SENSEを出力する。バイポーラトランジスタ51は、そのベース－エミッタ間の電位 V_{be} がハイサイド回路の高耐圧に相当する逆耐圧を有しているものとしている。

[0046] 以上の構成により、ハイサイド基準電位 V_S が変動すると、それに追従してハイサイド電源電位 V_B が変動し、それをバイポーラトランジスタ51が検出する。すなわち、通常は、ハイサイド電源電位 V_B が最も低下したとしても電圧源52の電位よりも高いハイサイド電源14の電位がバイポーラトランジスタ51のエミッタに印加されている。そのため、バイポーラトランジスタ51はオフ状態にあり、検出信号SENSEとして、電圧源54の電位のレベルの信号が出力されている。

[0047] ハイサイド基準電位 V_S が変動して、ハイサイド電源電位 V_B が電圧源52の電位からバイポーラトランジスタ51のベース－エミッタ間の順方向電位を差し引いた電位よりもさらに低下すると、バイポーラトランジスタ51はオン状態に遷移する。これによって、ハイサイド電位検出回路18aは、Lレベルの検出信号SENSEを出力する。

[0048] なお、この実施の形態では、ハイサイド電源電位 V_B の低下をNPN型のバイポーラトランジスタ51で検出するように構成したが、PNP型のバイポーラトランジスタを用いて構成することもできる。すなわち、ハイサイド電源電位 V_B が電圧源52の正極端子の電位からPNP型のバイポーラトランジスタのベース－エミッタ間の順方向電位を加えた電位を境に変化したときにオン状態またはオフ状態に切り換わるように構成されるなら、PNP型

のバイポーラトランジスタで検出するようにしてもよい。

[0049] 図8は第3の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図、図9は第3の実施の形態に係る半導体装置のスイッチング動作時における要部波形を示す図である。

[0050] このハイサイド電位判定回路19aは、一端が検出信号SENSEの入力端子に接続されたコンデンサ61を有している。検出信号SENSEがコンデンサ61を介して入力されているので、このハイサイド電位判定回路19aは、 $\pm dV/dt$ 検出回路（微分回路）を構成している。コンデンサ61の他端は、保護用ダイオード62のカソードと、保護用ダイオード63のアノードとに接続され、保護用ダイオード62のアノードは、グラウンドGNDに接続され、保護用ダイオード63のカソードは、ローサイド電源電位VCCに接続されている。保護用ダイオード62および保護用ダイオード63には、それぞれに並列に抵抗64、65が接続されている。抵抗64、65の接続点は、比較器66の一方の入力に接続され、比較器66の他方の入力は、基準電圧源67の正極端子に接続され、基準電圧源67の負極端子は、グラウンドGNDに接続されている。抵抗64、65の接続点は、また、別の比較器68の一方の入力に接続され、比較器68の他方の入力は、基準電圧源69の正極端子に接続され、基準電圧源69の負極端子は、グラウンドGNDに接続されている。比較器66、68の出力は、それぞれOR回路70の入力に接続され、OR回路70の出力は、イベント信号EVENTの出力端子を構成している。なお、検出信号SENSEの入力端子には、図1のハイサイド電位検出回路18または、図7のハイサイド電位検出回路18aの出力が接続されている。

[0051] 以上の構成のハイサイド電位判定回路19aにおいて、検出信号SENSEの入力端子と反対側のコンデンサ61の端子の電位は図8で電位信号CSとして示してあり、検出信号SENSEが一定値を保っているとき（定常状態）にはローサイド電源電位VCCを抵抗64、65で分圧した電位によって固定されている。また、図9では、定常状態の電位信号CSは、ローサイ

ド電源電位 V_{CC} の半分の値としている。比較器 66 の基準電圧源 67 は、基準電位 REF_2 を有し、比較器 68 の基準電圧源 69 は、基準電位 REF_3 を有していて、 $REF_2 > CS > REF_3$ の関係を有している。

[0052] このため、入力端子に変化のある検出信号 $SENSE$ が入力されていないとき、比較器 66 は、L レベルの出力信号 $PPLS$ を出力し、比較器 68 は、L レベルの出力信号 $MPLS$ を出力している。これにより、OR 回路 70 の出力は、L レベルのイベント信号 $EVENT$ を出力している。

[0053] ここで、図 9 に示したように、論理入力信号 HIN の立上りに応答してセット信号 SET が出力され、それにより、ハイサイドパワーデバイス HQ がオン状態になると、ハイサイド基準電位 VS はプラス側に変化する。このハイサイド基準電位 VS の変化は、ハイサイド電位検出回路 18 または 18a によって検出され、ハイサイド電位判定回路 19a に検出信号 $SENSE$ として入力される。このとき、ハイサイド基準電位 VS が高くなる方向に変化しているので、電位信号 CS は、プラス側に変化した微分 (dV/dt) 信号が重畳された波形になる。プラス側の変化を検出する比較器 66 は、その電位信号 CS の変化を検出して、H レベルの出力信号 $PPLS$ を出力し、OR 回路 70 からイベント信号 $EVENT$ として出力する。

[0054] 論理入力信号 HIN の立下りに応答してリセット信号 $RESET$ が出力されると、それにより、ハイサイドパワーデバイス HQ がオフ状態になり、ハイサイド基準電位 VS はマイナス側に変化する。このハイサイド基準電位 VS の変化は、ハイサイド電位検出回路 18 または 18a によって検出され、ハイサイド電位判定回路 19a に検出信号 $SENSE$ として入力される。このとき、ハイサイド基準電位 VS が低くなる方向に変化しているので、電位信号 CS は、マイナス側に変化した微分信号が重畳された波形になる。マイナス側の変化を検出する比較器 68 は、その電位信号 CS の変化を検出して、H レベルの出力信号 $MPLS$ を出力し、OR 回路 70 からイベント信号 $EVENT$ として出力する。

[0055] 論理入力信号 HIN が L レベルのとき、すなわち、ハイサイドパワーデバ

イスH Qがオフ状態のとき、ハイサイド基準電位V Sに外来ノイズN 1, N 2が重畳されたときにおいても、比較器6 6, 6 8が電位信号C Sの $\pm d V / d t$ を検出する。検出された出力信号P P L S, M P L Sは、論理和演算されてイベント信号E V E N Tとして出力される。

[0056] 図1 0は第4の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図である。

このハイサイド電位判定回路1 9 bは、図4のハイサイド電位判定回路1 9および図8のハイサイド電位判定回路1 9 aを組み合わせて構成している。すなわち、ハイサイド電位判定回路1 9, 1 9 aの入力には、検出信号S E N S Eの入力端子が接続され、ハイサイド電位判定回路1 9, 1 9 aの出力は、それぞれO R回路7 1の入力に接続されている。O R回路7 1の出力は、ハイサイド電位判定回路1 9 bの出力端子を構成し、イベント信号E V E N Tを出力する。

[0057] ハイサイド電位判定回路1 9 bは、ハイサイド電位判定回路1 9およびハイサイド電位判定回路1 9 aを組み合わせたことにより、これらの特徴を合わせ持った特性を有することができる。ハイサイド電位判定回路1 9は、ハイサイド基準電位V Sをその絶対値で直接検出しているので、ハイサイド基準電位V Sが変化していることを確実に確認することができる反面、抵抗値や内部の寄生容量で動作遅延が生じる可能性がある。一方、ハイサイド電位判定回路1 9 aは、電圧変化だけを検出しているので、ハイサイド基準電位V Sの変化を素早く検出することができる。したがって、ハイサイド電位判定回路1 9 bは、ハイサイド基準電位V Sの変化を迅速かつ確実に検出できることになる。

[0058] なお、このハイサイド電位判定回路1 9 bは、図示の例では、ハイサイド電位判定回路1 9およびハイサイド電位判定回路1 9 aの出力にO R回路7 1を配置しているが、A N D回路で構成することもできる。

[0059] 以上の実施の形態は、オン状態のハイサイドパワーデバイスH Qをオフ状態に制御しようとしてもできない場合に、リセット信号R E S E Tを再生成

し、確実にオフ状態に制御するものである。以下は、このリセット信号 R E S E T を再生成するだけでなく、オフ状態のハイサイドパワーデバイス H Q をオン状態にできない場合にセット信号 S E T を再生成できる例について説明する。

[0060] 図 1 1 は第 5 の実施の形態に係る半導体装置のハイサイド電位判定回路の構成例を示す回路図、図 1 2 は第 5 の実施の形態に係る半導体装置のパルス生成回路の構成例を示す回路図、図 1 3 は第 5 の実施の形態に係る半導体装置の要部動作波形を示す図である。なお、この図 1 1 および図 1 2 において、図 4 および図 2 に示した構成要素と同じまたは均等の構成要素については同じ符号を付している。

[0061] 第 5 の実施の形態に係る半導体装置では、図 1 に示した第 1 の実施の形態に係る半導体装置のハイサイド電位判定回路 1 9 およびパルス生成回路 1 6 をそれぞれハイサイド電位判定回路 1 9 c およびパルス生成回路 1 6 a に変更している。

[0062] ハイサイド電位判定回路 1 9 c は、図 1 1 に示したように、図 4 に示したハイサイド電位判定回路 1 9 に立上りエッジトリガ回路 4 6 a を追加している。すなわち、立上りエッジトリガ回路 4 6 a は、その入力と比較器 4 3 の出力に接続されており、立上りエッジトリガ回路 4 6 の出力はイベント信号 E V E N T 1、立上りエッジトリガ回路 4 6 a の出力はイベント信号 E V E N T 2 の出力端子となっている。また、立上りエッジトリガ回路 4 6 および立上りエッジトリガ回路 4 6 a は、図 3 に示した立上りエッジトリガ回路 2 0 と同じ回路構成を有している。

[0063] パルス生成回路 1 6 a は、図 1 2 に示したように、図 2 に示したパルス生成回路 1 6 に O R 回路 2 3 a および A N D 回路 2 4 a を追加している。すなわち、A N D 回路 2 4 a は、その一方の入力を論理入力信号 H I N の入力端子に接続し、他方の入力をイベント信号 E V E N T 2 の入力端子に接続し、出力を O R 回路 2 3 a の一方の入力に接続している。O R 回路 2 3 a は、その他方の入力を立上りエッジトリガ回路 2 0 の出力に接続し、出力は、セッ

ト信号 S E T の出力端子を構成している。なお、A N D 回路 2 4 の入力の一つは、イベント信号 E V E N T 1 の入力端子に接続されている。

[0064] 以上の構成において、論理入力信号 H I N の立下りエッジをトリガに立上りエッジトリガ回路 2 2 がリセット信号 R E S E T (図 1 3 のパルス P 1 1) を生成したにも拘わらず、ハイサイドパワーデバイス H Q がオフ状態に遷移しなかった場合、上記の実施の形態の動作と同じである。すなわち、リセット信号 R E S E T がハイサイド駆動回路 1 2 に伝達されなかった原因であるハイサイド基準電位 V S の低下状態をハイサイド電位判定回路 1 9 c が判定し、イベント信号 E V E N T 1 (図 1 3 のパルス P 1 2) を出力する。パルス生成回路 1 6 a は、イベント信号 E V E N T 1 を受けてリセット信号 R E S E T (図 1 3 のパルス P 1 3) を再生成する。

[0065] 次に、論理入力信号 H I N の立上りエッジをトリガに立上りエッジトリガ回路 2 0 がセット信号 S E T (図 1 3 のパルス P 1 4) を生成したにも拘わらず、ハイサイドパワーデバイス H Q がオン状態に遷移しなかった場合について説明する。この場合も、セット信号 S E T の生成時に、ハイサイド基準電位 V S に外来ノイズが重畳して、セット信号 S E T がハイサイド駆動回路 1 2 に正常に伝達されなかったことが原因である。セット信号 S E T の生成時に、ハイサイド電位検出回路 1 8 がハイサイド基準電位 V S の変化に起因する電位の変化を検出すると、より厳密にいうと、セット信号 S E T が生成されハイサイド基準電位 V S は立上がらなければならないのに逆の立下りが検出されると、ハイサイド電位判定回路 1 9 c の立上りエッジトリガ回路 4 6 a がイベント信号 E V E N T 2 (図 1 3 のパルス P 1 5) を生成する。このイベント信号 E V E N T 2 を受けたパルス生成回路 1 6 a は、このとき、論理入力信号 H I N が H レベルになっているので、A N D 回路 2 4 a は、H レベルの信号を出力し、O R 回路 2 3 a からセット信号 S E T (図 1 3 のパルス P 1 6) として再出力される。これにより、ハイサイドパワーデバイス H Q は、オン状態に遷移される。

[0066] 図 1 4 は第 6 の実施の形態に係る半導体装置のハイサイド電位判定回路の

構成例を示す回路図、図 15 は第 6 の実施の形態に係る半導体装置の要部動作波形を示す図である。なお、この図 14 において、図 8 に示した構成要素と同じまたは均等の構成要素については同じ符号を付している。

[0067] 第 6 の実施の形態に係る半導体装置では、図 8 に示した第 3 の実施の形態に係る半導体装置のハイサイド電位判定回路 19 a をハイサイド電位判定回路 19 d に変更し、リセット信号 R E S E T に加え、セット信号 S E T の再生成をも可能にしている。そのために、比較器 6 6 の出力をイベント信号 E V E N T 1 の出力端子とし、比較器 6 8 の出力をイベント信号 E V E N T 2 の出力端子としている。

[0068] ここで、入力端子に変化のある検出信号 S E N S E が入力されていないとき、比較器 6 6 は、L レベルのイベント信号 E V E N T 1 を出力し、比較器 6 8 は、L レベルのイベント信号 E V E N T 2 を出力している。

[0069] この状態で、図 15 に示したように、論理入力信号 H I N の立上りに応答してセット信号 S E T が出力され、ハイサイドパワーデバイス H Q がオン状態になると、ハイサイド基準電位 V S はプラス側に変化する。このハイサイド基準電位 V S の変化は、ハイサイド電位検出回路 18 または 18 a によって検出され、ハイサイド電位判定回路 19 d に検出信号 S E N S E として入力される。このとき、ハイサイド基準電位 V S が高くなる方向に変化しているので、電位信号 C S は、プラス側に变化した微分信号が重畳された波形になる。プラス側の变化を検出する比較器 6 6 は、その電位信号 C S の変化を検出して、H レベルのイベント信号 E V E N T 1 を出力する。

[0070] 論理入力信号 H I N の立下りに応答してリセット信号 R E S E T が出力されると、ハイサイドパワーデバイス H Q がオフ状態になり、ハイサイド基準電位 V S はマイナス側に変化する。このハイサイド基準電位 V S の変化は、ハイサイド電位検出回路 18 または 18 a によって検出され、ハイサイド電位判定回路 19 d に検出信号 S E N S E として入力される。このとき、ハイサイド基準電位 V S が低くなる方向に変化しているので、電位信号 C S は、マイナス側に变化した微分信号が重畳された波形になる。マイナス側の变化

を検出する比較器 68 は、その電位信号 CS の変化を検出して、H レベルのイベント信号 EVENT 2 を出力する。

[0071] ハイサイド基準電位 VS に外来ノイズ N1, N2 が重畳されると、比較器 66, 68 が電位信号 CS の $\pm dV/dt$ を検出し、イベント信号 EVENT 1, EVENT 2 を出力する。図 15 では論理入力信号 HIN が L レベルを保持しているのでイベント信号 EVENT 2 に応じてリセット信号 RESET 信号が再生成されているが、ここで、論理入力信号 HIN が L レベルのとき、すなわち、ハイサイドパワーデバイス HQ がオフ状態のときにイベント信号 EVENT 2 が出力され（図 13 のパルス P15 に相当）、そのタイミングで論理入力信号 HIN が H レベルに遷移することがある。このような場合、パルス生成回路 16 がセット信号 SET を再生成することになる。

[0072] 以上、本発明をその好適な実施の形態について詳述したが、本発明はこの特定の実施の形態に限定されるものではなく、本発明の精神の範囲内で各種変化変形が可能であることはいうまでもない。たとえば、第 4 の実施の形態に係る半導体装置では、2 つのハイサイド電位判定回路 19, 19a は、共通の検出信号 SENSE を入力するようにしている。しかし、ハイサイド電位判定回路 19, 19a の一方は、図 1 のハイサイド電位検出回路 18 の出力を、他方は、図 7 のハイサイド電位検出回路 18a の出力を受けるようにしてもよい。それ以外にも、矛盾のない範囲で複数の実施の形態の構成要素を適宜組み合わせる実施することができる。

[0073] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

[0074] 10 高圧電源
 11 負荷

- 1 2 ハイサイド駆動回路
- 1 3 ローサイド駆動回路
- 1 4 ハイサイド電源
- 1 5 ローサイド電源
- 1 6, 1 6 a パルス生成回路
- 1 7 レベルシフト回路
- 1 8, 1 8 a ハイサイド電位検出回路
- 1 9, 1 9 a, 1 9 b, 1 9 c, 1 9 d ハイサイド電位判定回路
- 2 0 立上リエッジトリガ回路
- 2 1 インバータ
- 2 2 立上リエッジトリガ回路
- 2 3, 2 3 a O R 回路
- 2 4, 2 4 a A N D 回路
- 2 5 インバータ
- 2 6 n M O S トランジスタ
- 2 7 p M O S トランジスタ
- 2 8 コンデンサ
- 2 9 比較器
- 3 0 基準電圧源
- 3 1 インバータ
- 3 2 A N D 回路
- 4 1, 4 2 保護用ダイオード
- 4 3 比較器
- 4 4 基準電圧源
- 4 5 インバータ
- 4 6, 4 6 a 立上リエッジトリガ回路
- 5 1 バイポーラトランジスタ
- 5 2 電圧源

- 5 3 抵抗
- 5 4 電圧源
- 6 1 コンデンサ
- 6 2, 6 3 保護用ダイオード
- 6 4, 6 5 抵抗
- 6 6 比較器
- 6 7 基準電圧源
- 6 8 比較器
- 6 9 基準電圧源
- 7 0, 7 1 O R 回路

請求の範囲

- [請求項1] ハイサイドパワーデバイスを駆動するハイサイド駆動回路と、
外部から入力された論理入力信号の第1のエッジおよび第2のエッジに基づいて前記ハイサイドパワーデバイスをオンさせるセット信号およびオフさせるリセット信号を生成するパルス生成回路と、
前記セット信号および前記リセット信号を前記ハイサイド駆動回路に伝達するレベルシフト回路と、
ハイサイド電位を検出するハイサイド電位検出回路と、
前記ハイサイド電位検出回路が検出した前記ハイサイド電位の変化に基づきイベント信号を出力するハイサイド電位判定回路と、
を備え、前記ハイサイド電位判定回路が出力した前記イベント信号と前記論理入力信号に応じて前記パルス生成回路は前記リセット信号を再生成するようにしたことを特徴とする駆動回路。
- [請求項2] 前記イベント信号が、前記論理入力信号によって定まる通常の状態では発生しないときに生成されると、前記パルス生成回路は前記リセット信号を再生成するようにしたことを特徴とする請求項1記載の駆動回路。
- [請求項3] 前記イベント信号は、前記論理入力信号の前記第1のエッジをトリガにして前記ハイサイド電位が変化する第1の方向への前記ハイサイド電位の変化に基づいて出力されることを特徴とする請求項1記載の駆動回路。
- [請求項4] 前記ハイサイド電位は、ハイサイド基準電位またはハイサイド電源電位であることを特徴とする請求項1記載の駆動回路。
- [請求項5] 前記ハイサイド電位検出回路は、ハイサイド回路の高耐圧領域に電界緩和を目的に形成される抵抗性フィールドプレートを備え、前記抵抗性フィールドプレート的一端を前記ハイサイド電位に接続し、他端をローサイドの基準電位に接続し、中間の分岐点を出力端子としたことを特徴とする請求項1記載の駆動回路。

- [請求項6] 前記ハイサイド電位検出回路は、前記ハイサイド電位がローサイドの基準電位を境に変化したときにオン状態またはオフ状態に切り換わるように構成されたバイポーラトランジスタを備えていることを特徴とする請求項1記載の駆動回路。
- [請求項7] 前記ハイサイド電位判定回路は、グランド電位を基準としたローサイドの基準電位側に設置されていることを特徴とする請求項1記載の駆動回路。
- [請求項8] 前記ハイサイド電位判定回路は、前記ハイサイド電位の絶対値に基づいて前記レベルシフト回路の誤動作を判定する第1の回路および前記ハイサイド電位の dV/dt に基づいて前記レベルシフト回路の誤動作を判定する第2の回路の少なくとも一方を備えていることを特徴とする請求項1記載の駆動回路。
- [請求項9] 前記第1の回路は、前記ハイサイド電位検出回路によって検出された前記ハイサイド電位に相当する電位を所定の基準電位と比較する比較器と、前記比較器の出力信号の第1のエッジに基づいて所定の時間幅の前記イベント信号を出力するエッジトリガ回路とを備えていることを特徴とする請求項8記載の駆動回路。
- [請求項10] 前記第1の回路は、前記ハイサイド電位検出回路によって検出された前記ハイサイド電位に相当する電位を所定の基準電位と比較する比較器と、前記比較器の出力信号の第1のエッジに基づいて所定の時間幅の第1のイベント信号を出力する第1のエッジトリガ回路と、前記比較器の出力信号を反転した信号の第1のエッジに基づいて所定の時間幅の第2のイベント信号を出力する第2のエッジトリガ回路とを備えていることを特徴とする請求項8記載の駆動回路。
- [請求項11] 前記第2の回路は、前記ハイサイド電位検出回路によって検出された前記ハイサイド電位に相当する電位の変化を伝達するコンデンサと、前記コンデンサを介して伝達された前記ハイサイド電位に相当する電位の変化を所定の第1の基準電位と比較する第1の比較器と、前記

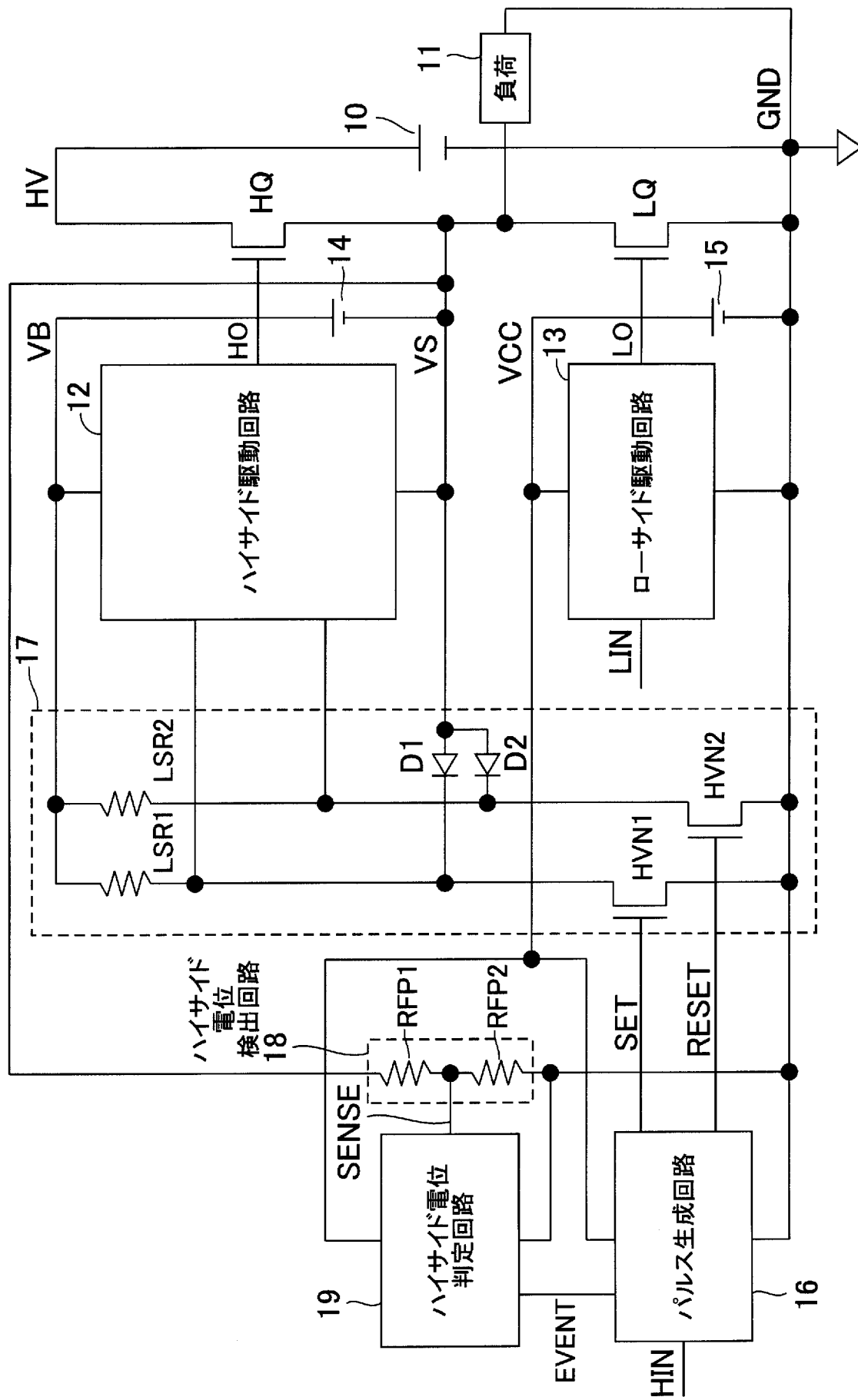
コンデンサを介して伝達された前記ハイサイド電位に相当する電位の変化を所定の第2の基準電位と比較する第2の比較器と、前記第1の比較器の出力と前記第2の比較器の出力とを論理演算して前記イベント信号を出力する回路と、を備えていることを特徴とする請求項8記載の駆動回路。

[請求項12] 前記第2の回路は、前記ハイサイド電位検出回路によって検出された前記ハイサイド電位に相当する電位の変化を伝達するコンデンサと、前記コンデンサを介して伝達された前記ハイサイド電位に相当する電位の変化を所定の第1の基準電位と比較して第1のイベント信号を出力する第1の比較器と、前記コンデンサを介して伝達された前記ハイサイド電位に相当する電位の変化を所定の第2の基準電位と比較して第2のイベント信号を出力する第2の比較器とを備えていることを特徴とする請求項8記載の駆動回路。

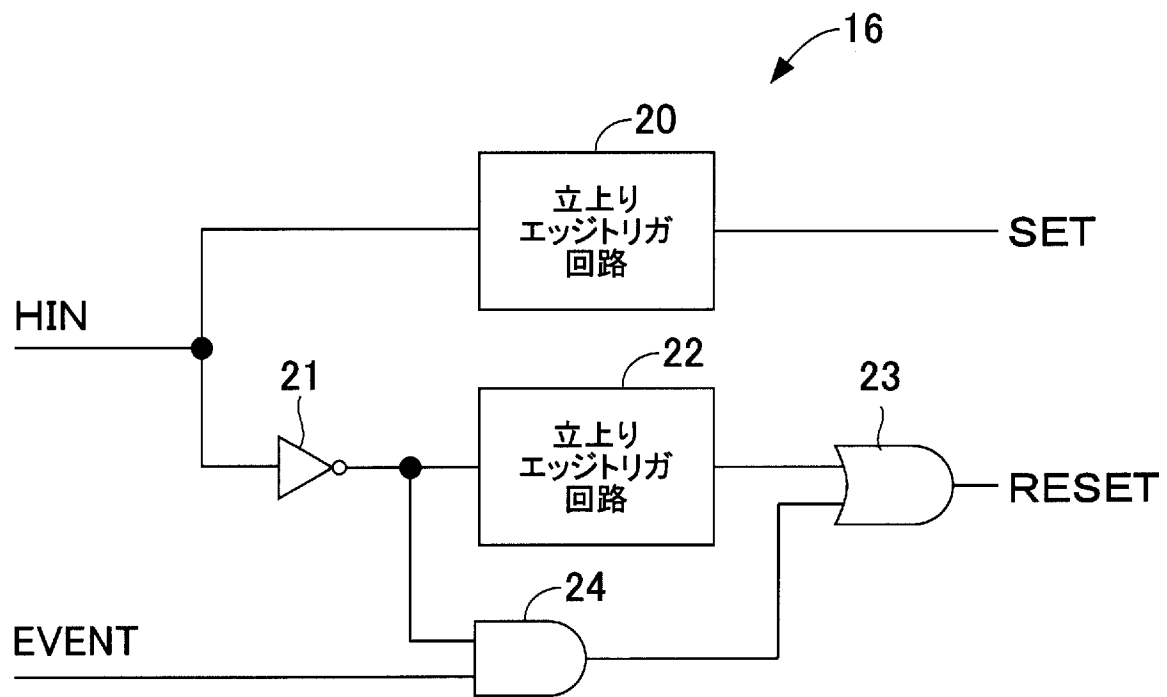
[請求項13] 前記パルス生成回路は、前記論理入力信号に基づく前記セット信号および前記リセット信号の生成を、前記イベント信号に基づく前記セット信号または前記リセット信号の生成に優先して実施するようにしたことを特徴とする請求項1記載の駆動回路。

[請求項14] 請求項1記載の駆動回路を備えていることを特徴とする半導体装置。

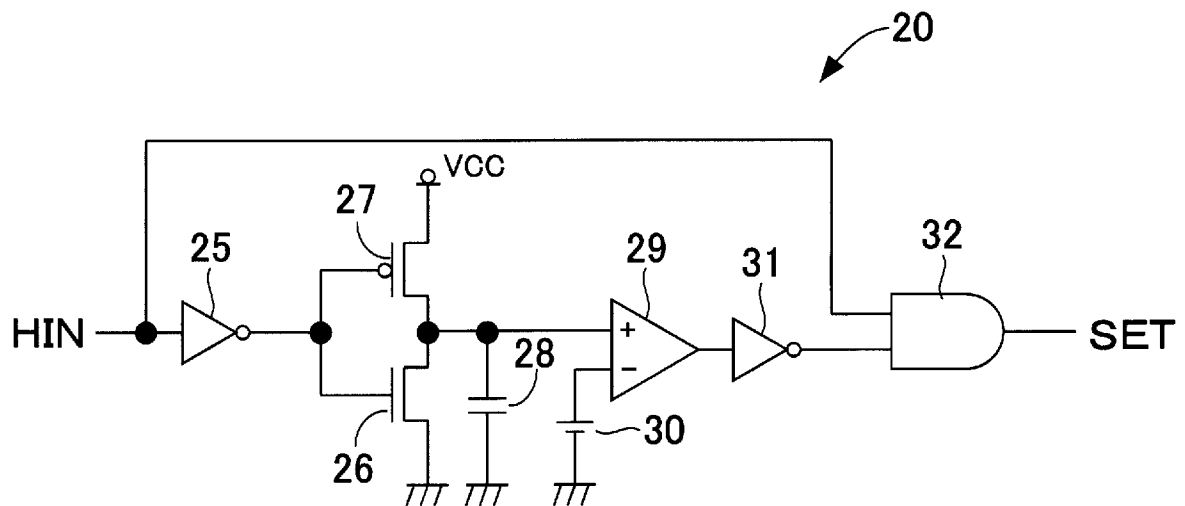
[図1]



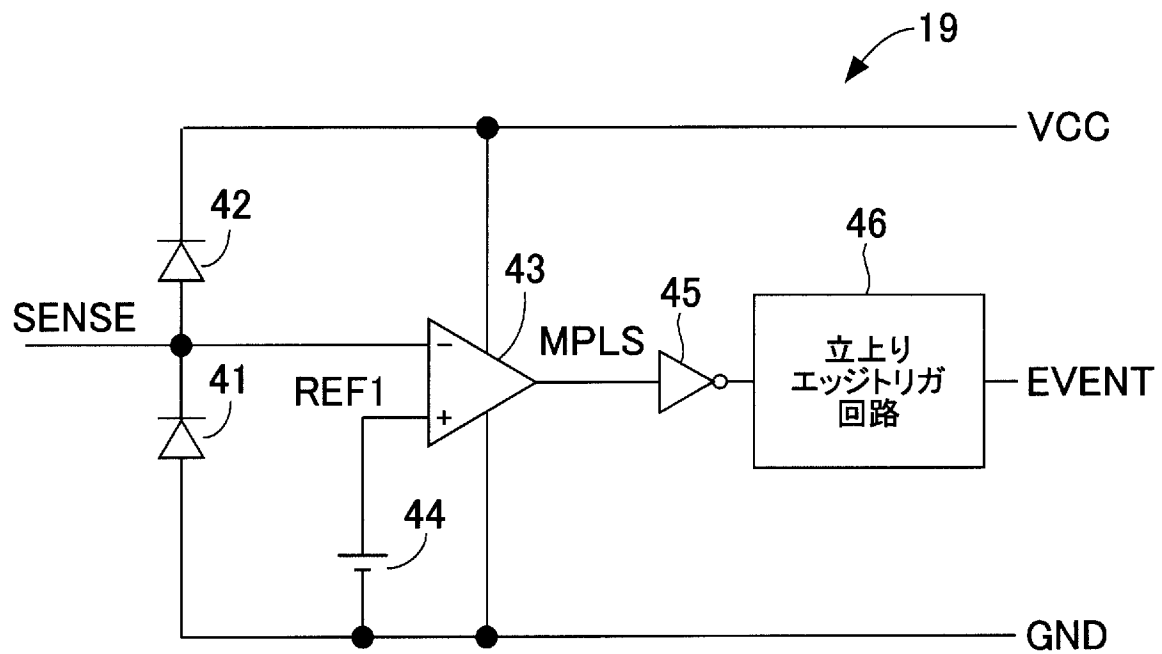
[図2]



[図3]

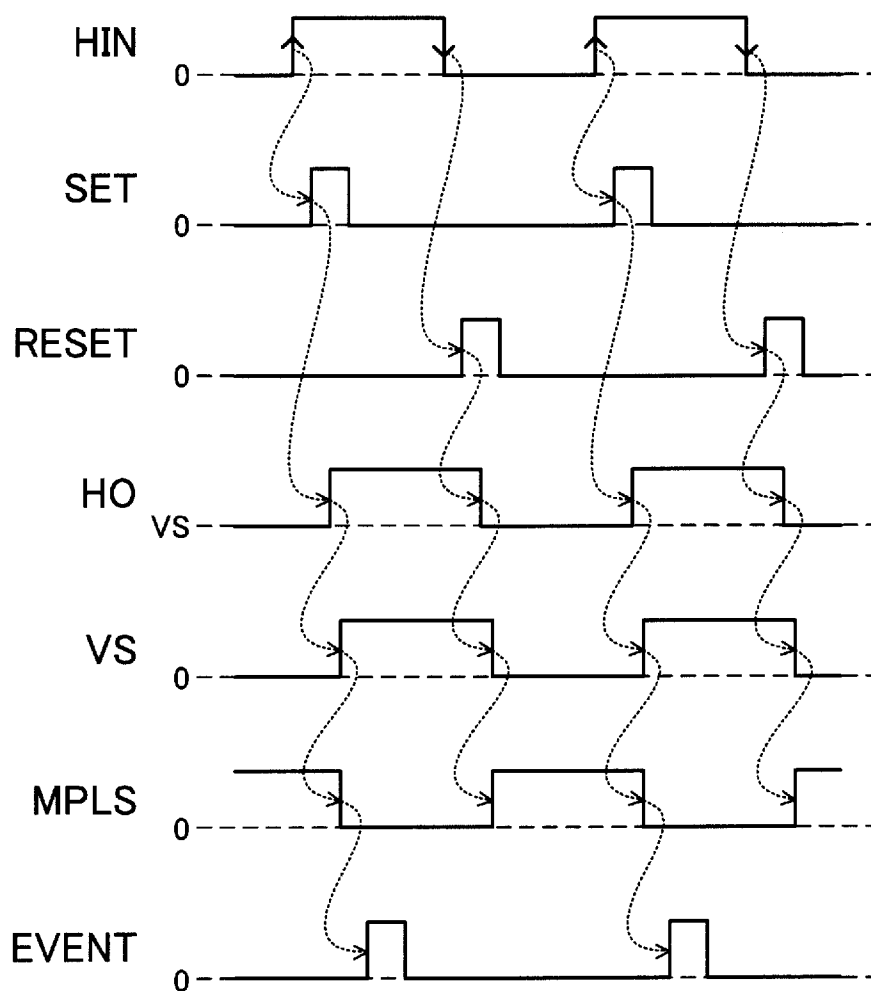


[図4]

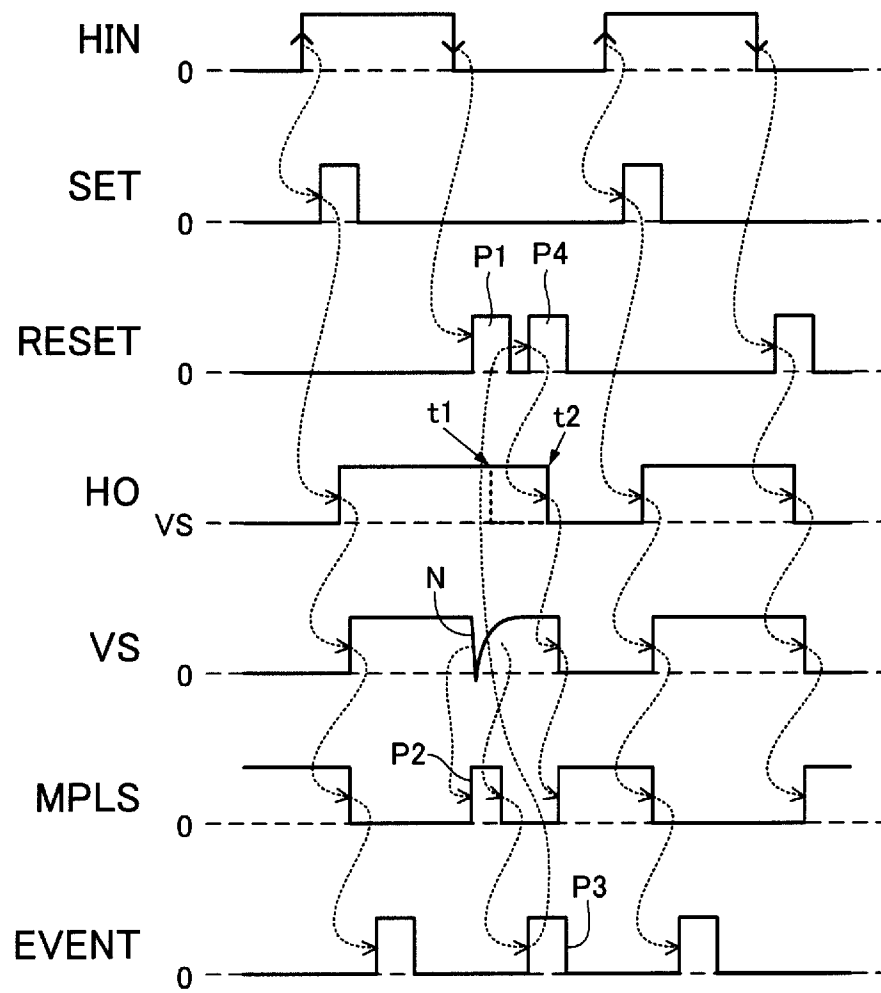


[図5]

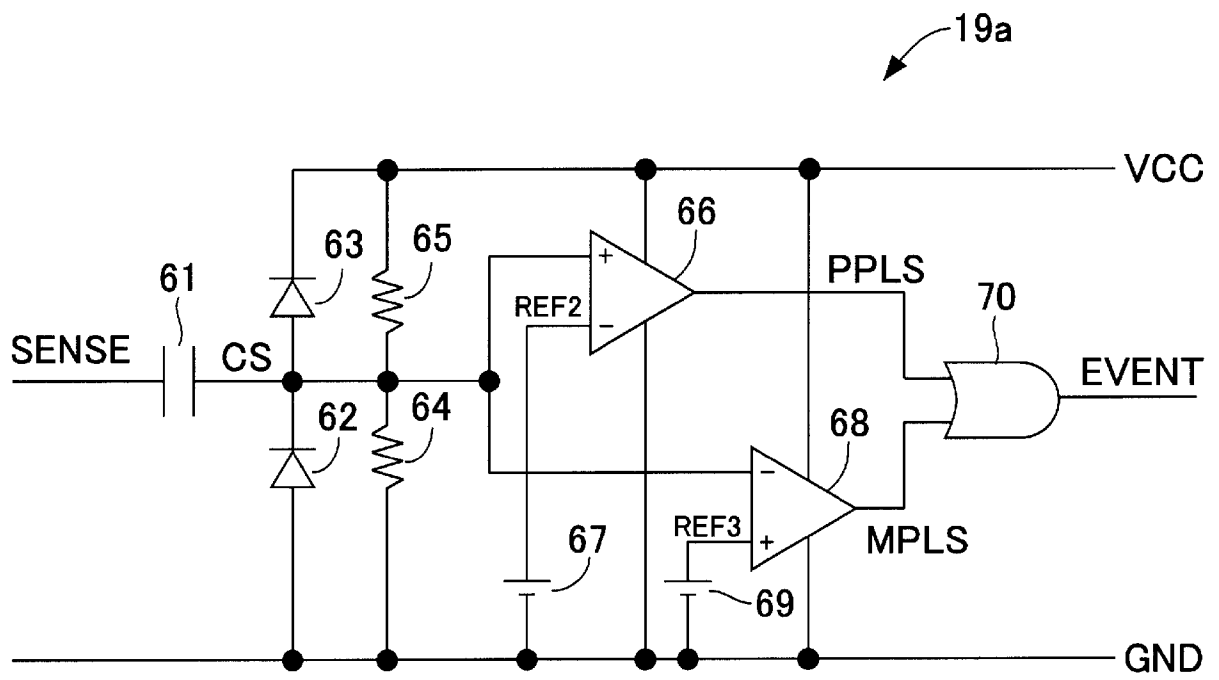
(通常のスイッチング動作)



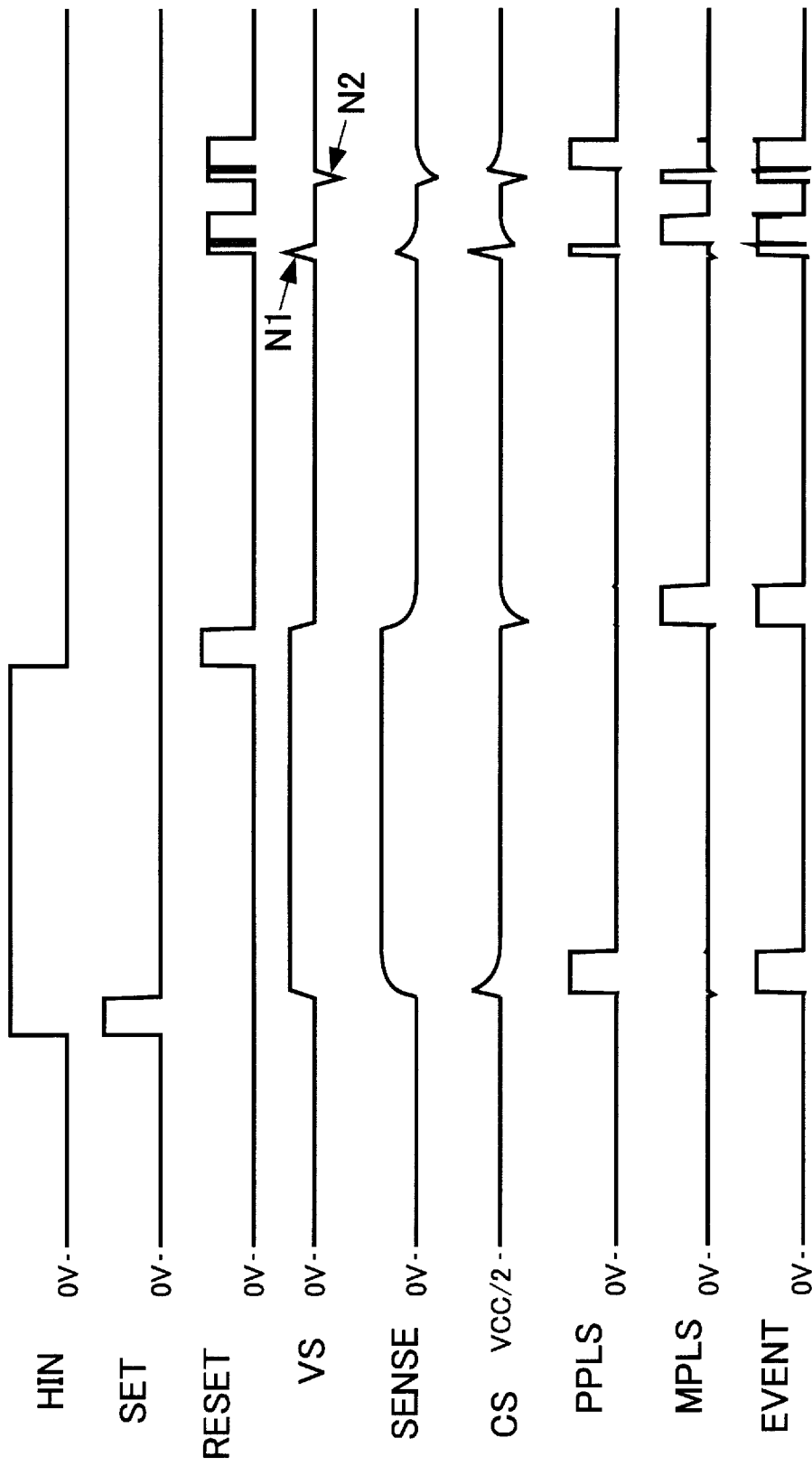
[図6]



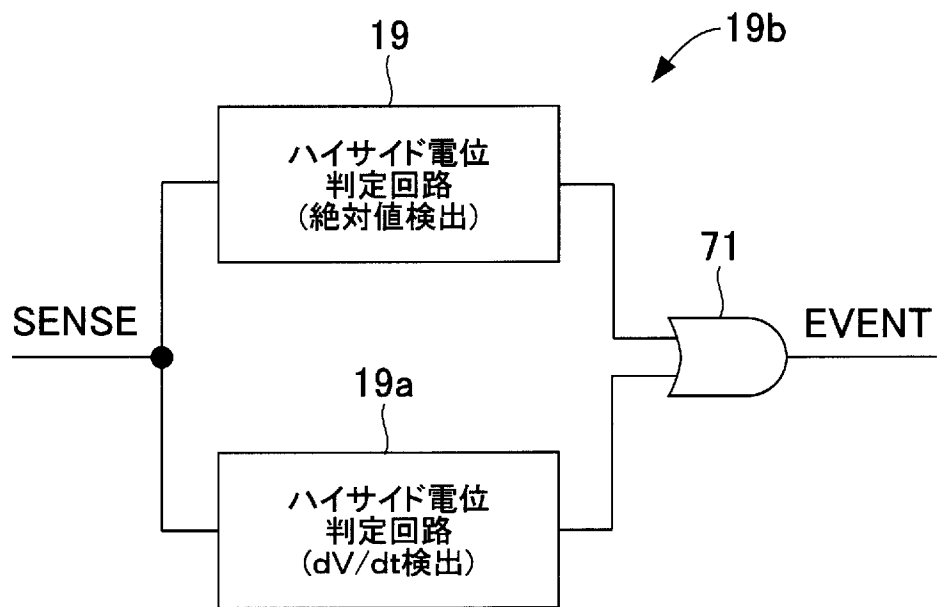
[図8]



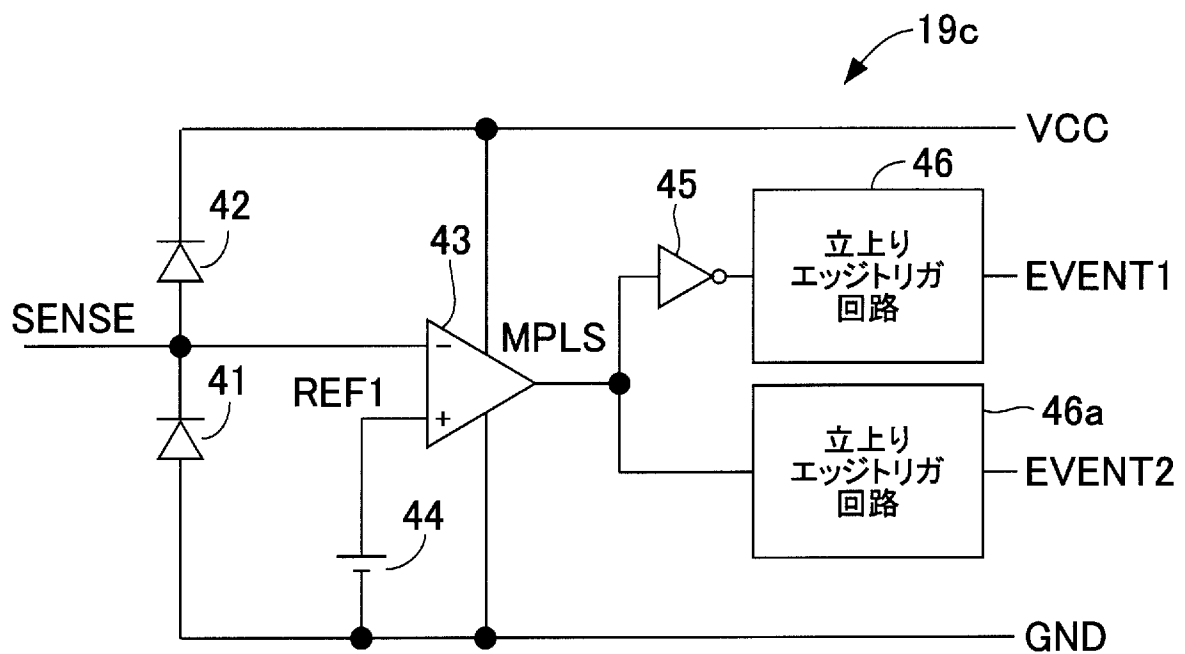
[図9]



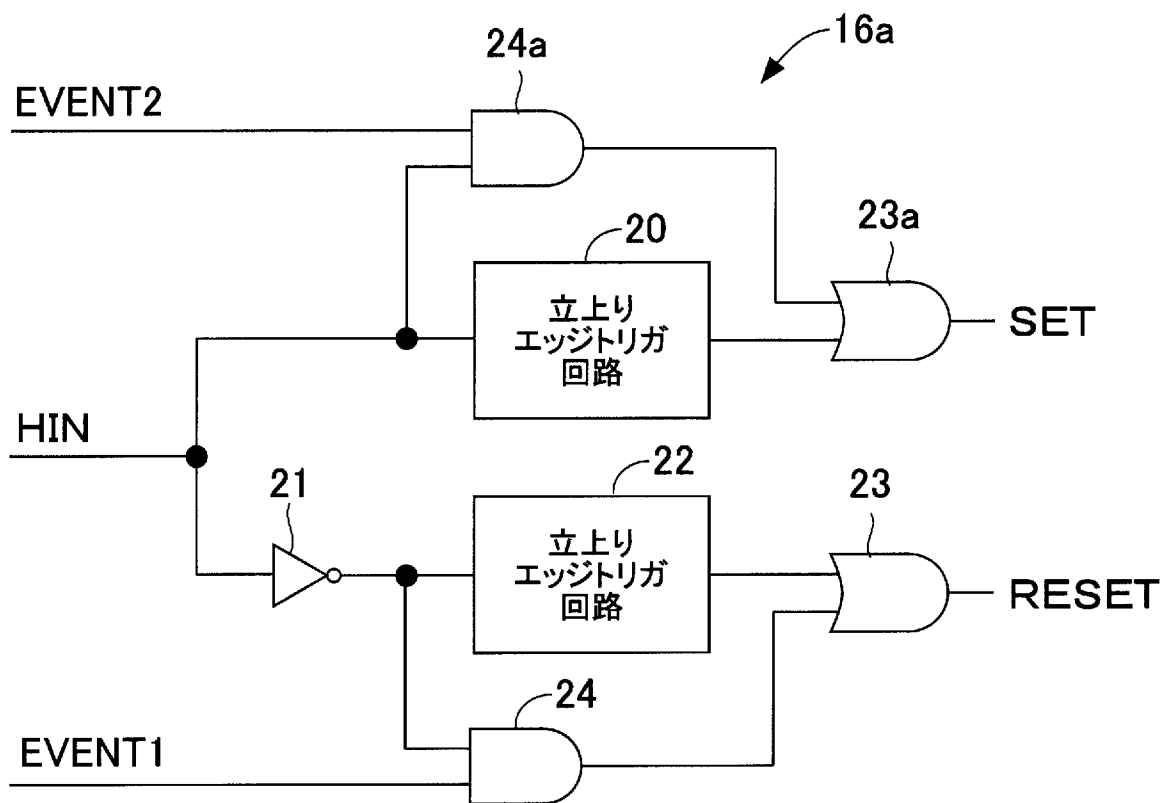
[図10]



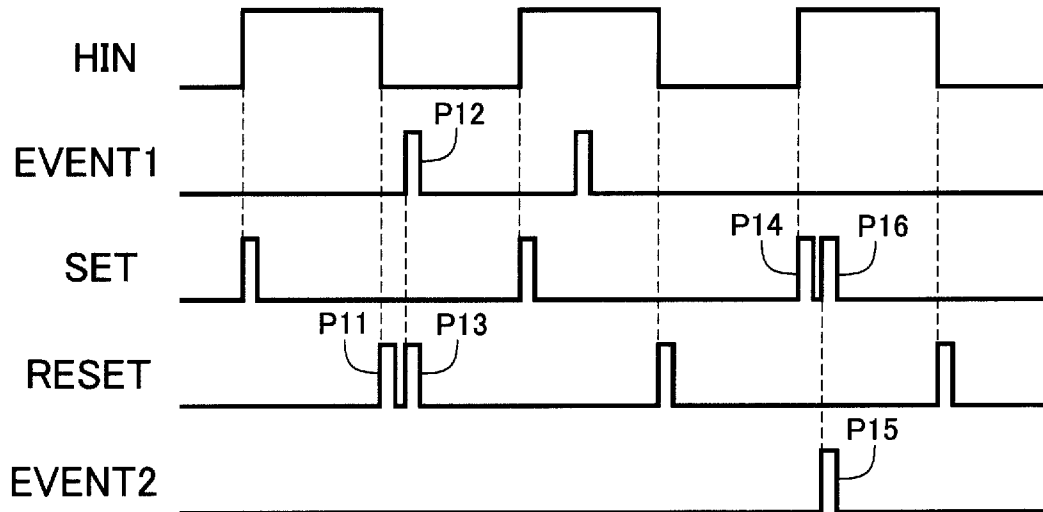
[図11]



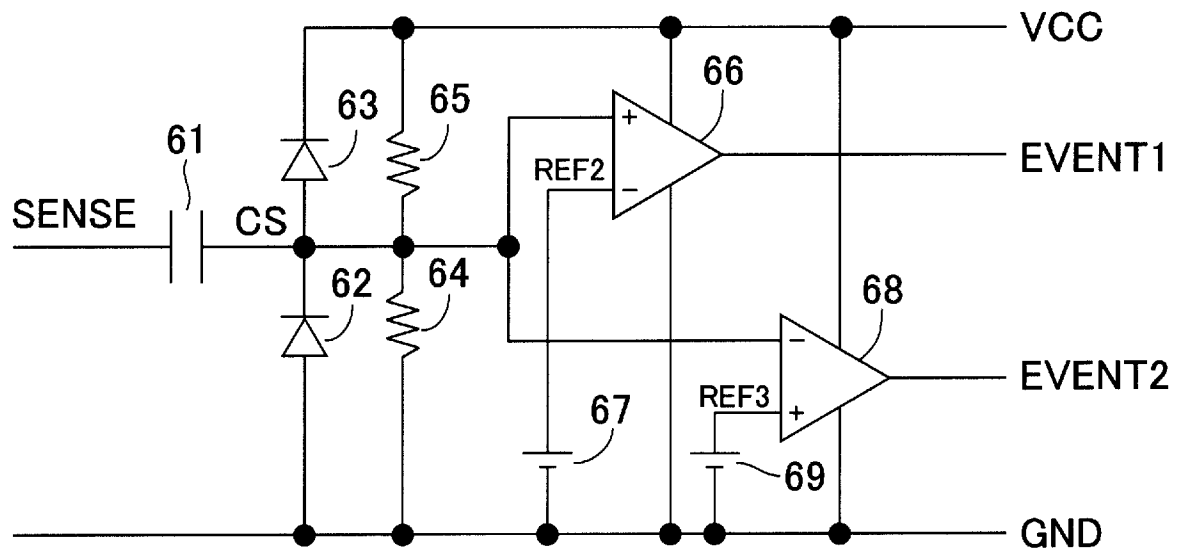
[図12]



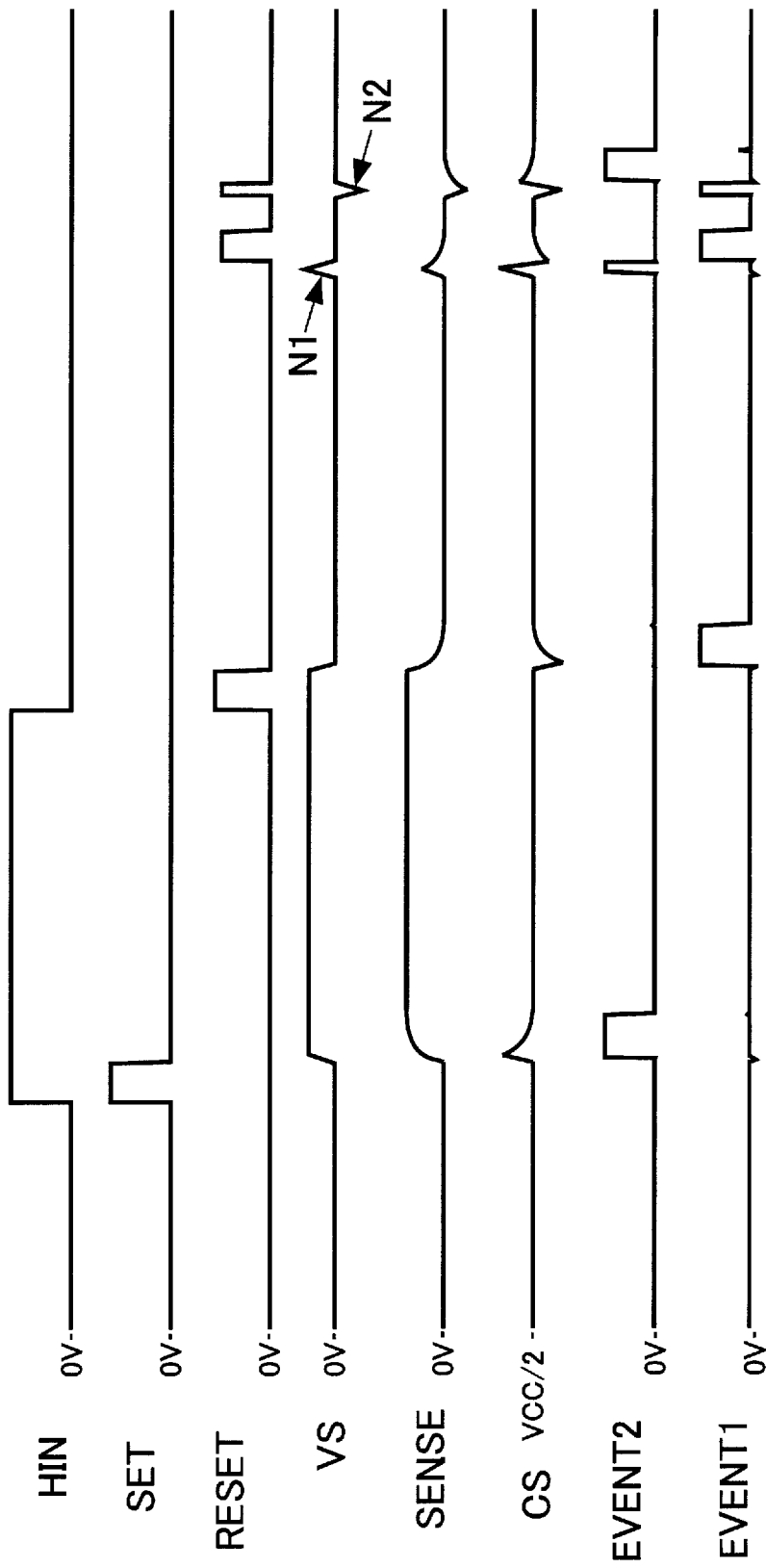
[図13]



19d



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/067038

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/16(2006.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16, H02M1/08, H02M7/48, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-79131 A (Mitsubishi Electric Corp.), 14 March 2003 (14.03.2003), entire text; all drawings & US 2003/0048116 A1 & DE 10235444 A1 & KR 2003-0021118 A & CN 1404209 A	1-14
A	JP 2003-101391 A (Mitsubishi Electric Corp.), 04 April 2003 (04.04.2003), entire text; all drawings & US 2003/0016054 A1 & DE 10232972 A1 & KR 2003-0009154 A & CN 1399405 A	1-14
A	JP 2007-243254 A (Matsushita Electric Industrial Co., Ltd.), 20 September 2007 (20.09.2007), entire text; all drawings & US 2007/0210780 A1	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2014 (04.09.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/16(2006.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/16, H02M1/08, H02M7/48, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-79131 A（三菱電機株式会社）2003.03.14, 全文, 全図 & US 2003/0048116 A1 & DE 10235444 A1 & KR 2003-0021118 A & CN 1404209 A	1 - 1 4
A	JP 2003-101391 A（三菱電機株式会社）2003.04.04, 全文, 全図 & US 2003/0016054 A1 & DE 10232972 A1 & KR 2003-0009154 A & CN 1399405 A	1 - 1 4
A	JP 2007-243254 A（松下電器産業株式会社）2007.09.20, 全文, 全図 & US 2007/0210780 A1	1 - 1 4

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 9 . 2 0 1 4

国際調査報告の発送日

1 6 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6