



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월19일
(11) 등록번호 10-0776903
(24) 등록일자 2007년11월08일

(51) Int. Cl.

G11C 11/407 (2006.01)

(21) 출원번호 10-2006-0036608
(22) 출원일자 2006년04월24일
심사청구일자 2006년04월24일
(65) 공개번호 10-2007-0104727
공개일자 2007년10월29일

(56) 선행기술조사문헌
KR 1020050040551 A
KR KR1020040021478 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

조광준

서울 성북구 석관1동 168-71, 2층

구기봉

충북 청주시 상당구 금천동 부영아파트 703-1404

(74) 대리인

신영무

전체 청구항 수 : 총 10 항

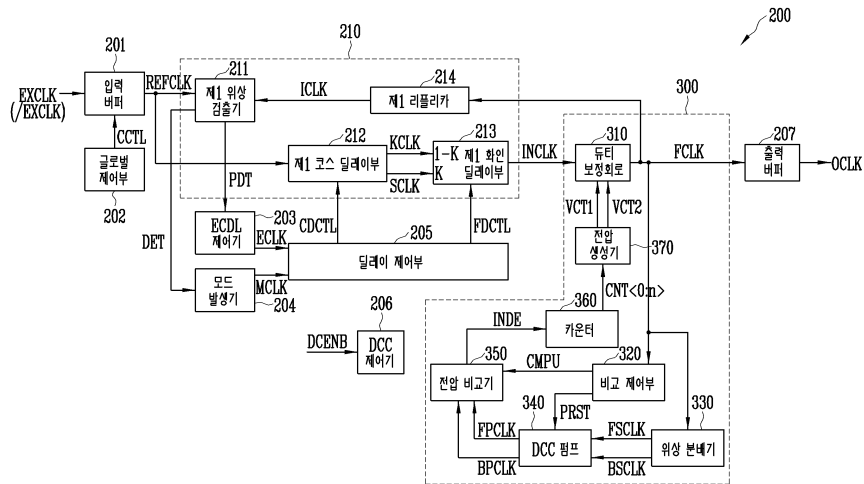
심사관 : 이선택

(54) 지연 고정 루프

(57) 요약

본 발명은 반도체 메모리 장치의 디지털 듀티 사이클 보정회로에 관한 것으로, 내부클럭의 듀티를 보정하여 출력 클럭을 출력하는 듀티 보정회로, 상기 출력클럭과 동일한 위상의 제 1 클럭과 상기 제 1 클럭과 상반된 위상의 제 2 클럭을 발생하는 위상 분배기, 상기 출력클럭에 응답하여 펌프 리셋 신호와 비교 제어 신호를 발생하는 비교 제어부, 상기 펌프 리셋 신호에 응답하여 상기 제 1 클럭 및 제 2 클럭을 펌핑하여 제 1 펌핑클럭과 제 2 펌핑클럭을 발생하는 DCC 펌프, 상기 비교 제어 신호와 상기 제 1 펌핑클럭 및 제 2 펌핑클럭의 전압레벨을 감지하고 증감신호를 발생하는 전압 비교기, 상기 증감신호에 응답하여 카운터 신호를 출력하는 카운터 및 상기 카운터 신호에 응답하여 상기 듀티 보정회로의 보정량을 제어하기 위한 전압 생성기를 포함하고, 지연 고정 루프에서 캐패시터에 인가되는 전압의 차를 이용하여 회로 내부의 딜레이를 조절 함으로써 출력클럭의 딜레이를 조절하여 듀티를 보정할 수 있고, 이로 인해 전류소모와 면적을 최소화할 수 있으며, 고속 동작에서도 우수한 성능을 유지할 수 있는 듀티 보정회로를 구성할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

외부클럭을 인가받고 지연된 내부클럭을 발생하는 지연 고정 루프;
 상기 내부클럭의 듀티를 보정하여 출력클럭을 출력하는 듀티 보정회로;
 상기 출력클럭에 응답하여 상기 출력클럭과 동일한 위상의 제 1 클럭과 상기 제 1 클럭과 상반된 위상의 제 2 클럭을 발생하는 위상 분배기;
 상기 출력클럭에 응답하여 펌프 리셋 신호와 비교 제어 신호를 발생하는 비교 제어부;
 상기 펌프 리셋 신호에 응답하여 상기 제 1 클럭 및 제 2 클럭을 펌핑하여 제 1 펌핑클럭과 제 2 펌핑클럭을 발생하는 DCC 펌프;
 상기 비교 제어 신호와 상기 제 1 펌핑클럭 및 제 2 펌핑클럭의 전압레벨을 감지하고 증감신호를 발생하는 전압 비교기;
 상기 증감신호에 응답하여 카운터 신호를 출력하는 카운터; 및
 상기 카운터 신호에 응답하여 상기 듀티 보정회로의 보정량을 제어하기 위한 적어도 하나 이상의 전압을 생성하는 전압 생성기를 포함하는 디지털 듀티 사이클 보정회로.

청구항 2

제 1 항에 있어서, 상기 듀티 보정회로는,
 상기 내부클럭을 입력받아 버퍼링하여 제 1 입력클럭과 제 2 입력클럭을 출력하는 버퍼부;
 상기 전압 생성기의 출력에 따라 상기 제 2 입력클럭의 딜레이를 제어하여 딜레이 신호를 발생하는 딜레이 조절부;
 상기 제 1 입력클럭과 상기 딜레이 신호에 응답하여 제 1 로직신호를 출력하는 낸드 게이트; 및
 상기 제 1 로직신호와 상기 딜레이 신호에 응답하여 듀티가 보정된 상기 출력클럭을 발생하는 플립플롭부를 포함하는 디지털 듀티 사이클 보정회로.

청구항 3

제 2 항에 있어서, 상기 딜레이 조절부는,
 캐패시터를 포함하는 디지털 듀티 사이클 보정회로.

청구항 4

제 3 항에 있어서, 상기 캐패시터들은,
 MOS 형태의 트랜지스터로 구성되는 디지털 듀티 사이클 보정회로.

청구항 5

제 2 항에 있어서, 상기 플립플롭부는,
 상기 딜레이 신호와 상기 듀티 보정회로의 출력에 응답하여 제 2 로직신호를 발생하는 제 1 낸드 게이트;
 상기 제 1 로직신호와 상기 제 2 로직신호에 응답하여 상기 출력클럭을 발생하는 제 2 낸드 게이트를 포함하는 디지털 듀티 사이클 보정회로.

청구항 6

제 1 항에 있어서, 상기 DCC 펌프는,
 상기 제 1 클럭과 상기 제 2 클럭을 인가받아 듀티 불일치를 판별하고 특정 레벨 이상 또는 이하로 펌핑하여 상기 제 1 펌핑클럭과 상기 제 2 펌핑클럭을 출력하는 디지털 듀티 사이클 보정회로.

청구항 7

제 1 항에 있어서, 상기 전압 비교기는,

상기 비교 제어 신호에 응답하여 인가된 상기 제 1 펄핑클럭과 상기 제 2 펄핑클럭의 레벨을 비교하여 하이펄스 폭의 증가 또는 감소를 결정하고, 상기 카운터에 증가 또는 감소되는 신호를 출력하는 디지털 듀티 사이클 보정 회로.

청구항 8

제 7 항에 있어서,

상기 인가되는 제 1 펄핑클럭을 감지하여 특정 레벨보다 높을 때는 증가신호를 출력하고, 특정 레벨보다 낮을 때는 감소신호를 출력하는 디지털 듀티 사이클 보정회로.

청구항 9

제 1 항에 있어서, 상기 카운터는,

상기 증감신호의 비트를 2진수로 변환하여 상기 카운터 신호로 출력하는 디지털 듀티 사이클 보정회로.

청구항 10

제 1 항에 있어서, 상기 전압 생성기는 상기 듀티 보정회로의 딜레이 시간을 조절하기 위해 서로 대칭 또는 비 대칭의 제 1 제어신호와 제 2 제어신호를 출력하는 디지털 듀티 사이클 보정회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 지연 고정 루프의 디지털 듀티 사이클 보정회로에 관한 것이다.
- <10> 일반적으로, DDR SDRAM에서는 외부클럭(clock)에 동기 되어 데이터가 클럭의 라이징 에지(rising edge)와 폴링 에지(falling edge)에서 입력 및 출력동작이 이루어진다. 그러므로, DDR SDRAM의 독출 동작에 의해 외부로 출력 되는 데이터는 외부 클럭의 라이징 및 폴링 에지의 타이밍과 정확히 일치해야 한다. 따라서, DDR SDRAM은 자체 회로의 내부에서 외부 클럭을 인가받아 일정한 시간 지연을 준 내부 클럭을 발생시켜 데이터의 출력을 제어해야 한다. 그리고, 상기와 같은 내부 클럭을 발생시키는 회로로는 지연 고정 루프(delay locked loop; 이하 DLL) 또는 위상 고정 루프(phase locked loop; 이하 PLL)가 있다. 또한, DLL 또는 PLL을 사용시 외부 입력 클럭의 듀티(하이 펄스와 로우 펄스의 비율)가 왜곡되어도 데이터의 출력은 듀티가 50대 50인 경우에 신호 보전율이 매우 좋다. 따라서, DDR2 이상의 회로에서는 내부 회로에서 외부 클럭의 듀티를 감지하여 출력시에 데이터의 출력을 제어하는 클럭이 50대 50이 되도록 하는 듀티 사이클 보정(duty cycle corrector; 이하 DCC) 회로가 반드시 필요하다.
- <11> 도 1은 종래의 지연 고정 루프의 개략적인 블록도이다. 지연 고정 루프(100)는 입력버퍼(101), 글로벌 제어부(102), 제 1 지연부(110), 제 2 지연부(120), ECDL 제어기(103), 모드 발생기(104), 딜레이 제어부(105), 위상 제어부(130), DCC 제어기(106), 더미 출력버퍼(107) 및 출력버퍼(108)를 포함한다. 제 1 지연부(110)는 제 1 위상 검출기(111), 제 1 코스 딜레이 부(112), 제 1 화인 딜레이 부(113) 및 제 1 리플리카(114)를 더 포함한다. 제 2 지연부(120)는 제 2 위상 검출기(121), 제 2 코스 딜레이 부(122), 제 2 화인 딜레이 부(123) 및 제 2 리플리카(124)를 더 포함한다. 위상 제어부(130)는 제 1 DCC 위상 혼합기(131), 제 2 DCC 위상 혼합기(132) 및 제 3 위상 검출기(133)를 더 포함한다.
- <12> DCC 회로는 아날로그 타입(analog type)과 디지털 타입(digital type)이 사용된다. 아날로그 타입의 DCC 회로는 높은 정확도를 가지나 고속 동작이 어렵다. 반면에, 디지털 타입은 고속 동작은 가능하지만 회로의 면적을 많이 차지하고 소모 전력이 크다.

발명이 이루고자 하는 기술적 과제

<13> 따라서, 본 발명이 이루고자 하는 기술적 과제는 지연 고정 루프에서 캐패시터에 인가되는 전압의 차를 이용하여 회로 내부의 딜레이를 조절 함으로써 출력 펄스의 듀티를 보정할 수 있고, 또한 전력소모와 면적을 최소화하고, 고속 동작에서도 우수한 성능을 유지할 수 있는 듀티 보정회로를 제공하는 데 있다.

발명의 구성 및 작용

<14> 상기한 기술적 과제를 달성하기 위한 본 발명에 따른 듀티 보정회로는, 외부클럭을 인가받고 지연된 내부클럭을 발생하는 지연 고정 루프, 상기 내부클럭의 듀티를 보정하여 출력클럭을 출력하는 듀티 보정회로, 상기 출력클럭에 응답하여 상기 출력클럭과 동일한 위상의 제 1 클럭과 상기 제 1 클럭과 상반된 위상의 제 2 클럭을 발생하는 위상 분배기, 상기 출력클럭에 응답하여 펌프 리셋 신호와 비교 제어 신호를 발생하는 비교 제어부, 상기 펌프 리셋 신호에 응답하여 상기 제 1 클럭 및 제 2 클럭을 펌핑하여 제 1 펌핑클럭과 제 2 펌핑클럭을 발생하는 DCC 펌프, 상기 비교 제어 신호와 상기 제 1 펌핑클럭 및 제 2 펌핑클럭의 전압레벨을 감지하고 증감신호를 발생하는 전압 비교기, 상기 증감신호에 응답하여 카운터 신호를 출력하는 카운터 및 상기 카운터 신호에 응답하여 상기 듀티 보정회로의 보정량을 제어하기 위한 적어도 하나 이상의 전압을 생성하는 전압 생성기를 포함하는 디지털 듀티 사이클 보정회로를 포함한다.

<15> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<16> 도 2는 본 발명의 지연 고정 루프의 개략적인 블록도이다. 지연 고정 루프(200)는 입력버퍼(201), 글로벌 제어부(202), 지연부(210), ECDL 제어기(203), 모드 발생기(204), 딜레이 제어부(205), DCC 제어기(206), 듀티 보정부(300) 및 출력버퍼(207)를 포함한다. 지연부(210)는 제 1 위상 검출기(211), 제 1 코스 딜레이 부(212), 제 1 확인 딜레이 부(213) 및 제 1 리플리카(214)를 더 포함한다. 듀티 보정부(300)는 듀티 보정회로(310), 기준 클럭 발생기(320), 위상 분배기(330), DCC 펌프(340), 전압 비교기(350), 카운터(360) 및 전압 생성기(370)를 더 포함한다. 입력버퍼(201)는 외부클럭(EXCLK)을 수신하고, 레퍼런스 클럭(REFCLK)을 출력한다. 글로벌 제어부(202)는 주기적으로 토글되는 글로벌 클럭신호(CCTL)를 발생한다. 제 1 위상 검출기(211)는 레퍼런스 클럭(REFCLK)과 기준클럭(ICLK)의 위상을 비교하고, 그 비교 결과에 따라 제 1 검출신호(PDT)와 제 2 검출신호(DET)를 출력한다. ECDL 제어기(203)와 모드 발생기(204)는 각각 제 1 검출신호(PDT)와 제 2 검출신호 응답하여 제 1 제어클럭(ECLK)과 제 2 제어클럭(MCLK)을 출력한다. 딜레이 제어부(205)는 제 1 제어클럭(ECLK)과 제 2 제어클럭(MCLK)에 응답하여 제 1 지연 제어 신호(CDCTL)와 제 2 지연 제어 신호(FDCTL)를 출력한다. 제 1 코스 딜레이 부(212)는 제 1 지연 제어 신호(CDCTL)에 응답하여 코스 지연 시간을 조절하고, 그 조절된 코스 지연 시간 동안 레퍼런스 클럭(REFCLK)을 지연시키고, 코스 지연 클럭 신호들(FCLK, SCLK)을 출력한다. 제 1 리플리카(214)는 출력클럭(FCLK)을 설정시간동안 지연시키고 기준클럭(ICLK)을 출력한다. DCC 제어기(206)는 DCC 인에이블 신호(DCENB)에 응답하여 인에이블 된다. 듀티 보정회로(310)는 내부클럭(INCLK)에 응답하여 펄스폭을 조절하고 출력클럭(FCLK)을 출력한다. 비교 제어부(320)는 출력클럭(FCLK)에 응답하여 비교 제어 신호(CMPU)와 펌프 리셋 신호(PRST)를 출력한다. 위상 분배기(330)는 출력클럭(FCLK)에 응답하여 제 1 클럭(FSCLK)과 제 2 클럭(BSCLK)을 발생한다. 바람직하게는, 제 1 클럭(FSCLK)은 인가된 출력클럭(FCLK)과 동일한 위상의 신호로 출력되고, 제 2 클럭(BSCLK)은 제 1 클럭(FCLK)과 상반된 위상의 신호로 출력된다. DCC 펌프(340)는 제 1 클럭(FSCLK)과 제 2 클럭(BSCLK)을 인가받아 듀티 불일치를 판별하고 특정 레벨 이상 또는 이하로 펌핑하여 제 1 펌핑클럭(FPCLK)과 제 2 펌핑클럭(BPCLK)을 출력한다. 전압 비교기(350)는 비교 제어 신호(CMPU)에 응답하여 제 1 펌핑클럭(FPCLK)과 제 2 펌핑클럭(BPCLK)의 전압 레벨을 비교하여 하이펄스 폭의 증가 또는 감소를 결정하고, 증감신호(INDE)를 발생한다. 바람직하게는, 전압 비교기(350)는 인가되는 제 1 펌핑클럭(FPCLK)을 감지하여 특정 레벨 이상일 때는 로직 하이의 상기 증감신호(INDE)를 출력하고, 특정 레벨 이하로 인가될 때는 로직 로우의 상기 증감신호(INDE)를 출력한다. 카운터(360)는 전압 증감신호(INDE)에 응답하여 2진수로 변환하고 카운터 신호(CNT<0:n>)를 출력한다. 전압 생성기(370)는 카운터 신호(CNT<0:n>)에 응답하여 제 1 제어신호와(VCT1)2 제어신호(VCT2)를 출력한다.

<17> 도 3은 도 2의 듀티 보정회로의 상세한 회로도이다. 상기 듀티 보정회로(310)는 버퍼부(311), 딜레이 조절부(312), 낸드게이트(NG1) 및 플립플롭부(313)를 포함한다. 버퍼부(311)는 복수의 인버터들(IV1-IV4)을 포함한다. 복수의 인버터들(IV1, IV2)은 내부클럭(INCLK)을 버퍼링하여 제 1 입력클럭(BCLK1)을 출력하고, 나머지 인버터

들(IV3, IV4)은 내부클럭(INCLK)을 버퍼링하여 제 2 입력클럭(BCLK2)을 출력한다. 딜레이 조절부(312)는 복수의 캐패시터들(CP1, CP2)을 포함할 수 있다. 제 1 캐패시터(CP1)는 PMOS 타입으로 구현될 수 있고, 제 2 캐패시터(CP2)는 NMOS 타입으로 구현될 수 있다. 제 1 캐패시터(CP1)와 제 2 캐패시터(CP2)는 각각 제 1 제어신호(VCT1)와 제 2 제어신호(VCT2)에 따라 제 2 입력클럭(BCLK2)에 딜레이를 준다. 그러면, 노드(N1)에는 제 2 입력클럭(BCLK2)과 위상이 같거나 또는 지연된 딜레이 신호(DCLK)가 인가된다. 낸드 게이트(NG1)는 제 1 입력클럭(BCLK1)과 딜레이 신호(DCLK)에 응답하여 제 1 로직신호(LP1)를 출력한다. 좀 더 상세하게는, 제 1 입력클럭(BCLK1)이 로직 하이로 인가되면, 딜레이 신호(DCLK)는 딜레이 된 시간만큼 후에 하이 상태로 된다. 그러면, 제 1 로직신호(LP1)는 하이 상태에서 딜레이된 시간 후에 로직 로우 상태로 바뀌게 된다. 플립플롭부(103)는 낸드 게이트들(NG2, NG3)을 포함한다. 제 2 낸드 게이트(NG3)는 딜레이 신호(DCLK)와 출력클럭(FCLK)에 응답하여 제 2 로직신호(LP2)를 출력한다. 제 1 낸드 게이트(NG2)는 제 1 로직신호(LP1)와 제 2 로직신호(LP2)에 응답하여 출력클럭(FCLK)을 발생한다.

<18> 본 발명의 또 다른 실시예로, 상기 캐패시터들(CP1, CP2) 대신에 저항(미도시)을 사용할 수 있다. 상기 저항(미도시)을 사용할 경우에는 온 또는 오프가 가능하게 하여 상기 저항(미도시)의 용량을 조절할 수 있도록 한다.

<19> 도 4는 도 2의 전압 생성기의 상세한 회로도이다. 전압 생성기(370)는 복수의 인버터(IT1~IT3), 스위칭 소자(SW1, SW2), PMOS 트랜지스터(PT), NMOS 트랜지스터(NT), 복수의 전달 게이트들(T1~Tn, G1~Gn), 저항들(R1~Rn, H1~H6, F1~Fn), 퓨즈들(FA1~FA6, FB1~FB4) 및 캐패시터들(CT1~CT4)을 포함한다. 전압 생성기(370)는 본 발명의 핵심인 듀티 보정회로(310)의 딜레이를 제어하기 위한 회로부 이므로 각 소자의 상세한 설명은 생략하도록 하겠다. 인에이블 신호(ENA)가 전압 생성기(370)에 인에이블 되면 제 1 스위칭 소자(SW1)는 접지전압(Vss)을 PMOS 트랜지스터(PT)에 전달하고, 제 2 스위칭 소자(SW2)는 전원전압(Vdd)을 NMOS 트랜지스터(NT)에 전달한다. 직렬 연결된 복수의 전달 게이트들(T1~Tn, G1~Gn)과 저항들(R1~Rn, H1~H6, F1~Fn) 및 퓨즈들(FA1~FA6)을 통하여 노드(M1)에 전압이 인가된다. 복수의 캐패시터들(CT1~CT4)과 복수의 퓨즈들(FB1~FB4)의 연결 상태에 따라 노드(M1)에 인가된 전압은 전압레벨이 조절된 제 1 제어신호(VCT1)로 바뀌게 되어 듀티 보정회로(310)로 인가된다. 본 발명의 일 실시예로 상기 도 2에서는 제 1 제어신호(VCT1)와 제 2 제어신호(VCT2)가 출력되도록 두 개의 전압 생성기(370)를 사용하지만, 사용 개수는 회로 구성에 따라 변동될 수 있다.

<20> 도 5는 도 3의 동작 타이밍도이다. H1 에서는, 내부클럭(INCLK)이 복수의 인버터(IV1, IV2)에 의해 지연되어 제 1 입력클럭(BCLK1)으로 출력된다. 제 2 입력클럭(BCLK2)도 제 1 입력클럭(BCLK1)과 동기되어 발생하게 된다. 이때, 제 1 제어신호(VCT1)와 제 2 제어신호(VCT2)의 레벨에 따라 캐패시터들(CP1, CP2)의 충전시간이 달라지며, 이에 의해 제 2 입력클럭(BCLK2)은 지연되어 노드(N1)에는 지연된 딜레이 신호(DCLK)가 인가된다. 딜레이 신호(DCLK)는 복수의 캐패시터들(CP1, CP2)의 용량에 의해 아날로그(analog)의 파형을 나타낸다. H2 에서는, 딜레이 신호(DCLK)가 완전히 로직 하이가 되어 낸드 게이트(NG1)는 로직 로우의 제 1 로직신호(LP1)를 출력한다. H3 에서는, 제 1 로직신호(LP1)는 제 2 입력클럭(BCLK2)이 로직 로우로 천이되고, 딜레이 신호(DCLK)도 로직 로우로 바뀌는 시간에 동기되어 로직 하이로 바뀌게 된다. 그러면, 지연에 의해 듀티가 보정된 출력클럭(FCLK)이 발생하게 된다.

<21> 따라서, 상기 캐패시터들(CP1, CP2)에 인가되는 전압을 조절하면 상기 캐패시터들(CP1, CP2)의 용량을 조절할 수 있고, 이에 따라 상기 딜레이 클럭신호(DCLK)의 딜레이를 제어할 수 있으므로 파인 튜닝(fine tuning)이 가능하다.

<22> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

<23> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체 메모리 장치의 디지털 듀티 싸이클 보정회로는, 지연 고정 루프에서 캐패시터에 인가되는 전압의 차를 이용하여 회로 내부의 딜레이를 조절 함으로써 출력클럭의 딜레이를 조절하여 듀티를 보정할 수 있고, 이로 인해 전류소모와 면적을 최소화할 수 있으며, 고속 동작에서도 우수한 성능을 유지할 수 있는 듀티 보정회로를 구성할 수 있다.

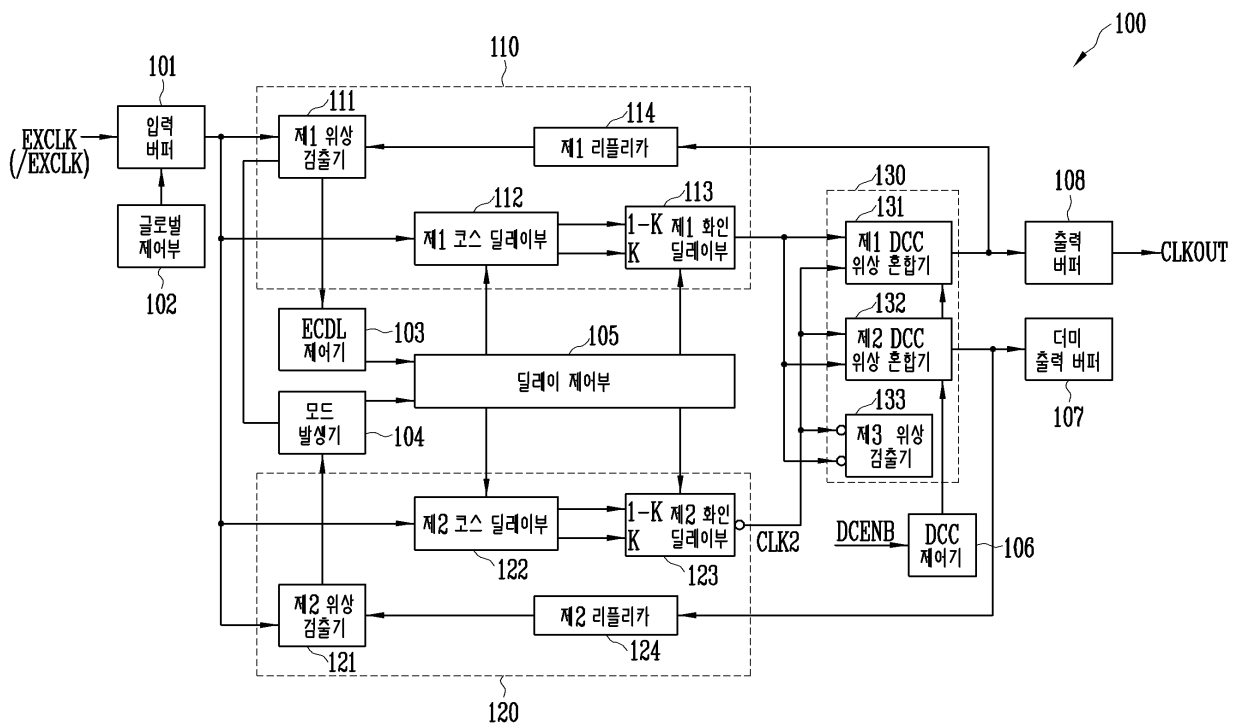
도면의 간단한 설명

<1> 도 1은 종래의 지연 고정 루프의 개략적인 블록도이다.

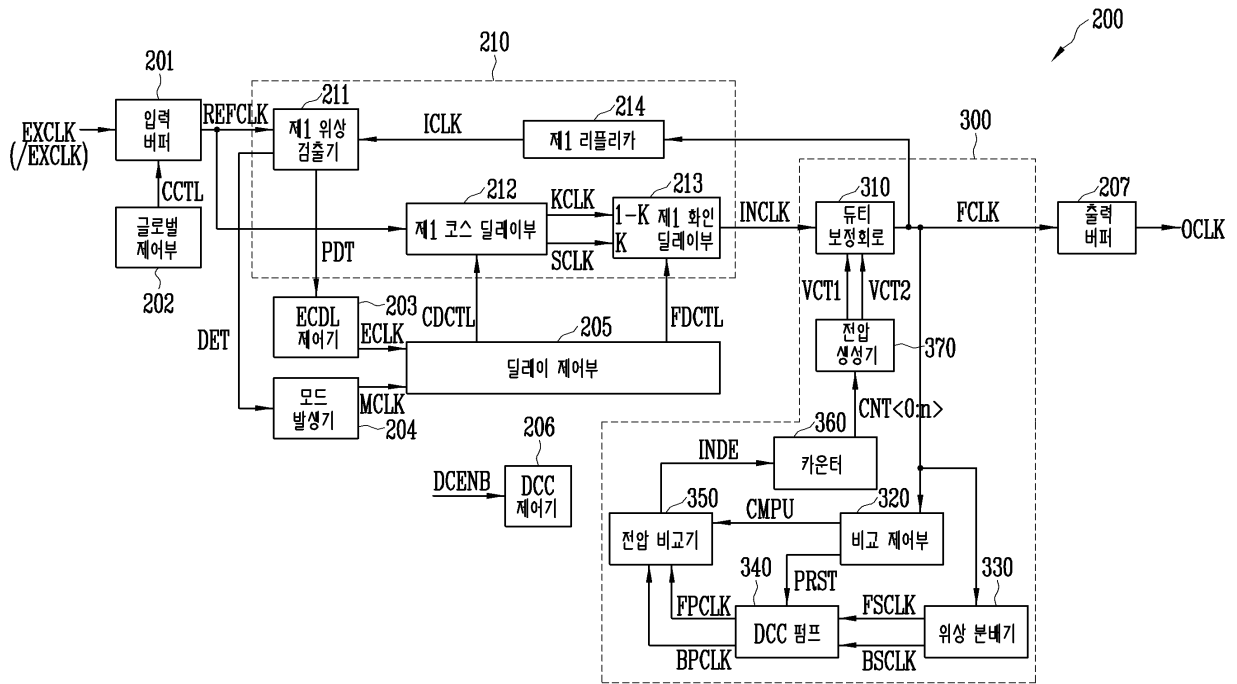
- <2> 도 2는 본 발명의 지연 고정 루프의 개략적인 블록도이다.
- <3> 도 3은 도 2의 듀티 보정회로의 상세한 회로도이다.
- <4> 도 4는 도 2의 전압 생성기의 상세한 회로도이다.
- <5> 도 5는 도 3의 동작 타이밍도이다.
- <6> <도면의 주요 부분에 대한 부호의 설명>
- <7> 110, 210 : 제 1 지연고정 루프 310 : 듀티 보정회로
- <8> 370 : 전압 생성기

도면

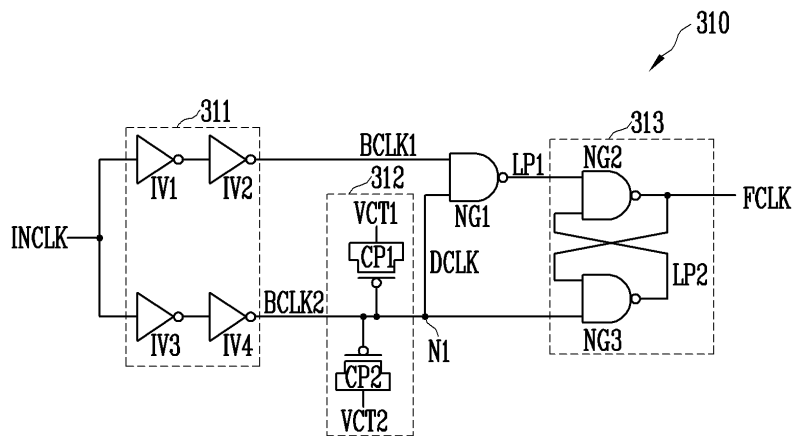
도면1



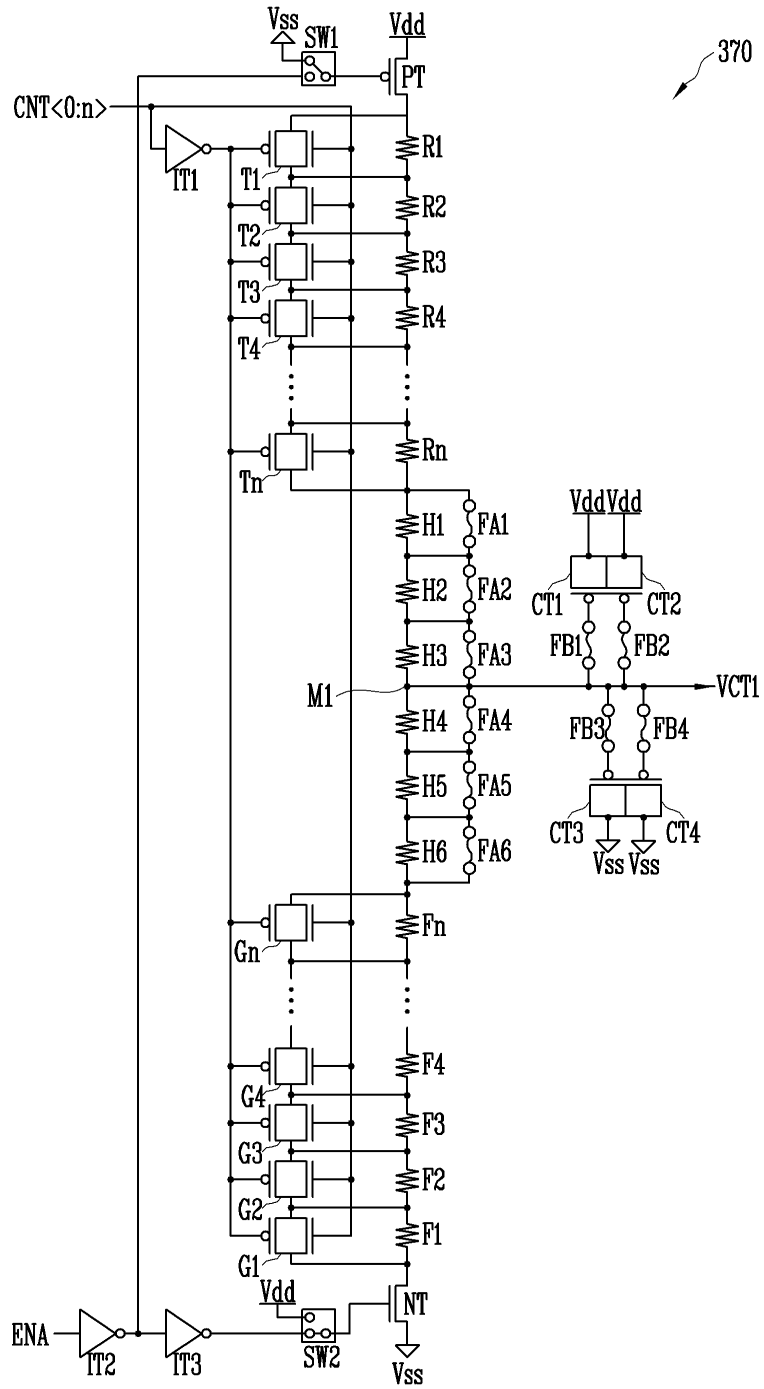
도면2



도면3



도면4



도면5

