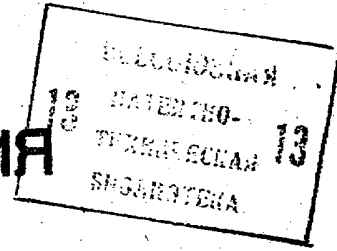




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (61) 497725
- (21) 3385471/18-21
- (22) 28.01.82
- (46) 30.04.83. Бюл.№16
- (72) С.Г. Андросенко, М.В. Динович, А.А. Морозов, В.В. Рафальский и А.Б. Тимофеев
- (71) Ордена Ленина институт кибернетики АН Украинской ССР
- (53) 681-325(088.8)
- (56) 1. Авторское свидетельство СССР № 497725, кл. Н 03 К 13/17, 08.09.72 (прототип).
- (54) (57) УСТРОЙСТВО ПРЕОБРАЗОВАНИЯ ВРЕМЕННЫХ ИНТЕРВАЛОВ В ДВОИЧНЫЙ КОД ДЛЯ ПРОЦЕССА СБОРА, ОБРАБОТКИ И ПЕРЕДАЧИ МНОГОКАНАЛЬНОГО ПОТОКА ИНФОРМАЦИИ по авт.св. № 497725, отличающееся тем, что, с целью повышения достоверности информации и быстродействия, в него введены блок контроля, запоминающее устройство, счетчик бит, блок анализа остатка, счетчик запрета, регистр интервала и преобразователь кодов, первые входы которого соединены с вы-

ходом блока временного интервала, выходы преобразователя кодов соединены с первыми входами счетчика бит, выходы блока анализа остатка соединены с первыми входами блока анализа остатка, а выходы блока анализа остатка соединены с третьими входами счетчика бит, с четвертыми входами процессора и входом счетчика запрета, выходы счетчика запрета соединены с пятыми входами процессора, вторыми входами запоминающего устройства и вторыми входами счетчика бит, а выходы счетчика бит соединены с третьими входами процессора, выходы регистра интервала соединены с вторыми входами блока анализа остатка, выходы блока контроля подключены к второму входу процессора, а выходы запоминающего устройства подключены к первым входам процессора, выходы процессора подсоединены к первым входам запоминающего устройства, вторым входам блока контроля, входу регистра интервала и к вторым входам преобразователя кодов.

(19) **SU** (11) **1015494** **A**

Изобретение относится к вычислительной технике и может использоваться при конструировании вычислительных машин и систем.

Известно устройство преобразования временных интервалов в двоичный код для процесса сбора, обработки и передачи многоканального потока информации, содержащее регистр адреса массива двоичных кодов, регистр адреса обработки, регистр конечного адреса обработки, блок сравнения, буферный регистр, счетчик и дешифратор, причем входы регистра адреса обработки, регистра адреса массива двоичных кодов и регистра конечного адреса обработки соединены с шиной чтения и шиной импульсов записи процессора, а выход регистра адреса обработки соединен с первым входом блока сравнения и входом процессора, выход регистра адреса массива двоичных кодов подключен к процессору, выход регистра конечного адреса обработки соединен с вторым входом блока сравнения, выход которого соединен с входом процессора, первый вход буферного регистра подключен к шине импульсов записи, а его выход соединен с входом процессора, шина импульсов записи через счетчик и дешифратор соединена с входом процессора, блок скорости канала, блок дополнения до бита, блок остатка преобразования и блок временного интервала, причем первые их входы соединены с шиной чтения, а вторые - с шиной импульсов записи процессора, выход регистра скорости соединен с третьим входом регистра дополнения до бита, выход которого подключен к входу процессора и третьему входу регистра временного интервала, выход которого соединен с вторым входом буферного регистра и входом процессора, выход буферного регистра остатка соединен с входом процессора [1].

Недостатком указанного устройства является сравнительно низкий уровень достоверности информации, не удовлетворяющий возросшего требования к параметру достоверность информации при создании средств вычислительной техники управления промышленными объектами. На промышленных объектах задача защиты информации от помех осложняется из-за значительного количества всевозможных энергоустановок, сварочного производства и т.д. Вместе с тем возрастает и требование к достоверности информации до уровня 10^{-8} .

Цель изобретения - повышение достоверности информации и быстродействия.

Поставленная цель достигается тем, что в устройство преобразования временных интервалов в двоичный код для процесса сбора, обработки и передачи многоканального потока инфор-

мации введены блок контроля, запоминающее устройство, счетчик бит, блок анализа остатка, счетчик запрета, регистр интервала и преобразователь кода, первые входы которого соединены с выходом блока временного интервала, выходы преобразователя кодов соединены с первыми входами счетчика бит, выходы блока анализа остатка соединены с первыми входами блока анализа остатка, а выходы блока анализа остатка соединены с третьими входами счетчика бит, с четвертыми входами процессора и входом счетчика запрета, выходы счетчика запрета соединены с пятыми входами процессора, вторыми входами запоминающего устройства и вторыми входами счетчика бит, а выходы счетчика бит соединены с третьими входами процессора, выходы регистра интервала соединены с вторыми входами блока анализа остатка, выходы блока контроля подключены к второму входу процессора, а выходы запоминающего устройства подключены к первым входам процессора, выходы процессора подключены к первым входам запоминающего устройства, вторым входам блока контроля, входу регистра интервала и к вторым входам преобразователя кодов.

Введенные блоки реализуют алгоритм контроля, который основан на применении матричного контроля в комбинации с методом предварительного анализа. Метод предварительного анализа основан на анализе байтов информации, не свернувшихся на четность.

На чертеже приведена функциональная схема предлагаемого устройства. Устройство состоит из регистра 1 адреса обработки, осуществляющего хранение очередного адреса массива временных меток канала, регистра 2 конечного адреса обработки, в котором хранится конечный адрес массива временных меток канала, преобразуемого в двоичный код, регистра 3 адреса массива двоичных кодов, фиксирующего адреса, по которым в процессор 4 осуществляется запись двоичных кодов, полученных в процессе преобразования массива временных меток, блока 5 сравнения, который реализует функции сравнения на равенство, записанных в регистре 1 адреса обработки и регистре 2 конечного адреса обработки, блока 6 скорости канала осуществляющего хранение кода длительности бита, определяющего скорость передачи данного канала, блока 7 остатка преобразования, в котором хранится значение "0" или "1" и код остатка предыдущего бита блока 8 дополнения до бита, осуществляющего в процессе преобразования хранение кода дополнения до бита,

блока 9 временного интервала, в котором хранится состояние временного интервала "0" или "1", код длительности временного интервала и значение бита "0" или "1", полученного в процессе преобразования временных интервалов в двоичный код, буферного регистра 10, в котором до занесения в процессор 4 накапливаются двоичные коды, полученные в результате преобразования временных меток, счетчика 11, подсчитывающего число битов, записываемых в буферный регистр 10, дешифратора 12, фиксирующего момент заполнения буферного регистра 10 в процессе преобразования, блока 13 контроля, выполняющего контроль данных, запоминающего устройства 14, хранящего адреса ячеек с информацией об анализируемом байте, счетчика 15 бит, осуществляющего накопление количества принятых бит исследуемого байта, блока 16 анализа остатка, осуществляющего сравнение остатка с заданным допустимым значением бита, счетчика 17 запрета, подсчитывающего количество битов с измененными знаками, преобразователя 18 кодов преобразует код разности значений моментов времени в количестве бит в соответствии с константой скорости обслуживаемого канала связи, шин 19, связывающих счетчик 11 с дешифратором 12, шины 20 выходной дешифратора 12, соединяющей его с процессором 4, шины 21 выходного блока 5 сравнения, соединяющей его с процессором 4, шины 22 импульсов записи процессора 4, соединяющей его с регистром 1 адреса обработки регистром 2 конечного адреса обработки, регистром 3 массива двоичных кодов, блоком 6 скорости канала, блоком 7 остатка преобразования, блоком 8 дополнения до бита, блоком 9 временного интервала, буферным регистром 10 и счетчиком 11, адресных шин 23, связывающих регистр 1 адреса обработки с входом процессора 4 и первым входом блока 5 сравнения выходных кодовых шин 24, связывающих выход регистра 2 конечного адреса обработки с вторым входом блока 5 сравнения, адресных шин 25, которые связывают регистр 3 адреса массива двоичных кодов с входом процессора 4, кодовых шин 26 чтения, по которым из процессора 4 осуществляется запись информации в регистр 1 адреса обработки, регистр 2 конечного адреса обработки, регистр 3 массива двоичных кодов, блок 6 скорости канала, блок 7 остатка преобразования, блок 8 дополнения до бита, блок 9 временного интервала, запоминающее устройство 14, блок 13 контроля, регистр 3 интервала и преобразователь 18 кодов, кодовых

шин 27, по которым двоичные коды, полученные в результате преобразования и хранящиеся в буферном регистре 10, записываются в процессор 4, выходных кодовых шин 28, которые соединяют выход блока 6 скорости с входом блока 8 дополнения до бита, выходных кодовых шин 29, связывающих блок 8 дополнения до бита с входами блока 9 временного интервала и процессора 4, выходных кодовых шин 30, соединяющих блок 7 остатка преобразования с входом процессора 4 и блоком 16 анализа остатка, выходных кодовых шин 31, которые соединяют выход блока 9 временного интервала с входами процессора 4, буферного регистра 10 и преобразователя 18 кодов, выходы преобразователя 18 соединены с первыми входами счетчика 15 бит, а выходы блока 16 анализа остатка соединены с третьими входами счетчика 15 бит, с четвертыми входами процессора 4 и входом счетчика 17 запрета, выходы счетчика 17 запрета соединены с пятыми входами процессора 4, вторыми входами запоминающего устройства 14 и вторыми входами счетчика 15 бит, а выходы счетчика 15 бит соединены с третьими входами процессора 4, выходы регистра интервала 32 соединены с вторыми входами блока 16 анализа остатка, выходы блока 13 контроля подключены к второму входу процессора 4, выходы запоминающего устройства 14 подключены к первым входам процессора 4.

Устройство работает следующим образом.

В процессоре 4 формируется массив временных меток, отражающий изменения состояний данного канала во времени. Массив представляет собой совокупность записей состояния канала в сопровождении кода текущего времени. Устройство управления процессора 4 последовательно по шинам 22 импульсов записи вырабатывает сигналы, по которым по кодовым шинам 26 чтения переписывается информация, задающая режим работы, из процессора 4 в устройство. Затем в процессор 4 по адресным шинам 23 переписывается из регистра 1 адреса обработки код адреса, по которому устройством управления процессора 4 осуществляется чтение начальной ячейки массива временных меток, при этом в процессоре 4 получаем код первого момента изменения состояния канала t_1 и состояние канала "0" или "1". По сигналу устройства управления процессора 4, который поступает по шинам 22 импульсов записи, в блок 9 временного интервала из процессора 4 по кодовым шинам 26 чтения переписывается состояние канала, после чего на регистр 1 адреса обработки поступает

сигнал из процессора 4 и формирует в нем код адреса следующей ячейки массива временных меток. Код нового адреса, по которому устройство управления процессора 4 осуществляет чтение следующей ячейки массива временных меток, поступает по адресным шинам 23 в процессор 4 и в нем получаем код времени второго момента изменения состояния канала в этот момент. В процессоре 4 осуществляется вычисление кода длительности временного интервала, представляющего собой разность значений кодов моментов времени t_2 и t_1 . Полученный результат по сигналу устройства управления процессора 4, поступающему по шинам 22 импульсов записи, переписывается в блок 9 временного интервала. После этого в процессоре 4 по выходным кодовым шинам 29 осуществляется перезапись кода дополнения до бита из блока 8 дополнения до бита и производится сравнение величин кодов длительности полученного временного интервала и дополнения до бита. Если при этом величина длительности временного интервала больше или равна величине дополнения до бита, то дальнейшая работа устройства осуществляется следующим образом.

В процессоре 4 производится вычисление разности значений временного интервала и дополнения до бита, полученное значение разности по сигналу устройства управления процессора 4, поступающему по шинам 22, записывается в блок 9 временного интервала, после чего в процессор 4 по выходным кодовым шинам 30 и 31 соответственно заносится код остатка из блока 7 остатка преобразования и код дополнения до бита из блока 8 дополнения до бита. В процессоре 4 производится сравнение величины остатка и дополнения до бита. Если величина остатка, то устройство управления процессора 4 вырабатывает сигнал, поступающий по шинам 22 импульсов записи, по которому в блоке 9 временного интервала формируется значение бита, после чего устройство управления процессора 4 вырабатывает сигналы, один из которых устанавливает в "0" блок 7 остатка преобразования, другой сигнал по шине 22 импульсов записи поступает в блок 8 дополнения до бита и осуществляется по выходным кодовым шинам 28 перепись в последний код длительности бита из блока 6 скорости, третий сигнал по шинам 22 осуществляет запись в первый разряд буферного регистра 10 из блока 9 временного интервала.

хранящегося в нем бита, полученного в результате преобразования временного интервала. Затем устройство управления процессора 4 вырабатывает сигнал, который осуществляет сдвиг на один разряд в буферном регистре 10 и увеличивает на единицу содержимое счетчика 11. После этого снова осуществляется сравнение величин временного интервала и дополнения до бита. Если величина временного интервала больше величины дополнения до бита, устройство осуществляет работу аналогично описанному до тех пор, пока величина дополнения до бита не станет больше величины длительности временного интервала. Если при сравнении в процессоре 4 величин дополнения до бита и остатка преобразования, величина дополнения до бита оказывается больше величины остатка, то устройство управления процессора 4 вырабатывает по шинам 22 импульсов записи сигнал, который осуществляет перепись состояния остатка из блока 7 остатка преобразования в блок 9 временного интервала, после чего работа устройства продолжается как и в предыдущем случае.

Если при сравнении кодов длительности временного интервала и кода дополнения до бита величина длительности будет меньше величины дополнения до бита, то в процессор 4 по выходным кодовым шинам 30 из блока 7 остатка преобразования переписывается код остатка и производится перепись состояний остатка из блока 7 остатка преобразования и временного интервала из блока 9 временного интервала. Если состояние остатка и временного интервала совпадают, в процессоре 4 происходит сложение величин остатка и длительности временного интервала. Результат сложения по сигналу устройства управления процессора 4, вырабатываемому по шинам 22 импульсов записи, переписывается в блок 7 остатка преобразования. После этого в процессор 4 по кодовым шинам 29 из блока 8 дополнения до бита переписывается код дополнения до бита и производится вычисление разности значений дополнения до бита и временного интервала. Полученный результат переписывается в блок 8 дополнения до бита. Если состояние остатка и временного интервала не совпадают и при этом величина остатка больше или равна длительности временного интервала, то в процессоре 4 происходит вычитание длительности временного интервала из величины остатка, а в дальнейшем работа устройства происходит как и в предыдущем случае. Если состояние

остатка и временного интервала не совпадают и при этом величина остатка меньше величины длительности временного интервала, то из величины длительности временного интервала вычитается величина остатка. Дальнейшая работа устройства происходит как и в предыдущих случаях, за исключением того, что в момент переписи из процессора 4 в блок 7 остатка из блока 9 временного интервала в этот же блок переписывается состояние временного интервала. Следующий цикл работы устройства происходит аналогично описанному.

Двоичные разряды, полученные в результате последовательных преобразований временных интервалов, накапливаются в буферном регистре, одновременно счетчик 11 осуществляет подсчет количества битов, поступающих в буферный регистр 10 и в момент, когда количество принятых в буферный регистр 10 битов будет равно количеству разрядов ячеек процессора 4, дешифратор 12 по шине 20 выходной дешифратора вырабатывает сигнал в устройство управления процессора 4, по которому в конце очередного цикла работы, согласно кода адреса, записанного в регистре 3 адреса массива двоичных разрядов, в массив двоичных разрядов процессора 4 из буферного регистра 10 переписываются коды, полученные в процессе преобразования. Далее устройство управления процессора 4 вырабатывает сигнал, увеличивающий содержимое регистра 3 адреса массива двоичных кодов на единицу, после чего начинается очередной цикл преобразования. Процесс преобразования продолжается до тех пор, пока блок 5 сравнения не зафиксирует равенство кодов, записанных в регистре 1 адреса обработки и регистре 2 конечного адреса обработки. В этом случае блок 5 сравнения по шине 21 выходной блока сравнения посылает в устройство управления процессора 4 сигнал, по которому в конце очередного цикла работы устройства преобразования временных интервалов в двоичные коды устройство управления процессора 4 по кодовым шинам 29 и 30 осуществляет запись в процессор 4 кодов дополнения до бита из блока 8 дополнения до бита, кода и состояния остатка из блока 7 остатка преобразования, которые будут использованы при последующих преобразованиях массива временных меток данного канала.

В центральном процессоре 4 по мере принятия байт из буферного регистра 10 формируются байты информации. Производится побайтная синхронизация в процессоре 4. Сформированные байты передаются в блок 13 контроля принимаемых пакетов, который осу-

ществляет матричный контроль. Блок 13 контроля состоит из стандартных схем свертки на четность по байтам и вертикальным столбцам принимаемого блока данных. Параллельно с посылкой байта из центрального процессора 4 в блок 13 контроля происходит последовательная перепись и регистрация адресов ячеек памяти, в которых записаны времена изменений состояний канала, относящиеся к контролируемому биту, в регистровое запоминающее устройство 14. В случае несвертки какого-то байта по четности блок 13 контроля вырабатывает импульс, по которому в процессоре 4 происходит запрет чтения содержимого регистра 3 адреса массива двоичных кодов. По этому же сигналу происходит перепись содержимого запоминающего устройства 14 в процессор 4. Устройство управления процессора 4 осуществляет чтение начальной ячейки массива временных меток испорченного байта информации, при этом в процессоре 4 получаем код момента состояния канала начала испорченного байта. По сигналу устройства управления процессора 4, который выдается им после считывания первого адреса из запоминающего устройства 14, происходит считывание следующего адреса из запоминающего устройства 14 в процессор 4 по адресным шинам контроля. В процессоре 4 получаем код длительности временного интервала, представляющий собой разность значений кодов моментов времени начала байта t_1 и следующего изменения знака этого же байта t_2 , т.е. $t_2 - t_1$. Полученный результат по сигналу устройства управления процессора 4, поступающему по шинам 16 импульсов записи, переписывается в блок 9 временного интервала. В блок 7 остатка преобразования заносится код остатка, полученного в результате преобразования в процессоре 4.

По шинам 30 код остатка поступает в блок 16 анализа остатка, который состоит из двух схем сравнения. На вход блока 16 анализа остатка поступает код значения из регистра 32 интервала. Значение Δt определяется процессором 4 на основании статистического анализа ошибок. Полученное оптимальное значение Δt переписывает в регистр 32 интервала.

В блоке 16 анализа остатка производится проверка условия $t \sigma / 2 - \Delta t < t_3 < t \sigma / 2 + \Delta t$. При выполнении этого условия в процессор 4 по шине от счетчика запрета посылается сигнал о замене знака исследуемого бита на противоположный. Одновременно из блока 16 анализа интервала поступает сигнал на счетчик 15 бит, в который записано количество полученных бит

в результате преобразования интервала $t_2 - t_1$. Код преобразованного значения по шинам 31 поступает на преобразователь 18 кодов, который состоит из схем деления и регистра константы скорости, где код преобразуется в количество бит. Из преобразователя 18 кодов значение количества бит переписывается в счетчик 15 бит. Это значение получается путем деления полученного кода на константу скорости, полученную из процессора 4. Импульс, записанный в счетчик 15 бит из блока 16 анализа остатка, увеличивает содержимое счетчика на "1".

В случае появления в байте двух или более битов, удовлетворяющих условию $t\sigma/2 - \Delta t < t_3 < t\sigma/2 + \Delta t$, возникает неопределенная ситуация. Для этого существует счетчик 17 запрета, в который поступит по шине из блока 16 анализа остатка сигнал о наличии бита, длительность которого

удовлетворяет вышеописанному условию. В случае появления двух и более таких бит по выходным шинам производится сброс счетчика 15 бит, а в процессор 4 и в блок 13 контроля засылается сигнал о необходимости перевода блока 13 контроля в режим обычного матричного контроля.

Предлагаемое устройство благодаря новой совокупности элементов и связей позволяет по сравнению с известным более эффективно производить прием информации. Предлагаемые дополнительные элементы позволяют повысить достоверность ошибок на переданный бит информации и за счет этого сократить количество переспросов, а следовательно, повысить эффективную скорость обмена.

Кроме того, предлагаемое устройство применяется в средствах телеобработки при высоком уровне воздействия помех на обслуживаемые каналы связи.

