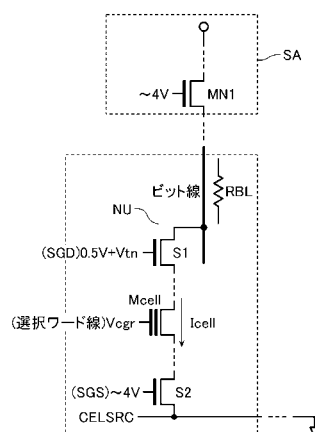




【特許請求の範囲】**【請求項 1】**

選択ゲートトランジスタを介してビット線に接続されるメモリセルと、
前記ビット線に電流を供給するための電流源を備えて、前記メモリセルのセル電流によってそのセルデータを検知するセンスアンプと、
読み出し時、前記メモリセルのドレイン・ソース間電圧を前記ビット線の抵抗によらず実質的に一定に保つように、前記選択ゲートトランジスタのゲートを駆動する選択ゲート線ドライバと、
を有することを特徴とする半導体記憶装置。

【請求項 2】

複数のメモリセルが直列接続されて N A N D ストリングを構成し、その一端が前記選択ゲートトランジスタを介して前記ビット線に接続される
ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記選択ゲート線ドライバは、
電源端子と接地端子の間に基準電流源、ダイオード接続された第 1 及び第 2 の N M O S トランジスタ、及び第 1 の抵抗素子が直列接続された基準電圧発生回路と、
電源端子と接地端子の間に前記第 1 及び第 2 の N M O S トランジスタとそれぞれゲートが共通接続された第 3 及び第 4 の N M O S トランジスタと第 2 の抵抗素子とが直列接続されて、前記第 3 及び第 4 の N M O S トランジスタの接続ノードが前記選択ゲートトランジスタのゲートに供給される電圧出力ノードとなる電圧出力回路とを有する
ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

前記第 1 の N M O S トランジスタと第 3 の N M O S トランジスタのチャネル長 / チャネル幅の比が、前記第 1 の抵抗素子と第 2 の抵抗素子の抵抗値比と等しく設定されている
ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】

前記第 3 及び第 4 の N M O S トランジスタはそれぞれ、前記選択ゲートトランジスタと同一サイズの複数トランジスタの並列接続により構成されている
ことを特徴とする請求項 3 記載の半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、半導体記憶装置に係り、特に大容量化した記憶装置でのビット線抵抗の影響を考慮したセンス方式に関する。

【背景技術】**【0002】**

電氣的書き換え可能な不揮発性半導体記憶装置 (E E P R O M) の一つとして、N A N D 型フラッシュメモリが知られている。N A N D 型フラッシュメモリの読み出しや書き込みベリファイに用いられるセンスアンプとして、選択メモリセルに例えば 0 . 5 V のドレイン・ソース間電圧を印加して選択メモリセルが流すセル電流を判定する、電流検出型センスアンプが知られている (例えば特許文献 1 参照) 。このセンス方式では、センス時の選択メモリセルのドレイン・ソース間電圧は、ビット線端にあるセンスアンプ内のクランプトランジスタのゲート電圧によって制御する。

【0003】

微細化・高集積化・大容量化が進んでいる N A N D 型フラッシュメモリにおいては、ビット線抵抗が高抵抗化し、ビット線抵抗による電圧降下によってメモリセルのドレイン・ソース間電圧の制御がしにくくなってきている。実際に従来のセンス方式では、メモリセルのドレイン・ソース間に印加される電圧は、ビット線抵抗による電圧降下の分だけクランプ電圧よりも低くなってしまう。

10

20

30

40

50

【 0 0 0 4 】

これにより、メモリセルのドレイン・ソース間電圧が実質的に減ると、セル電流が減少し、例えば十分にしきい値電圧の低い消去セルであっても消去セルとして読まれない、といった誤読み出しが起こる可能性がある。

【特許文献 1】特開 2 0 0 6 - 5 0 0 7 2 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

この発明は、誤読み出しの可能性を低減した半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 6 】

この発明の一態様による半導体記憶装置は、

選択ゲートトランジスタを介してビット線に接続されるメモリセルと、

前記ビット線に電流を供給するための電流源を備えて、前記メモリセルのセル電流によってそのセルデータを検知するセンスアンプと、

読み出し時、前記メモリセルのドレイン・ソース間電圧を前記ビット線の抵抗によらず実質的に一定に保つように、前記選択ゲートトランジスタのゲートを駆動する選択ゲート線ドライバと、

を有することを特徴とする。

20

【発明の効果】

【 0 0 0 7 】

この発明によると、誤読み出しの可能性を低減した半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 0 8 】

以下、図面を参照して、この発明の実施の形態を説明する。

【 0 0 0 9 】

図 1 は、一実施の形態による N A N D 型フラッシュメモリの機能ブロックを示し、図 2 はそのメモリコア部の構成を示している。メモリセルアレイ 1 は、図 2 に示すように、複数のメモリセル M 0 - M 3 1 が直列接続された N A N D セルユニット (N A N D ストリング) N U を配列して構成されている。

30

【 0 0 1 0 】

メモリセルは、浮遊ゲートと制御ゲートが積層された M O S トランジスタ構造を有し、その浮遊ゲートに電子を注入してしきい値を高くした状態と、電子を放出させてしきい値を低くした状態とを、データとして利用する。或いは浮遊ゲート構造に代わって、ゲート絶縁膜内に電荷トラップを備えて、同様のデータ記憶を行うセル構造を用いることも出来る。

【 0 0 1 1 】

N A N D ストリング N U の一端は、選択ゲートトランジスタ S 1 を介してビット線 B L に接続され、他端は選択ゲートトランジスタ S 2 を介して共通ソース線 C E L S R C に接続されている。メモリセル M 0 - M 3 1 の制御ゲートはそれぞれワード線 W L 0 - W L 3 1 に接続され、選択ゲートトランジスタ S 1 , S 2 のゲートはそれぞれ選択ゲート線 S G D , S G S に接続されている。

40

【 0 0 1 2 】

ワード線及び選択ゲート線を選択駆動するためにロウデコーダ 2 が設けられている。ビット線 B L は、センスアンプ回路 3 に接続されている。図 2 では、センスアンプ回路 3 として、ビット線毎に設けられた 1 ページ分のセンスアンプ S A を有する例を示している。例えば隣接ビット線が一つのセンスアンプを共有し、一方のビット線が選択されてセンスアンプに接続される方式とすることもできる。

50

【 0 0 1 3 】

1ワード線により同時に選択されるメモリセルの集合は、1ページを構成し、これが同時読み出し及び書き込みの単位となる。ワード線を共有するNANDストリングの集合は、消去単位となるブロックを構成する。メモリセルアレイ1は通常、図2に示すようにビット線方向に複数のブロックBLK0 - BLKnを配置して構成される。

【 0 0 1 4 】

センスアンプ回路3の1ページの読み出しデータは、カラムデコーダ5により制御されてカラム単位でデータ線を転送され、I/Oバッファ9を介して外部I/Oパッドに出力される。書き込み時は、1ページの書き込みデータがカラム単位でI/Oバッファ9を介してセンスアンプ回路3にロードされる。

10

【 0 0 1 5 】

I/Oバッファ9を介して入力されるコマンドは、コントローラ8でデコードされ、動作制御に供される。I/Oバッファ9を介して入力されるアドレスは、アドレスレジスタ6を介してロウデコーダ2及びカラムデコーダ5に送られる。

【 0 0 1 6 】

コントローラ8は、コントロールパッドから供給される各種制御信号(チップイネーブル、コマンドラッチイネーブル、アドレスラッチイネーブル、書き込みイネーブル、読み出しイネーブル等)及びコマンドに基づいて、読み出し制御及び書き込みや消去のシーケンス制御を行う。

【 0 0 1 7 】

各動作モードに必要な各種の高電圧を発生するために、高電圧発生回路7が設けられている。この高電圧発生回路7もコントローラ8により制御される。

20

【 0 0 1 8 】

コアコントロールドライバ4は、コントローラ8により制御されて、ロウデコーダ2で選択されたブロック内の各ワード線及び選択ゲート線を動作モードに応じて駆動する電圧を発生するドライブ回路である。

【 0 0 1 9 】

図4は、コアコントロールドライバ4内の一部、選択ゲート線(SGD)ドライバ40の構成を示している。動作モードに応じて選択ゲート線SGDを駆動するために、読み出し時のSGD電圧発生回路41、高速書き込み時のSGD電圧発生回路41b、低速書き込み時のSGD電圧発生回路41c、消去時のSGD電圧発生回路41d、消去ベリファイ時のSGD電圧発生回路41e等が用意される。

30

【 0 0 2 0 】

これらの電圧発生回路41a - 41eの出力電圧は、それぞれレベルシフト回路LSにより駆動される転送トランジスタM11a - M11eにより、電圧降下なしの選択ゲート線SGDに転送されるようになっている。

【 0 0 2 1 】

図3は、センスアンプSAの主要部構成を示している。これは、特許文献1に開示されているものと基本的に同じである。センスアンプSAは、クランプ用NMOSTランジスタMN1及びビット線切り離し用NMOSTランジスタMN2を介してビット線BLに接続されるセンスノードSENを有する。センスノードSENにはキャパシタCが接続され、またプリチャージ用PMOSTランジスタMP1が接続されている。PMOSTランジスタMP1は例えば、500nA程度の電流源であり、オン時ゲートには0Vが与えられる。

40

【 0 0 2 2 】

センスノードSENは、センス用PMOSTランジスタMP3のゲートに接続されている。PMOSTランジスタMP3のソースは、センス時にストロブ信号STによりオン駆動されるPMOSTランジスタMP2を介して電源Vddに接続される。PMOSTランジスタMP3のドレインに得られるセンス出力は、ラッチLATに取り込まれる。

【 0 0 2 3 】

50

P M O S トランジスタ M P 3 のドレインには、リセット用 N M O S トランジスタ M N 3 が接続されている。先のビット線切り離し用 N M O S トランジスタ M N 2 は、ラッチ L A T のデータに応じてオンオフされる。

【 0 0 2 4 】

読み出し時、P M O S トランジスタ M P 1 をオンにして、センスノード S E N を V_{dd} に充電する。一方選択 N A N D ストリングでは、選択ゲートトランジスタをオンにし、選択ワード線に読み出し電圧を、非選択ワード線には、非選択セルをデータによらずオンさせる読み出しパス電圧を印加する。読み出し時のビット線電圧は、ほぼクランプ用 N M O S トランジスタ M N 1 のゲート制御電圧 B L C により決まる。

【 0 0 2 5 】

その後、プリチャージ用 P M O S トランジスタ M P 1 をオフにして、センスノード S E N を選択メモリセルのデータ状態に応じて放電させる。選択メモリセルがオフである “ 0 ” データ（即ち “ 0 ” セル）の場合は、センスノード S E N の放電はほとんどなく、“ 1 ” データの場合はセンスノード S E N が放電されて電位低下する。

【 0 0 2 6 】

そこで一定時間後、負のストロークパルス S T により P M O S トランジスタ M P 2 をオンにすると、セル電流に応じて決まるセンスノード S E N のレベルに応じて、P M O S トランジスタ M P 3 のオンオフが決まり、そのドレインの読み出し結果がラッチ L A T に取り込まれる。

【 0 0 2 7 】

以上がセンスアンプ S A の基本的な構成とセンス動作である。但しこの実施の形態においては、クランプ用トランジスタ M N 1 のゲート制御電圧 B L C の設定法が従来とは異なり、これをデータセンス時に、従来のようなビット線電圧クランプ用としては用いない。この点を、従来 of センス方式との比較において、以下に具体的に説明する。

【 0 0 2 8 】

まず図 7 は、従来 of センス方式でのセンスアンプ S A のクランプトランジスタ M N 1 からセルアレイ 1 内の選択された N A N D ストリング N U までの各部電圧関係を示している。選択メモリセル M c e l l のドレイン・ソース間に印加される電圧は、前述のようにセンスアンプ S A によりビット線電圧を制御することによって間接的に制御される。具体的にクランプ用トランジスタ M N 1 のゲート電圧を例えば、 $0.5V + V_{tn}$ （ V_{tn} はクランプ用トランジスタ M N 1 のしきい値電圧）として、ビット線電圧を $0.5V$ にクランプする。

【 0 0 2 9 】

選択 N A N D ストリング N U のビット線側選択ゲートトランジスタ S 1 及びソース線側選択ゲートトランジスタ S 2 のゲート（選択ゲート線 S G D 及び S G S ）には共に十分にオンする程度の電圧（ $\sim 4V$ ）が印加され、選択ワード線には読み出し用電圧 V_{cgr} が印加される。読み出し用電圧 V_{cgr} は、通常読み出し時と書き込みベリファイ読み出し時とは異なるが、いずれも選択セルのオンオフを判定するレベルに設定される。N A N D ストリング内の非選択セルは、読み出しパス電圧 V_{read} が与えられて、十分にオン抵抗の低い状態に設定される。

【 0 0 3 0 】

図 8 は、このようなバイアス関係での選択メモリセル M c e l l が “ 1 ” セルの場合の電圧 - 電流特性と動作点を、選択 N A N D ストリングがセンスアンプ端から遠い場合（即ちビット線抵抗 R B L が大きい場合）と近い場合（即ちビット線抵抗 R B L が小さい場合）について実線で示している。負荷直線は、このバイアス関係ではビット線抵抗 R B L が選択メモリセルの負荷として見える状態にあることを示している。

【 0 0 3 1 】

ビット線抵抗 R B L が小さい場合、ドレイン・ソース間電圧が V_{ds1} でセル電流は I_{cel1} となり、これはほぼメモリセル特性の飽和電流領域の電流である。これに対してビット線抵抗 R B L が大きい場合には、選択メモリセル M c e l l のドレイン・ソース

10

20

30

40

50

間電圧が V_{ds2} でセル電流は I_{cel12} となる。即ちビット線抵抗 R_{BL} によって大きくセル電流が制限され、これが誤読み出しの原因となる。

【0032】

より具体的に言えば、選択メモリセル M_{cel1} が十分に消去された、負しきい値状態の“1”セルであっても、ビット線抵抗 R_{BL} によってメモリセルのドレイン・ソース間電圧が実質的に小さくかつ、セル電流が小さくなる。このため、破線で示した“0”セル（正しい値の書き込みセル）と誤判定される可能性が生じる。

【0033】

これに対して、図9は、この実施の形態でのセンス方式の場合のセンスアンプ S_A のクランプ用トランジスタ M_{N1} からセルアレイ1内の選択された $NAND$ スtring NU までの各部電圧関係を示している。この実施の形態では、センスアンプ S_A 内のクランプ用トランジスタ M_{N1} のゲート電圧はトランジスタ M_{N1} が十分にオンする電圧、例えば $\sim 4V$ とし、代わって選択 $NAND$ スtring内のビット線側選択ゲートトランジスタ S_1 のゲートには、 $0.5V + V_{tn}$ (V_{tn} は、選択ゲートトランジスタのしきい値電圧) を与える。

【0034】

このようなバイアス関係にすれば、ビット線抵抗 R_{BL} の大小により、選択 $NAND$ スtringの選択ゲートトランジスタ S_1 のドレイン端電圧が異なるとしても、それが $0.5V$ 以上の範囲であれば、選択セル M_{cel1} の動作点に影響を与えない。即ちビット線抵抗 R_{BL} は選択メモリセル M_{cel1} の負荷抵抗としては見えず、選択ゲートトランジスタ S_1 のソース電圧 $0.5V$ がそのまま選択メモリセル M_{cel1} のドレインに印加される。

【0035】

従って、選択メモリセルが“1”セルの場合のセル特性と動作点は、図10の実線のようになり、そのドレイン・ソース間電圧は、ビット線抵抗によらず、実質的に一定 ($V_{ds} = 0.5V$) であり、セル電流 I_{cel1} も飽和電流領域の十分に大きいほぼ一定電流となる。これにより、ビット線抵抗 R_{BL} に起因する誤読み出しを防止することができる。書き込みベリファイ時の誤判定も同様の理由で防止される。

【0036】

以上のようなセンス動作を可能とするためには、図4に示した SGD ドライバ40内の読み出し時用の SGD 電圧発生回路41aの変更が必要となる。この点を、図5及び図6を参照して具体的に説明する。

【0037】

図5は、従来のセンス方式での読み出し用 SGD 電圧発生回路41aの構成である。 V_{dd} ($\sim 5V$) の電源端子と接地端子 V_{ss} の間に、基準電流源 CS_1 (基準電流 I_{ref})、ダイオード接続された $NMOS$ トランジスタ M_{21} 及び基準抵抗素子 R_1 (基準抵抗 R_{ref}) が直列接続されて、基準電圧発生回路51が構成されている。この基準電圧発生回路51により基準電圧 $I_{ref} \times R_{ref}$ が得られる。

【0038】

その基準電圧を出力するための電圧出力回路52として、 V_{dd} と V_{ss} の間に、 $NMOS$ トランジスタ M_{21} とカレントミラーを構成する $NMOS$ トランジスタ M_{22} と抵抗素子 R_2 が直列接続されて、ソースフォロアが構成されている。

【0039】

抵抗素子 R_1 と R_2 の抵抗値比は、トランジスタ M_{21} と M_{22} のチャネル長 L とチャネル幅 W の比 L/W に等しく設定される。例えば、トランジスタ M_{21} 、 M_{22} が同サイズであれば、抵抗 R_1 、 R_2 は同じ抵抗値とする。これにより、出力電圧 $I_{ref} \times R_{ref}$ を得ることができ、これが選択ゲートトランジスタのゲート電圧として供給される。

【0040】

これに対し、図6は、この実施の形態のセンス方式での読み出し用 SGD 電圧発生回路41aの構成である。図5の構成と異なる点は、基準電圧発生回路51に、電流源 CS_1

10

20

30

40

50

と抵抗 R_1 との間にダイオード接続した二つの NMOS トランジスタ M_{21} , M_{23} を介在させている点、これに対応して、電圧出力回路 52 にも二つの NMOS トランジスタ M_{22} , M_{24} を介在させて、これらの NMOS トランジスタ M_{22} , M_{24} の接続ノードを電圧出力ノードとしている点である。

【0041】

NMOS トランジスタ M_{22} のゲートは、 NMOS トランジスタ M_{21} のゲートと共通化され、 NMOS トランジスタ M_{24} のゲートは NMOS トランジスタ M_{23} のゲートと共通化されている。

【0042】

このような構成とすることにより、出力電圧は、 $I_{ref} \times R_{ref} + V_{tn}$ (V_{tn} は NMOS トランジスタのしきい値電圧) となり、従来方式より高い電圧を選択ゲート線 SGD に与えることができる。例えば、 $I_{ref} = 10 \mu A$ 、 $R_{ref} = 50 k\Omega$ として、得られる出力電圧は、 $0.5 V + V_{tn}$ になる。この出力電圧をより厳密に表現すれば、トランジスタ M_{24} の β 値を用いて、 $I_{ref} \times R_{ref} + V_{tn} + (2 I_{ref} / \beta)^{1/2}$ となる。

【0043】

実際にメモリセルのドレイン・ソース間電圧は、基準電流 I_{ref} 又は基準抵抗 R_{ref} により可変制御することが可能で、セル特性に応じて最適値に設定することができる。また、しきい値電圧 V_{tn} は温度で変化するため、トランジスタ M_{23} , M_{24} はメモリコア内部の選択ゲートトランジスタ S_1 の特性と限りなく似ているものが好ましく、例えば同じサイズのトランジスタを用いる。

【0044】

これらのトランジスタ M_{23} , M_{24} により大きなゲート幅 W が必要であれば、図 11 に示すように、これらをゲート幅の小さい NMOS トランジスタの並列接続により構成すればよい。このゲート幅の小さい単位 NMOS トランジスタを、セルアレイ内の選択ゲートトランジスタ S_1 と同じサイズのものとするにより、トランジスタ M_{23} , M_{24} の特性を選択ゲートトランジスタ S_1 と揃えることができる。

【図面の簡単な説明】

【0045】

【図 1】実施の形態による NAND 型フラッシュメモリのブロック構成を示す図である。

【図 2】同フラッシュメモリのメモリセルアレイ構成を示す図である。

【図 3】同フラッシュメモリのセンスアンプ構成を示す図である。

【図 4】同フラッシュメモリの選択ゲート線駆動回路部の構成を示す図である。

【図 5】従来の読み出し用 SGD 電圧発生回路を示す図である。

【図 6】実施の形態による読み出し用 SGD 電圧発生回路を示す図である。

【図 7】従来のセンス方式でのセンスアンプから選択 NAND ストリングまでの電圧関係を示す図である。

【図 8】従来のセンス方式での選択メモリセルの動作点のビット線抵抗依存性を示す図である。

【図 9】実施の形態のセンス方式でのセンスアンプから選択 NAND ストリングまでの電圧関係を示す図である。

【図 10】実施の形態のセンス方式での選択メモリセルの動作点を示す図である。

【図 11】読み出し用 SGD 電圧発生回路の変形例を示す図である。

【符号の説明】

【0046】

1 ... メモリセルアレイ、2 ... ロウデコーダ、3 ... センスアンプ回路、4 ... コアコントロールドライバ、5 ... カラムデコーダ、6 ... アドレスレジスタ、7 ... 高電圧発生回路、8 ... コントロール回路、9 ... I/O バッファ、40 ... 選択ゲート線 (SGD) ドライバ、41a - 41e ... SGD 電圧発生回路、51 ... 基準電圧発生回路、52 ... 電圧出力回路、 MU ... NAND ストリング、 $M_0 - M_{31}$... メモリセル、 S_1 , S_2 ... 選択ゲートトランジスタ

10

20

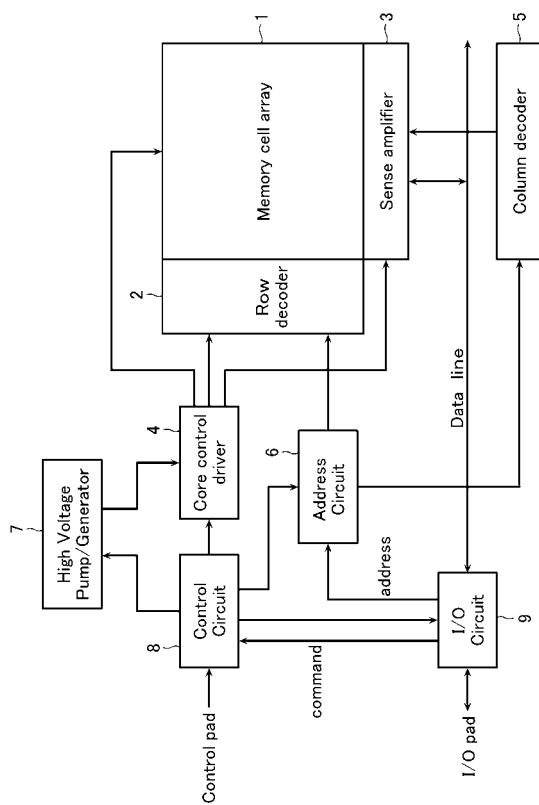
30

40

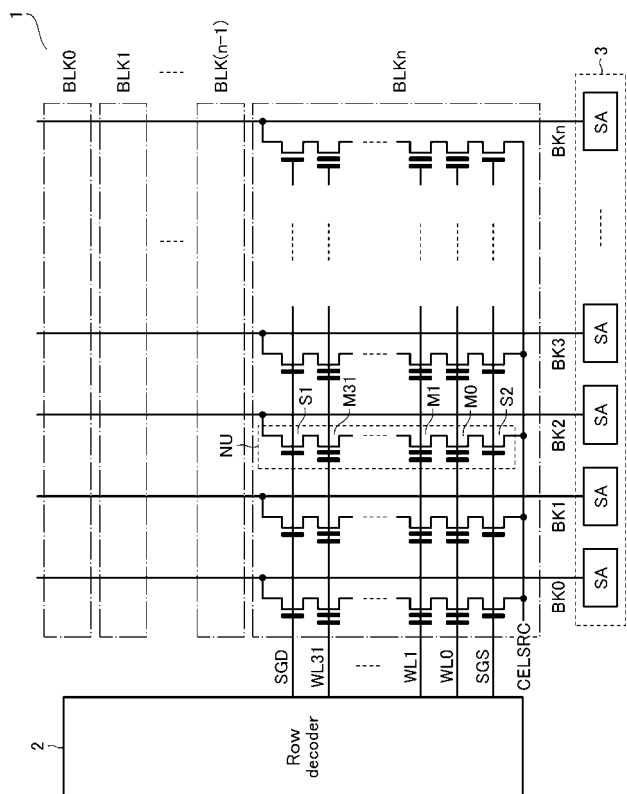
50

、 $C S 1 \dots$ 電流源、 $R 1, R 2 \dots$ 抵抗素子、 $M 2 1, M 2 2, M 3 2, M 2 4 \dots$ NMOS トランジスタ。

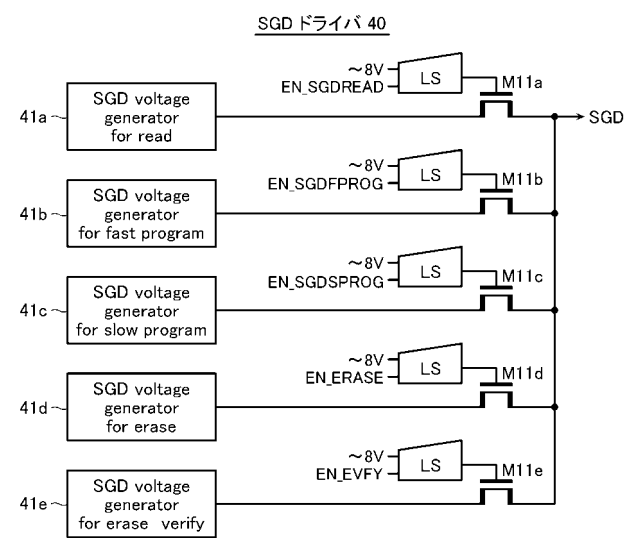
【図 1】



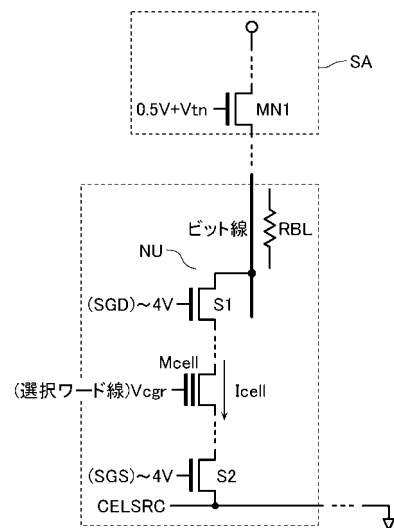
【図 2】



【 図 4 】



【圖 7】



SGD 電圧発生回路 41a

~5V Vdd

51 52

Iref CS1

M21 M22

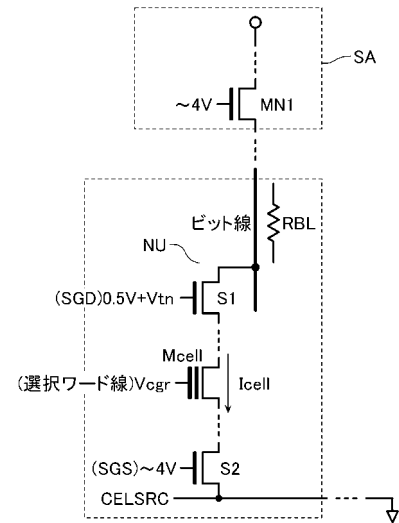
M23 M24

Rref R1 R2

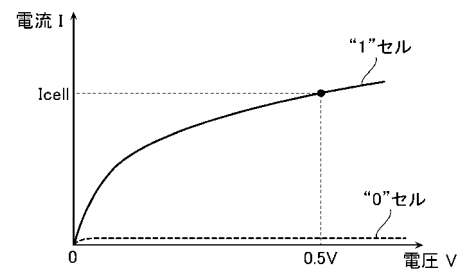
Vss

SGDREAD = Iref × Rref + Vtn

【 図 9 】



【 ㄨ 1 0 】



【 図 1 1 】

