

公告本

405231

申請日期	87.10.13
案 號	87116120
類 別	11011C ² /8247. G11C ¹ /407

A4
C4

(以上各欄由本局填註)

405231

發明專利說明書

一、發明 名稱	中 文	具有冗餘電路之半導體記憶體
	英 文	SEMICONDUCTOR MEMORY HAVING REDUNDANCY CIRCUIT
二、發明 創作人	姓 名	1.卡爾-彼得菲菲爾 (Karl-Peter PFEFFERL) 2.馬汀克爾 (Martin CALL)
	國 籍	1.德國 2.德國
	住、居所	1.德國賀漢克全D-85635馬屈互特威35號 2.美國佛蒙特州VT05403南布林頓大包依斯路21號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	1.雷哈特 (Reinhardt) 2.艾平 (Dr. Epping)

裝

訂

線

(由本局填寫)

承辦人代碼：	405231
大類：	
IPC 分類：	

C6
D6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， ☒ 有 ☐ 無主張優先權
1997 年 9 月 25 日 08/937570

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景

大致地，本發明有關半導體記憶體，且較特別地有關具有冗餘電路之半導體記憶體。

如本項技藝中已知，半導體記憶體含有一陣列之記憶體單元，以列及行之矩陣安排；列位址解碼器，用以選擇性地定址該等記憶體單元之諸列之一；以及行位址解碼器，用以選取該等記憶體單元之諸行之一。當半導體記憶體呈更高度積體時，晶片上之不良單元之數目會相對應地增加，典型地，該等不良係在預燒(burn-in)期間檢測出。現今，高密度記憶體含有冗餘記憶體單元，較特別地，列及行位址解碼器具有適用於去連接該等不良單元且有效地以製造在晶片上之冗餘單元來替換它們的列及行位址解碼器。使用來去連接該等不良單元及以該等冗餘單元來替換它們的技術係透過可熔接鏈接之使用。在燒入測試之後而在封裝之前，若發現記憶體單元不良時，則利用雷射來蒸發一部分之可熔接鏈接且藉此產生一開路。在該雷射已開路適當之可熔接鏈接之後，則封裝該晶片且重新測試該記憶體。在若干實例中，封裝製程本身會導致將產生之不良，因而破壞了該已封裝記憶體之有用性。

發明概述

根據本發明，記憶體係配置具有一陣列之記憶體單元，該陣列含有複數之正常記憶單元及一冗餘之記憶單元；解碼器係配置用以選取經定址之該等正常記憶體單元之一以

五、發明說明()

響應一位址及一正常情況之信號，以及採用來定址該冗餘之記憶體單元及一錯誤情況之信號；冗餘解碼器係配置具有電子式可抹除之唯讀記憶體單元，該冗餘解碼器係使用來產生正常情況之信號，且當該唯讀記憶體單元被程式規劃為一錯誤情況時，轉換該正常情況之信號為錯誤情況之信號。

該等唯讀記憶體單元之各一含有快閃記憶體單元，鐵電記憶體單元，或其他此種形式之電子式可抹除之唯讀記憶體單元其係實質地非揮發性且可保持其程式規劃之狀態相當長之週期時間。具有此一安排，則因為該電子式可抹除之唯讀記憶體單元係可電子式程式規劃，故可以在該記憶體封裝之後以一冗餘記憶體單元來替換一不良之正常記憶體單元。

根據本發明之另一特徵，記憶體係配置具有一陣列之記憶體單元，該陣列含有複數之列及行的正常記憶體單元以及一列及一行之冗餘記憶體單元；列解碼器係配置用以選取已定址之正常記憶體單元之該等列之一以響應一列位址及一正常列情況之信號，以及採用來定址該列之冗餘記憶體單元以響應於該列位址及一列錯誤情況之信號；行解碼器係配置用以選取已定址之正常記憶體單元之該等行之一以響應一行位址及一正常行情況之信號，以及採用來定址該行之冗餘記憶體單元以響應於該行位址及一行錯誤情況之信號；冗餘列解碼器具有第一複數之電子式可抹除之唯

五、發明說明()

讀記憶體單元，該冗餘之列解碼器係使用來產生正常列情況之信號，且當所選取之該第一複數之唯讀記憶體單元之一被程式規劃為一行錯誤情況時，轉換該正常列情況之信號為行錯誤情況之信號，所選取之該第一複數之唯讀記憶體單元係程式規劃為行錯誤情況以響應於具有一不良情況之記憶體單元的正常列之一；冗餘行解碼器具有第二複數之電子式可抹除之唯讀記憶體單元，該冗餘之行解碼器係使用來產生正常行情況之信號，且當所選取之該第二複數之唯讀記憶體單元之一被程式規劃為一行錯誤情況時，轉換該正常行情況之信號為行錯誤情況之信號，所選取之該第二複數之唯讀記憶體單元係程式規劃為行錯誤情況以響應於具有一不良情況之記憶體單元的正常行之一。

在本發明一實施例中，該陣列中之記憶體單元係動態隨機存取記憶體單元，亦即，DRAM單元。各唯讀記憶體單元含有一電晶體，該電晶體具有源極，汲極及閘極區，形成在相同於DRAM單元之半導體本體之中，一第一絕緣層係配置於閘極區之上，一第一浮動閘極係配置於該第一絕緣層之上，一第二絕緣層係配置於該第一浮動閘極之上，以及一第二閘極則配置於該第二絕緣層之上，該唯讀記憶體單元係以根據浮動閘極中所儲存之電荷予以程式規劃。

圖式簡單說明

本發明之其他特性以及發明本身將從下文之詳細說明結合下列圖式而呈較為明顯，其中：

五、發明說明()

第1圖係一根據本發明之記憶體之簡略示意圖；以及
第2圖係使用於第1圖之記憶體中之電子式可抹除唯讀
記憶體單元之圖示。

較佳實施例說明

現參閱第1圖，記憶體10係顯示具有一陣列12之記憶體單元14N，14R，例如該記憶體係隨機存取記憶體(RAM)電路，動態RAM(DRAM)電路，同步DRAM(SDRAM)電路，靜態RAM(SRAM)電路，或合併DRAM一邏輯器電路，或任一電路裝置。較特別地，該記憶體10包含複數列及行之正常記憶體單元14N以及一行及一列之冗餘記憶體單元14R。此處，為簡化以理解該記憶體10，僅顯示四列 $R_0 - R_3$ 及四行 $C_0 - C_3$ ，應理解的是，在一典型之記憶體中，將具有16，32或更多該等列及行。

配置有一列解碼器部分16，該列解碼器部分16含有一正常列解碼器18及一冗餘列解碼器19。該正常列解碼器18係用來選取已定址之正常記憶體單元14N之列 $R_0 - R_3$ 之一以響應一列位址，此處為一兩位元位址A、B，而一正常列情況之信號由冗餘解碼器19以即將描述之方式產生於線20上。此處只要說，在封裝該記憶體之後，若發現一正常記憶體單元14N在記憶體10之後封裝測試期間不良，則解碼器16之冗餘列解碼器19會以即將描述之方式被程式規劃以定址冗餘記憶體單元14R之列 R_N 於具有不良之正常記憶體單元14N之列 $R_0 - R_3$ 之處以響應該列位址A、B就夠了。

五、發明說明()

所以，如圖示，該正常列解碼器 18 含有複數之 AND 閘（及閘） $21_0 - 21_3$ ，各 AND 閘具有一輸出，連接於正常記憶體單元 14N 之列 $R_0 - R_3$ 之一。該列解碼器 18 含有一配對之反相器 19A、19B，各反相器如圖示分別地連接於位址位元 A 及 B，以分別產生互補之位址位元，亦即 $\bar{A}$ 、 $\bar{B}$ 。各 AND 閘 $21_0 - 21_3$ ，各 AND 閘 $21_0 - 21_3$ 被進給在線 20 上之信號，以及此外，下列信號： $A, \bar{B}$ ； $\bar{A}, B$ ； A, B ；及 $\bar{A}, \bar{B}$ 係分別地如示。所以假設在線 20 上之信號係邏輯 1，若線 A 及 B 上之位元係 00，則 AND 閘 21 之輸出為邏輯 1（亦即，在正常列情況中）而各 AND 閘 $21_1 - 21_3$ 之輸出為邏輯 0。因此，響應在 00 之 AB 上之列位址，則只有選取列 R_0 。以相類似之方式，01，10 及 11 之位址 AB 將分別地選取列 R_1 、 R_2 及 R_3 。應注意的是，若在線 20 上之邏輯信號為邏輯 0（亦即，在錯誤列情況中），則不予選取列 $R_0 - R_3$ 之任一。

冗餘列解碼器 19 具有第一複數之電子式可抹除唯讀記憶體單元 $30_1 - 30_4$ ，此處為四單元，該冗餘列解碼器 19 係使用在後封裝測試模式之期間來產生正常列情況之信號於線 20 之上。若在記憶體 10 封裝之後及該記憶體之後封裝測試檢測記憶體之後，該等列 $R_0 - R_3$ 之一中之正常記憶體單元 14N 係不良時，則冗餘列解碼器 19 係藉列冗餘程式終端 32R 上之信號而置於一程式規劃之情況。響應於終端 32R 上之信號及具有不良之正常單元 14N 之列 $R_0 - R_3$ 之一的位址，由該位址所選取之一配對之唯讀記憶體單元 $30_1 -$

五、發明說明()

30₄ 被程式規劃為一導通情況，而該冗餘解碼器 19 藉此轉換線 30 上之正常列情況之信號（亦即，邏輯 1）為列錯誤情況之信號（邏輯 0）。也就是說，在後測試之後，當發現一列之正常記憶體單元 14N 不良時，則所選取之第一複數唯讀記憶體單元 30₁ - 30₄ 之一會程式規劃為列錯誤情況以響應具有不良情況之記憶體單元 14N 之正常列 R₀ - R₃ 之一。

例如，若各唯讀記憶體單元 30₁ - 30₄ 係快閃記憶體單元，此處，其一典型者係顯示於第 2 圖中之單元 30₁，此單元 30₁ 含有一半導體本體，該半導體本體具有形成於其中之一源極區 S，一汲極區 D 及一配置於該源極與汲極區之間的閘極區。該閘極區具有一形成於其表面上之絕緣層，一摻雜之多晶矽層係形成於該絕緣層之上以提供一浮動閘極用於該單元，一第二絕緣層係配置於該浮動閘極之上，一閘極電極則配置在該第二絕緣層之上。應注意的是，該半導體本體同時具有 DRAM 單元 14N 及 14R 形成於其中，所以此時藉例如曝射浮動閘極於紫外光而去除在該浮動閘極之任何電荷，置該唯讀記憶體單元於非導通之情況中，且藉產生一電位於源極與閘極電極之間來穿隧電荷於該浮動閘極之中而程式規劃該唯讀記憶體單元於一導通之情況。

再參閱第 1 圖，應注意到，該等單元 30₁ - 4 之閘極電極係連接於列冗餘程式終端 32R。單元 30₁ - 30₄ 之汲極區 D 係分別地連接於線 A, B, A, B, 上之信號，如圖所示

五、發明說明()

。單元 30_1 及 30_2 之源極區 S 係連接一起且連接至 AND 閘 40 之一第一輸入，單元 30_3 及 30_4 之源極區 S 亦連接一起且連接至 AND 閘 40 之一第二輸入，AND 閘 40 之輸出係透過反相器 42 進給至線 20，因此在後封裝測試之後，具有施加於列冗餘程式終端 32R 之電壓及具有不良之列的位址，此處在此實例中係施加於列位址 AB 之列 R1，亦即， $A=0$ ， $B=1$ ，則單元 30_2 及 30_3 呈程式規劃，亦即，電荷穿隧進入其浮動閘極，造成此等單元 30_2 及 30_3 置於導通情況，所以當 01 之 AB 位址施加於列解碼器部分 16 之列 R1 之處時，會選取冗餘之列 RR，因為當 AND 閘 40 產生邏輯 1 之時，反相器 42 會在線 20 之上產生邏輯 0。

配置有一行解碼器部分 22，該行解碼器部分 22 係等效於列解碼器部分 16，含有一正常行解碼器 24 及一冗餘行解碼器部分 26。該正常行解碼器 24 係用來選取已定址之正常記憶體單元 14N 之行 $C_0 - C_4$ 之一以應一行位址，此處為一兩位元位址 C、D，而一正常行情況之信號由冗餘解碼器 26 以即將描述之方式產生於線 28 上。此處只要說，在封裝該記憶體之後，若發現一正常記憶體單元 14N 在記憶體 10 之後封裝測試期間不良，則解碼器部分 22 之冗餘行解碼器 24 會以即將描述之方式使用來定址冗餘記憶體單元 14R 之行 C_N 以響應行位址 C、D，及產生於線 28 上於具有不良之正常記憶體單元 14N 之行 $C_0 - C_3$ 處的行錯誤情況之信號就夠了。所以，假設在線 28 上之信號為邏輯 1，則 00、01、10、

五、發明說明()

及 11 之位址將分別地選取行 C_0 、 C_1 、 C_2 、及 C_3 。應注意的是，若在線 28 上之邏輯信號為邏輯 0，則將不選取行 $C_0 - C_3$ 。

該冗餘行解碼器 22 係等效於冗餘列解碼器 19，且具有一第二複數之電子式可抹除唯讀記憶體單元(未圖示)。該冗餘行解碼器 22 係用來產生正常行情況之信號於線 28 之上，且當所選取之第二複數之唯讀記憶體單元之一(未圖示)程式規劃時，用來轉換線 28 上之正常行情況之信號為行錯誤情況之信號以響應於冗餘行程式終端 32C 上之冗餘行程式信號，所選取之該第二複數之唯讀記憶體單元之一被程式規劃為行錯誤情況以響應具有一不良情況之記憶體單元之正常行之一。

其他實施例係涵蓋於附錄 A 申請專利範圍之精神及範疇。

五、發明說明 ()

主要元件之對照表

10	記憶體
12	陣列
14N, 14R	記憶體單元
16	列解碼器部分
18	正常列解碼器
19	冗餘列解碼器
19A, 19B, 20	反相器線
21 ₀ - 21 ₃	及閘
22	行解碼器部分
24	正常行解碼器
26	冗餘行解碼器部分
28	線
30 ₁ - 30 ₄	電子式可抹除唯讀記憶體
32R	列冗餘程式終端
40	及閘
42	反相器

(請先閱讀背面之注意事項再填寫本頁)

訂

26

四、中文發明摘要(發明之名稱： 具有冗餘電路之半導體記憶體)

一種記憶體具有一陣列之記憶體單元，該陣列具有複數之正常記憶體單元及一冗餘記憶體單元；一解碼器，係配置用以選取已定址之該等正常記憶體單元之一，以響應一位址及一正常情況之信號，且用來定址該冗餘記憶體單元以響應該位址及一錯誤情況之信號；一冗餘解碼器，係配置具有一電子式可抹除唯讀記憶體單元，該冗餘解碼器係用來產生該正常情況之信號，且當該唯讀記憶體單元被程式規劃為一錯誤情況時，轉換該正常情況之信號為該錯誤情況之信號，各該等唯讀記憶體單元含有快閃記憶體單元，鐵電記憶體單元，或其他此種形式之電子式可抹除唯讀記憶體單元其係本質地非揮發性的，且能保持其所程式規劃之狀態一相當長之週期時間，具有此一安排，因為該電子式可抹除唯讀記憶體單元可以以一冗餘記憶體單元來替換，而該記憶體係封裝的。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

405231

四、中文發明摘要 (發明之名稱: SEMICONDUCTOR MEMORY HAVING
REDUNDANCY CIRCUIT)

A memory having an array of memory cells. The array includes a plurality of normal memory cells and a redundant memory cell. A decoder is provided for selecting an addressed one of the normal memory cells in response to an address and a normal condition signal and adapted address the redundant memory cell in response to the address and a fault condition signal. A redundant decoder is provided having an electronically erasable read-only-memory cell. The redundant decoder is adapted to produce the normal condition signal and to convert the normal condition signal into the fault condition signal when such read-only-memory cell is programmed into a fault condition. Each one of the read-only memory cells include a flash memory cell, a ferroelectric memory cell, or other such type of electronically erasable read-only memory cell which is substantially non-volatile and is able to retain its programmed state for a relatively long period of time. With such an arrangement, because the electronically erasable read-only-memory cell is electronically programmable, a defective normal memory cell may be replaced with a redundant memory cell the memory is packaged.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

六、申請專利範圍

1. 一種記憶體，包含：

一陣列之記憶體單元，該陣列具有複數之正常記憶體單元及一冗餘記憶體單元；

一解碼器，用以選取已定址之該等正常記憶體單元之一，以響應一位址及一正常情況之信號，且用來定址該冗餘記憶體單元以響應該位址及一錯誤情況之信號；以及

一冗餘解碼器，具有一電子式可抹除唯讀記憶體單元，該冗餘解碼器係用來產生該正常情況之信號，且當該唯讀記憶體單元被程式規劃為一錯誤情況時，轉換該正常情況之信號為該錯誤情況之信號。

2. 一種記憶體，包含：

一陣列之記憶體單元，該陣列具有複數列之正常記憶體單元及一系列之冗餘記憶體單元；

一解碼器，用以選取已定址之正常記憶體單元之該等列之一，以響應一位址及一正常情況之信號且用來定址該列之冗餘記憶體單元以響應該位址及一錯誤情況之信號；以及

一冗餘解碼器，具有複數之電子式可抹除唯讀記憶體單元，該冗餘解碼器係用來產生該正常情況之信號，且當所選取之該等唯讀記憶體單元之一被程式規劃為一錯誤情況時，轉換該正常情況之信號為該錯誤情況之信號，所選取之該等唯讀記憶體單元之一被程式規劃為該錯誤

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

情況以響應一具有不良情況之記憶體單元之該等正常

列之一

一種記憶

陣列

記憶體單元以及一

列解碼器，用以選取已定址

等列之一以響應一列位

定址該列之冗餘記

情況之信號；

一行解碼器，用以選取已定址之正

等行之一以響應一行位址及一正常列

定址該行冗餘記憶體單元以響應該行位址及一行錯誤

情況之信號；

一冗餘解碼器，且有一第一複數之電

讀記憶元，該冗餘列解碼器係用來產生該正常列情

況之信號，且當所選取之該第一複數之唯

之一被程式規劃為一列錯誤情況時，轉換該正常列情

之信號為該錯誤列情況之信號，所選取之該第一複數之

唯讀記憶元之一被程式規劃為該列錯誤情況以響應

於具有一不良情況之記憶體

及

一冗餘解碼器，且有一第一複數之電子式可抹除唯

讀記憶元，該冗餘行解碼器係用來產生該正常行情

況之信號；

及

一冗餘解碼器，且有一第一複數之電子式可抹除唯

讀記憶元，該冗餘行解碼器係用來產生該正常行情

況之信號；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

- 況之信號，且當所選取之該第二複數之唯讀記憶單元之一被程規劃為一行錯誤時，轉換該正常行情況之信號為該行錯誤情況之該第二複數之唯讀記憶單元之一被程規劃為一行錯誤情況以響應於具有一行錯誤情況之記憶單元。
4. 如申請專利範圍第3項之記憶單元含有快閃記憶單元，其中各該第一及第二複數之唯讀記憶單元含有快閃記憶單元。
5. 如申請專利範圍第3項之記憶單元含有鐵電記憶單元，其中各該第一及第二複數之唯讀記憶單元含有鐵電記憶單元。
6. 如申請專利範圍第3項之記憶單元含有電晶體，該電晶體具有源極，汲極及閘極區，形成於一半導體本體之中；一第一絕緣層，配置在該閘極區之上；一第一浮動閘極，配置在該第一絕緣層之上；一第二絕緣層，配置在該第一浮動閘極之上；以及一第二閘極，配置在該第二絕緣層之上。
7. 如申請專利範圍第6項之記憶單元，其中該第一閘極含有摻雜之多晶矽。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

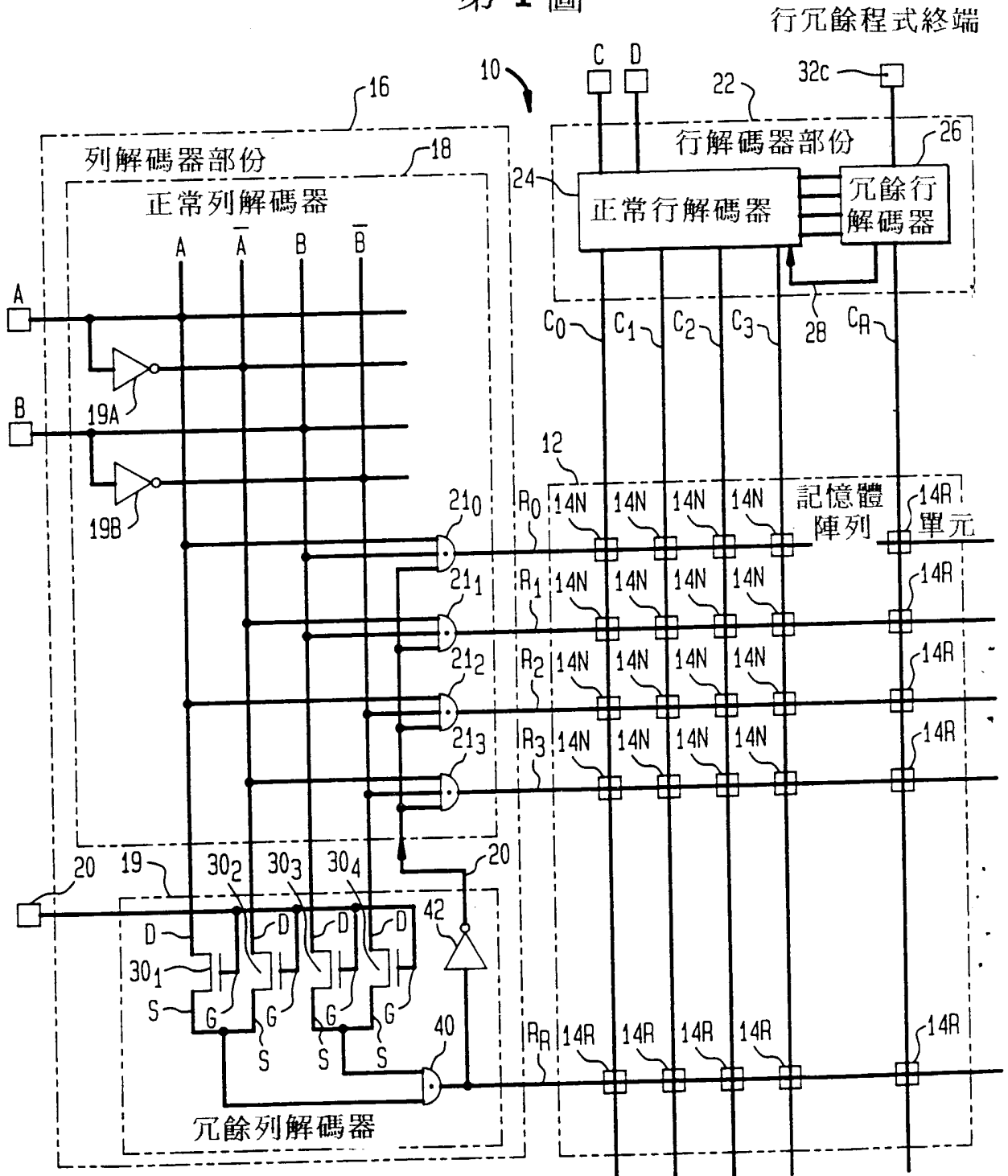
87116120

97 P 7622

1/2

405231

第 1 圖



405231

2/2

第 2 圖

