



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월04일
(11) 등록번호 10-0835484
(24) 등록일자 2008년05월29일

(51) Int. Cl.

H04B 1/10 (2006.01)

- (21) 출원번호 10-2001-0079914
- (22) 출원일자 2001년12월17일
심사청구일자 2006년11월06일
- (65) 공개번호 10-2002-0048889
- (43) 공개일자 2002년06월24일
- (30) 우선권주장 2468/00 2000년12월18일 스위스(CH)
- (56) 선행기술조사문헌
JP 09-311179 A*
JP 10-173627 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

아스라브 쏘시에떼 아노님

스위스연방, 체하-2074 마린, 루 데스 소르스 3

(72) 발명자

피에르-앙드레, 파린

스위스연방, 체하-2000뉴차텔, 포트-로란트12

진-다니엘, 에티엔

스위스연방, 체하-2206래스제네베이스-스트-코프란, 루트드반넬31

(뒷면에 계속)

(74) 대리인

강명구, 강석용

전체 청구항 수 : 총 8 항

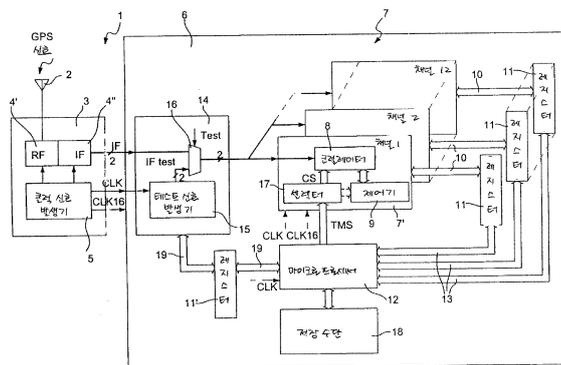
심사관 : 김정훈

(54) 특정 코드에 의한 변조 신호용수신기에 대한 상관 및 복조회로

(57) 요약

특히 의사-임의 코드 고주파 신호 수신기(1)용의 상관 및 복조 회로(6)는 정상 동작 모드나 테스트 모드에서 상관 스테이지를 구성하기 위한 제어 수단(12)에 연결되는 상관 스테이지(7)를 포함한다. 정상 동작시에, 상기 스테이지는 수신기로부터 변조 신호를 수신하기 위한 수단(3)에서 정형되는 고주파 신호에 상응하는 중간 신호(IF)를 수신한다. 상기 중간 신호는 코드 발생기(25)에 의해 공급되는 코드 발생기(25)에 의해 공급되는 제 1 코드의 사본으로 상기 상관 스테이지(7)의 코릴레이터 제어 루프(8)에서 상관된다. 코드 발생기(25)는 고주파 신호의 의사-임의 코드보다 짧은 반복 길이의 의사-임의 코드 사본을 발생시키도록 제어 수단(12)을 통해 적응된다. 줄어든 의사-임의 코드를 가지는 중간 테스트 신호(IFtest)는 상관 스테이지(7)에 공급되어, 기존 중간 신호의 경우보다 더 빠르게 페루프 동작에서 상관 스테이지를 나타내는 테스트를 실행한다.

대표도



(72) 발명자

룬드, 리엠-비스

스위스연방, 체하-2000뉴차텔, 에베뉴드벨래바우스3

엘함, 피로우지

스위스연방, 체하-2514리게르즈, 도르프가쎄51

특허청구의 범위

청구항 1

다수의 위성으로부터 신호들을 수신하기 위한 수신기(1)용의 상관 및 복조 회로(6)에 있어서, 위성으로부터의 신호들은 지정 반복 길이의 제 1 코드에 의해 변조되고, 상기 제 1 코드는 상기 신호를 송신하는 소스를 형성하고, 상기 회로는 상관 스테이지(7)를 포함하며, 정상 동작 모드나 테스트 모드로 상기 상관 스테이지를 구성하기 위한 제어 수단(12)에 상기 상관 스테이지(7)가 연결되며, 정상 동작시에 상기 상관 스테이지는 수신기의 변조 신호 수신 수단(3)에서 정형된 변조 신호에 상응하는 중간 신호(IF)를 수신하는 것을 의도하고, 상기 중간 신호는 코드 발생기(25)에 의해 공급되는 제 1 코드의 사본을 가지는 상기 상관 스테이지(7)의 코릴레이터 제어 루프(8)에서 상관되며,

테스트 단계에서, 제 1 코드에 의해 변조되는 신호에서보다 빨리 페루프 동작에서 상관 스테이지를 나타내는 테스트를 실행하도록 상관 스테이지(7)에 공급되고 제 1 코드보다 짧은 반복 길이의 제 2 반복 코드에 의해 변조되는 중간 테스트 신호(IFtest)와의 상관 동작을 위해 제 1 코드보다 짧은 제 2 반복 코드의 사본을 발생시키도록 제어 수단(12)을 통해 상기 코드 발생기(25)가 적응되며,

상기 상관 및 복조 회로(6)는 테스트 단계에서, 수신기로부터 중간 신호(IF) 대신에 상관 스테이지에 중간 테스트 신호(IFtest)를 공급할 수 있는 테스트 신호 발생기(15)를 포함하고, 상기 테스트 신호는 페루프 동작에서 상관 스테이지(7)를 나타내는 테스트를 실행하도록 제 1 코드보다 짧은 반복 길이의 제 2 반복 코드에 의해 변조되며,

GPS형 수신기의 경우에,

제어 수단은 위치, 속도, 시간 데이터를 계산할 수 있고 상관 동작의 시작에서 제어 루프 매개변수를 적응시킬 수 있으며, 상관 스테이지가 테스트 단계에서 적절히 동작하는 지를 확인할 수 있고, 마이크로프로세서 수단(12)의 일부를 형성하며, 그리고 지정 시간 주기에서 상관 스테이지(7)의 테스트 단계를 명령하도록 마이크로프로세서 수단(12)이 프로그래밍되는 것을 특징으로 하는 상관 및 복조 회로(6).

청구항 2

삭제

청구항 3

제 1 항에 있어서, 제 1 코드가 각 송신 위성에 대해 서로 다른 제 1 의사-임의 코드인 고주파 신호 수신기(1)의 경우에,

테스트 단계에서, 테스트 신호 발생기(15)는 제 1 의사-임의 코드보다 짧은 반복 길이의 제 2 의사-임의 코드에 의해 변조되는 테스트 신호(IFtest)를 공급하고,

코드 발생기(25)는 테스트 단계에서 테스트 신호와의 상관 동작에 대해 제 2 의사-임의 코드의 사본을 발생시키도록 제어 수단(12)을 통해 적응되는 것을 특징으로 하는 상관 및 복조 회로.

청구항 4

삭제

청구항 5

제 3 항에 있어서, 상관 스테이지(7)는 여러 채널(7')을 포함하고, 각각의 채널(7')에는 정상 동작에서 여러개의 위성들을 동시에 얻고 트래킹할 수 있는 코릴레이터(8)가 제공되며, 반면에 테스트 단계에서, 모든 상관 스테이지 채널의 상관 동작이 적절하게 동작하는 지를 동시에 확인하기 위해 모든 상관 스테이지 채널은 테스트 신호 발생기(15)로부터 테스트 신호(IFtest)만을 수신하고, 상기 상관 스테이지 채널에서는 각각의 코드 발생기(25)가 동일한 제 2 코드 사본을 발생시키도록 적응되며, 그리고 상기 상관 스테이지(7)는 각 채널(7')에 대해, 정상 동작 모드나 테스트 모드에서 코드 발생기(25)에 대한 위상 또는 주파수 매개변수를 조절하기 위해 모든 동기화 작업의 디지털 신호를 처리하기 위한 알고리즘을 구현하기 위해 코릴레이터(8)에 연결되는 제어기(9)를

포함하는 것을 특징으로 하는 상관 및 복조 회로.

청구항 6

제 3 항에 있어서, 테스트 신호 발생기(15)는 제 2 의사-임의 코드에 의해 변조되는 반송파 주파수 테스트 신호를 테스트 단계에서 발생시키고, 사전감지 요소로부터의 출력 신호와 비교할 수 있는 전력을 가지기 위하여, 반송파 주파수에 관한 그리고 상관 스테이지 의사-임의 코드에 관한 제어 루프에서, 제 1 의사-임의 코드에 의해 변조되는 고주파 신호 내 잡음을 고려하도록 상기 제 2 의사-임의 코드의 반복 길이가 결정되며, 이때, 상기 사전감지 요소는 인터그레이터 카운터(22)인 것을 특징으로 하는 상관 및 복조 회로.

청구항 7

제 6 항에 있어서, 제 1, 2 의사-임의 코드 반복 길이의 함수로 사전감지 요소 인터그레이션 듀레이션을 상관 스테이지 각 채널의 코드 발생기(25)와 협동하여 마이크로프로세서 수단(12)이 규정하는 것을 특징으로 하는 상관 및 복조 회로(6).

청구항 8

제 3 항에서, 테스트 신호 발생기(15)는 제 2 의사-임의 코드 발생기, 제 1 수치제어 발진기(151), 제 2 수치제어 발진기(153), 메시지 발생기(154)를 포함하고, 제 1 수치제어 발진기(151)는 마이크로프로세서 수단(12)에 의해 제공되는 제 1 이진 워드를 바탕으로 제 2 의사-임의 코드 발생기(152)에 클럭 신호(PRN-CLK)를 공급하고, 제 2 수치제어 발진기(153)는 마이크로프로세서 수단(12)에 의해 제공되는 제 2 이진워드를 바탕으로 반송파 주파수 신호를 발생시키며, 제 2 의사-임의 코드는 상기 반송파 주파수 신호 상에서 변조되고, 상기 메시지 발생기(154)의 메시지 신호 역시 반송파 주파수 신호 상에서 변조되며, 상관 스테이지(7)는 상관 스테이지의 테스트 단계 확인을 동작시키는 페루프에 대해 마이크로프로세서 수단(12)에 테스트 메시지 데이터를 공급하는 것을 의도하며, 이때, 상기 제 1 수치제어 발진기(151)와 제 2 수치제어 발진기(153)는 8비트 발진기인 것을 특징으로 하는 상관 및 복조 회로.

청구항 9

제 6항에 있어서, 감소된 제 2 의사-임의 코드는 31의 반복 길이를 가지고, 반면에 고주파 신호의 제 1 의사-임의 코드는 1023의 반복 길이를 가져서, 고주파 신호의 내재 잡음을 고려한 비교가능한 신호(I_{ES} , I_{LS} , Q_{ES} , Q_{LS})를 상관 스테이지 사전감지 요소(22)의 출력에서 공급하게 하는 것을 특징으로 하는 상관 및 복조 회로(6).

청구항 10

제 5 항에 있어서, 코릴레이터에 공급되는 중간 신호의 반송파 주파수 함수로, 정상 동작 모드나 테스트 모드에서 마이크로프로세서 수단(12)에 의해 적용될 수 있는 반송파 주파수 신호의 사본을 발생시키는 수단(27, 28)을 상관 스테이지(7)의 각 채널의 코릴레이터(8)가 포함하며, 그리고 상기 회로의 모든 요소가 단일 반도체 기판 상에 만들어지고, 상기 단일 반도체 기판이 실리콘 기판인 것을 특징으로 하는 상관 및 복조 회로(6).

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 발명은 지정된 반복 길이의 제 1 코드에 의해 변조되는 신호를 위한 수신기의 상관 및 복조 회로에 관한 것이다. 상기 제 1 코드는 상기 신호들을 송신하는 소스를 형성한다. 이 회로는 정상 작동 모드나 테스트 모드에서 상기 상관 스테이지를 배치하기 위해 제어 수단에 연결되는 상관 스테이지를 포함한다. 정상 작동 모드에서, 상기 스테이지는 수신기에서 정형된 변조 신호에 상응하는 중간 신호를 수신하는 것이 목적이다. 중간 신호들은 코드 발생기에 의해 발생하는 제 1 코드 사본을 가지는 상기 상관 스테이지의 코렐레이터 제어 루프(correlator control loop)에서 상관된다.
- <7> 특히 반송파 주파수로 변조되어 한 개 이상의 송신기 소스에 의해 송신되는 신호들은 일반적으로 상관 및 복조 회로에서 복조될 메시지를 포함한다. 송신기 소스를 형성하기 위해 상기 신호를 변조하는 코드는 일반적으로 의사-임의 코드이다. 이 지정 반복 길이 코드는 수신기에 의해 수신되는 신호가 어느 송신기 소스로부터 오는지를 인지할 수 있도록 하기 위해 각각의 송신기 소스에 대해 독자적이다. 이 신호들은 예를 들어 GPS형 신호와 같이 위성을 이용한 위치설정 신호나 무선통신 분야의 신호들일 수 있다.
- <8> GPS 수신기의 경우에, 반송파 주파수 신호 사에서 변조되는 골드 코드라 부르는 특정 의사-임의 코드에 의해 서로 구별되는 궤도에 위치한 여러 위성에 의해 고주파 신호가 송신된다. 골드 코드는 1023개의 칩으로 구성되며 천분의 1초마다 반복되는 디지털 신호이다. 이 칩은 비트와 마찬가지로 0이나 1의 값을 가진다. 모든 골드 코드가 수직인 특성을 가진다. 이는 결과적으로, 서로를 상관시킴으로서 상관이 0에 가까운 값을 부여한다는 것을 의미한다. 이 특성은 여러 위성으로부터 동시에 도달하는 여러 고주파 신호를 동일한 수신기의 여러 상관 채널에서 독립적으로 처리되게 한다.
- <9> GPS 신호는 X, Y, Z 위치, 속도, 시간을 계산하기 위해 수신기에 위치 및 시간 데이터를 공급한다. 그러나 위치 및 시간을 결정하기 위해, 수신기는 네 개 이상의 가시 위성으로부터 데이터를 얻어야 한다.
- <10> 무선 신호와 같이 특정 코드 변조 신호 수신기를 이용하는 여러 분야에서, 수신한 신호로부터 메시지를 추출하게 하는 수신기 일부가 적절하게 작동하는 것을 보장해야 한다. 수신기 조립 전후로 상기 수신기 부분에 대해 동작 테스트가 실행될 수 있다. 물론, 상기 수신기 부분은 그 동작이 일반적으로 확인될 수 있기 전에 기본 테스트의 여러 예비 단계를 거쳐야 했을 것이다.
- <11> GPS 수신기를 이용중, 상기 수신기의 동작 테스트는 상관 스테이지의 각 채널이 적절히 동작하는지를 보장하기 위해 실제 조건과 가깝게 실행되어야 한다. 이 동작 테스트가 성공적이면, 이는 위치, 속도, 시간 계산의 유효성이 수신기 사용자에게 보장되게 한다.
- <12> 예를 들어, 특히 무선통신 분야에서, 미국특허 4,100,531 호는 데이터 전송 장치같이 디지털 장비의 비트 오류율을 측정하기 위한 수단을 공개한다. 이 장비는 검사될 수신기에 의해 수신되고 송신기에 의해 공급되는 의사-임의 코드(PRN 코드) 테스트 신호를 이용하여 검사된다. 검사받는 수신기는 지정 길이의 PRN 코드에 의해 변조되는 신호와 상관 스테이지에서 상관될 PRN 코드 사본을 발생시킨다.
- <13> 이 장비의 한가지 결함은 암호화된 테스트 신호가 검사받기 위해 외부 송신기에 의해 수신기까지 전송된다는 점이다. 이럴 경우 테스트 시간을 상당히 줄일 방법이 없다. 더욱이, 또다른 결함은 수신기의 동작을 나타내는 테스트를 만들기 위해 송신된 신호가 실제 통신 신호의 이미지이어야 한다는 점이다. 이는 테스트 신호에 추가적인 잡음을 생성시키고, 그 결과 생성해내기 어렵게 된다.
- <14> GPS형 수신기에서, 미국특허 5,093,800 호는 GPS형 고주파 신호를 발생시킬 수 있는 테스트 장치를 공개한다. 상기 장치에 의해 발생하는 이 GPS 신호들은 검사받을 수신기에 의해 수신되는 것을 의도한다. 이를 위해, 상기 장치는 여러 위성에 의해 수신기까지 송신되는 암호화 신호에 상응하는 신호를 발생시키고 송신하기 위해 위성에 관한 데이터를 또한 포함한다.
- <15> 이 테스트 장비의 한가지 결함은, 수신기의 상관 스테이지가 적절하게 작동하는지를 확인하기 위하여, 테스트 신호가 위성에 의해 송신되는 고주파 신호와 동등한 고주파 신호라는 점이다. 이는 상관 스테이지가 적절하게 작동하는지를 확인하기 위해 장치에서 발생하는 고주파 신호와 함께 추가 잡음을 발생시키는 과정을 포함한다. 더욱이, 또다른 결함은 의사-임의 코드, 즉 골드 코드의 반복 길이에 따라 좌우되기 때문에 수신기 동작 테스트 시간이 상대적으로 길다는 점이다. 수신기가 전지나 축전지에 의해 전력을 공급받는 장치에 장착될 경우, 이 긴 테스트 시간으로 인해 전지나 축전지의 수명이 불필요하게 줄어들 수 있다.

발명이 이루고자 하는 기술적 과제

- <16> 발명의 한가지 목적은 기존 기술의 테스트 장치나 방법의 결함을 극복하면서 테스트 시간을 가능한 최대로 감소시킬 수 있는, 코드에 의해 변조되는 신호용 수신기에 대한 상관 및 복조 회로를 제공하는 것으로 이루어진다. 더욱이, 상기 회로의 동작 테스트를 실행함으로써, 수신 신호 잡음에 연결된 매개변수들이 고려될 수 있다.
- <17> 이 목적은 다른 목적들과 부합하여, 앞서 설명한 상관 및 복조 회로에 의해 달성된다. 그 특징은 다음과 같다. 즉, 테스트 단계에서, 상기 코드 발생기는 제 1 코드보다 짧은 제 2 반복 코드에 의해 변조되는 테스트 중간 신호와의 상관 동작에 대한 제 1 코드보다 짧은 제 2 반복 코드의 사본을 발생시키기 위해 제어 수단을 통해 적용되며, 제 1 코드에 의해 변조되는 신호를 가진 경우보다 훨씬 빠르게 상관 스테이지의 페루프 동작을 나타내는 테스트를 실행하도록 상관 스테이지에 공급된다.
- <18> 상관 및 복조 회로의 한가지 장점은 상관 스테이지의 페루프 테스트 시간이 크게 줄어든다는 점이다. 이는 상기 회로의 작동 상태를, 따라서 상기 회로를 포함한 수신기의 작동 상태를 신속하게 알게 한다.
- <19> GPS형 고주파 신호 수신기의 경우에, 의사-임의 코드 반복 길이가 골드 코드에 상응한다면 상관 및 복조 회로 테스트 시간이 상대적으로 길 수 있다. 더욱이, 상기 회로가 상관 스테이지에서 여러 상관 채널을 포함한다면 이 테스트 시간이 또한 길다. 이는 중간 테스트 신호가 회로 동작의 신속한 확인을 위해 줄어든 길이의 의사-임의 코드를 가지는 회로의 상관 스테이지에 공급되기 때문이다.
- <20> 고주파 신호가 잡음을 또한 포함하기 때문에, 감소된 의사-임의 코드 길이는 잡음을 고려하도록 규정될 수 있다. 잡음없이 발생하는 이 감소된 코드 테스트 신호는 잡음을 포함하는 실제 출력 신호의 전력에 가까운 전력을 가지는 상관 스테이지 인터그레이터 카운터 출력 신호를 제공한다. 테스트 신호의 의사-임의 코드 반복 길이는 31칩이며, 골드 코드의 반복 길이는 1023 칩이다.
- <21> 이 중간 테스트 신호들은 통합 테스트 신호 발생 수단에 의해 상관 및 복조 회로 외부에서, 또는 상기 회로 내부에서 발생할 수 있다. 이 테스트 신호 발생 수단은 상관 및 복조 회로에서 작은 양의 공간만을 차지하며, 이는 상기 회로가 2백만개의 트랜지스터를 가지기 때문이다. 이 테스트 신호 발생 수단은 제어 수단, 즉 마이크로프로세서 수단에 의해 스위치-온된다.
- <22> 상기 테스트 신호 발생 수단은 마이크로프로세서 수단에서 프로그래밍된 시간 주기로 스위치-온될 수 있다. 상기 회로가 완전 수신기에 장착될 때, 상기 테스트 신호 발생 수단의 스위치-온은 수신기의 수신 수단에 의해 상기 회로에 중간 신호가 전달되는 것을 방지한다. 따라서 테스트 단계에서, 회로는 테스트 신호 발생 수단으로부터 기원하는 중간 테스트 신호만을 수신한다.
- <23> 이 테스트 신호들은 채널의 동시 테스트를 위한 상관 스테이지의 모든 채널에서 똑같이 부과된다. 마이크로프로세서는 각 채널의 코드 발생기를 제어하여, 테스트 단계에서 각 채널에 대한 감소된 의사-임의 코드의 사본을 발생시킨다.
- <24> 완전 수신기 외부로부터 어떤 테스트 신호도 제공되지 않는다. 역으로, 잡음으로부터 자유로운 작동 확인 테스트 신호가 상관 및 복조 회로에 기존 중간 신호 대신에 공급된다.
- <25> 상관 및 복조 회로 테스트 시간의 감소는 이론적으로, 테스트 단계를 신속하게 실행하기 위해 변조 신호 수신기에 회로가 장착될 때 필요하다. 이 테스트 시간 감소는 손목시계나 이동전화같은 휴대용물체에 수신기가 장착될 경우 축전지나 전지에서 너무 많은 에너지가 소모되는 것을 방지할 수 있다. 그러나, 상관 및 복조 회로는 기존 중간 신호에 상응하는 상관 스테이지에 공급되는 잡음으로부터 자유로운 테스트 신호를 가진 채로 수신기에 장착되기 전에 테스트될 수 있다.
- <26> 사용자는 수신기 상관 및 복조 회로의 완전한 테스트를 언제라도 실행할 수 있다.

발명의 구성 및 작용

- <27> 다음의 내용에서, 상관 및 복조 회로의 실시예들은 GPS형 고주파 신호 수신기를 들어 설명될 것이다.
- <28> 이러한 종류의 GPS 수신기에서, 골드 코드라 불리는 의사-임의 코드에 의해 변조된, 수신된 고주파 신호는 상관 및 복조 회로에 의해 복조될 메시지를 추가로 포함한다. 네 개 이상 위성으로부터의 메시지는 회로의 마이크로프로세서 수단이 Z, Y, Z 위치, 수신기 속도, 시간을 계산하게 한다. 그러나 이러한 상관 및 복조 회로의 이용은 지정 반복 길이의 코드에 의해 변조되는 신호에 대한 다른 종류의 수신기에서도 구현될 수 있다. 예를 들어,

상관 및 복조 회로는 전화통신 수신기에 사용될 수 있고, 또는 지정 코드를 운반하는 광신호를 이용하는 측정 수신기에, 또는 다른 분야에 사용될 수 있다.

- <29> 상관 및 복조 회로를 갖춘 GPS형 수신기가 도 1에 도시된다. 이 수신기는 여러 위성으로부터 발생하는 GPS 고주파 신호의 수신에 위한 안테나(2), 안테나(2)에 의해 공급되는 고주파 신호의 수신 및 정형을 위한 수단(3), 수신 수단(3)으로부터 400KHz 수준 주파수의 복소 형태 중간 신호 IF를 수신하는 상관 및 복조 회로(6)로 구성된다.
- <30> 수신 수단(3)에서, 제 1 전자 회로(4')는 주파수 1.57542GHz로부터의 고주파 신호를 179MHz의 주파수로 변환한다. 제 2 전자 회로 IF(4'')는 이중 변환을 실행하여 GPS 신호를 4.76MHz의 주파수로 조절하고, 그후 4.36MHz에서의 샘플링에 의해 400KHz의 주파수로 조절된다. 따라서, 400KHz 수준의 주파수로 샘플링되는 중간 복소 신호 IF가 상관 및 복조 회로에 공급된다. 중간 복소 신호 IF가 동상 신호 I와 직각 위상 신호 Q로 형성되며, 2비트를 형성하는 사선에 의해 교차되는 굵은 선으로 도면에 표시된다. 그러나, 이 중간 신호 IF는 선행 스테이지에서 2비트 변환이 실행되었을 경우 4비트에서 규정될 수 있다.
- <31> 주파수 변환 동작을 위해, 클럭 신호 발생기(5)는 고주파 수신 및 정형 수단(3)의 일부를 형성한다. 이 발생기에는 17.6MHz 수준의 주파수로 측정되는 퀴즈 발진기가 제공된다. 두 개의 클럭 신호 CLK와 CLK16이 모든 회로 동작을 클럭하기 위해 상관 및 복조 회로에 공급된다. 제 1 클럭 주파수 CLK가 예를 들어 4.36MHz의 값을 가지면, 제 2 클럭 주파수는 16배 작은 272.5KHz로 고정된다. 이 작은 값은 에너지 소모의 절약을 위해 상관 스테이지의 상당부에 대해 사용된다.
- <32> 제 1 회로(4')에 의해 공급되는 신호가 상기 경우들의 절반일 때, 4출력 비트에서 서로 다른 패리티(+1과 -1)의 2출력 비트(+3;+1;-1;-3)를 가지는 신호를 부여한다. 따라서, 수신기의 GPS 신호 복조 동작에 대한 이 패리티가 고려되어야 한다.
- <33> 상기 상관 및 복조 회로(6)는 12 채널(7')로 형성되는 상관 스테이지(7), 각 채널을 각 버퍼 레지스터(11)에 연결하는 데이터 전송 버스(10), 그리고 마이크로프로세서 수단(12)에 각 채널을 연결하는 데이터 버스(13)를 포함한다. 마이크로프로세서에 연결되는 저장 수단(18)은 메모리에 위치한 각 위성에 관한 데이터와, 각 위성에 대해 의사-임의 코드 매개변수 및 반송파 주파수를 저장하기 위해 마이크로프로세서 수단(12)의 일부를 형성한다. 상관 및 복조 회로를 형성하는 모든 요소들은 실리콘 기관같이 단일 반도체 기관에 만들어질 수 있다.
- <34> 상관 및 복조 회로(6)의 입력에는 테스트 신호 발생기(15)와 멀티플렉서(16)를 포함하는 테스트 신호 발생 수단(14)이 위치한다. 테스트 신호 발생 수단(14)의 멀티플렉서(16)는 한 입력에서 수신 수단(3)에 의해 공급되는 중간 신호 IF를 수신하고 또다른 입력에서 중간 테스트 신호 IF_{test}를 수신한다. 상기 멀티플렉서(16)는 제어 버스(19)와 버퍼 레지스터(11')를 통해 마이크로프로세서 수단(12)에 통합되는 제어 수단에 의해 공급되는 제어 신호 Test에 의해 제어된다. 멀티플렉서(16)는 필요할 경우 테스트 신호 발생기(15)에 통합될 수도 있다.
- <35> 제어 신호 Test가 없는 정상 동작 모드에서, 여러 위성에 의해 전송되는 고주파 신호를 나타내는 중간 신호 IF는 모든 채널(7')에 대해 멀티플렉서(16)에 의해 상관 스테이지(7)까지 전송된다. 일부 채널은 마이크로프로세서(12)를 통해 정상 동작 모드에서 서로 다르게 배치되어, 수신한 GPS 메시지를 복조하기 위해 중간 신호 IF를 이용하여 가시 위성을 검색한다. 역으로, 마이크로프로세서(12)가 테스트 단계를 지시할 때, 마이크로프로세서(12)는 제어 버스(19)를 통해 테스트 신호 발생 수단(14)에 테스트 제어 신호를 보낸다. 이 테스트 단계에서, 테스트 신호 발생기(15)는 스위치-온되고, 테스트 신호 Test를 수신하는 멀티플렉서(16)는 발생기(15)에 의해 발생하는 중간 테스트 신호 IF_{test}만을 상관 스테이지(7)까지 전송한다. 상기 테스트 신호 발생기도 2를 참고하여 보다 상세하게 설명될 것이다.
- <36> 스위치-온되면, 페루프의 상관 스테이지를 나타내는 테스트를 실행하기 위해 기존 중간 신호 대신에 중간 테스트 신호 IF_{test}를 테스트 신호 발생기(15)가 발생시킨다. 이 테스트 신호들 IF_{test}는 페루프 테스트를 보다 신속하게 실행하기 위해 골드코드보다 짧은 반복 길이의 의사-임의 코드로 변조된다. 감소된 의사-임의 코드 반복 길이는 31칩, 즉, 2⁵-1이며, 반면에 골드코드는 1023칩, 즉 2¹⁰-1의 반복길이를 가진다.
- <37> 1000개의 칩에 가까운 1023칩에서, 고주파 신호 잡음과 동등하다고 생각할 수 있다. 결과적으로, 상관 스테이지를 나타내는 테스트에 대한, 잡음으로부터 자유로운 중간 테스트 신호를 생성할 수 있도록 하기 위해 31칩의 감소된 코드가 선택되었다.

- <38> 물론, 상관 및 복조 회로를 이용하는 타분야에서도, 감소된 제 2 의사-임의 코드의 반복 길이는 $2^{(n-m)}-1$ 일 수 있고, 반면에 제 1 의사-임의 코드의 반복 길이는 2^n-1 이다. 숫자 n과 m은 정수로서, n은 3보다 크고 m은 1과 n-1 사이의 지정값을 취한다.
- <39> 테스트 단계에서, 마이크로프로세서(12)는 테스트 제어 신호 TMS를 테스트 실렉터(17)에 보내고, 테스트 실렉터(17) 각각은 각 채널(7')에 위치한다. 각각의 채널(7')은 위성 신호를 감지하고 채널에 의해 감지되는 상기 위성을 트래킹하기 위한 특히 신호처리 알고리즘같은 전용 물질을 통해 동작 설정하고자 하는 제어기(9)와, 신호 IF나 IF_{test}를 수신하기 위한 코릴레이터(8)를 포함한다. 각각 코릴레이터(8)에 연결된 테스트 실렉터(17)는 의사-임의 코드 발생기를 배치하기 위해 상기 코릴레이터에 명령 CS를 공급하는 작업을 가지며, 이 내용은 도 3b를 참고하여 보다 상세하게 설명될 것이다.
- <40> 정상 동작에서, 어떤 명령 CS도 실렉터(17)에 의해 코릴레이터(8)까지 전송되지 않는다. 이는 코드 발생기가 골드코드까지 동등한 반복 길이를 가지는 코드 사본을 발생시키는 것을 의도하였음을 의미한다. 테스트 단계에서, 마이크로프로세서(12)의 명령에 대해, 실렉터(17)는 코드 발생기를 배치하기 위한 명령 CS를 보내어, 골드코드보다 짧은 반복 길이를 가지는 의사-임의 코드 사본을 발생시킨다. 이 감소된 의사-임의 코드는 테스트 단계에서 중간 테스트 신호 상에서 변조되는 의사-임의 코드이어야 한다.
- <41> 제어 신호 TMS는 이론적으로, 정상 동작이나 여러 테스트 모드에서 2비트 제어 워드로 규정된다. TMS가 이진수 00과 같은 경우, 정상 동작에 대해 어떤 테스트 명령 CS도 전송되지 않는다. TMS가 이진수 11과 같은 경우, 입력에 공급되는 중간 테스트 신호 IF_{test}로 상관 스테이지(7)의 모든 채널(7')이 적절하게 작동하는 지를 확인하기 위해 페루프 테스트 모드가 부과된다. TMS가 이진수 01과 같은 경우, 마이크로프로세서(12)에 의해 제어되는 테스트 벡터 발생기를 통해 각 채널의 코릴레이터 모듈(8)의 테스트가 시작될 수 있다. TMS가 이진수 10과 같은 경우, 테스트 벡터 발생기를 통해 각 채널의 제어기 모듈(9)의 테스트가 시작될 수 있다. 본 발명에서, 신호 TMS는 00이나 11의 값을 취하는 것이 선호된다.
- <42> 도시되지 않는 대안의 실시예에서, 모든 실렉터(17)가 마이크로프로세서 수단(12)의 일부를 형성할 수 있다. 마찬가지로, 각 코릴레이터(8)에 대한 명령 CS가 버스(10, 13)를 통해 전달될 수 있다.
- <43> 실렉터(17)가 명령 CS를 전송함과 동시에, 마이크로프로세서(12)는 검색할 의사-임의 코드에 관한, 그리고 중간 테스트 신호의 반송파 주파수에 관한 매개변수를 버스(13, 10)를 통해 전송한다. 이 매개변수들은 정상 동작에서 발생하는 것과 마찬가지로 테스트 단계의 모든 채널(7')을 배치하도록 전송되나 각 채널에 대해 개별적으로 이루어진다. 그러나 테스트 단계에서, 매개변수들은 모든 채널에 대해 동일하여, 감소된 독자 의사-임의 코드를 가지는 중간 테스트 신호 IF_{test}가 모든 채널에서 동시에 동일한 방식으로 처리되게 한다.
- <44> 정상 동작에서 앞서 지적한 바와 같이, 각 채널의 레지스터(11)는 각 상관 채널(7')에 대해 관련된 저장 수단(18)과 마이크로프로세서(112)로부터 발생한 배치 데이터나 매개변수를 수신할 수 있다. 레지스터(11)를 통해, GPS 메시지에 관한 데이터, PRN 코드의 상태, 도플러 효과에 관한 주파수 증분, 의사-범위와 그의 다른 데이터가 특정 위성에서의 상관 및 락 이후 마이크로프로세서(12)에 전송될 수 있다.
- <45> 테스트 단계에서, 상기 레지스터(11)는 페루프 테스트 결과를 수신하고, 마이크로프로세서에 의해 처리될 메시지까지도 수신한다. 테스트 이후, 마이크로프로세서는 정상 동작에서 상관 및 복조 회로 설정 이전에 외부와 독립적으로 모든 상관 채널이 정확하게 동작하는 지를 확인할 수 있다.
- <46> 이 레지스터들(11)이 상관 단계 중 데이터를 축적할 수 있으며 이 데이터는 마이크로프로세서(12)에 자동적으로 전송될 필요없이 위성 획득 및 트래킹 동작 중 사용될 것이다.
- <47> 대안의 실시예에서, 레지스터 블록에 위치하는 일부 데이터가 각 채널에 공통일 경우, 단일 블록의 레지스터(11)는 상관 스테이지의 모든 채널(7')에 대해 고려될 수 있다.
- <48> 각 채널(7')이 모든 위성 획득 및 트래킹 단계를 위해 제어기(9)를 포함할 경우, 마이크로프로세서(12)는 감소된 크기일 것이다. 이 마이크로프로세서(2)는 스위스의 EM Microelectronic-Marin SA 제품인 8비트 CoolRISC-816 마이크로프로세서일 수 있다. 그러나, 32비트 마이크로프로세서같이 대형 치수의 마이크로프로세서는 각 채널에서 제어기(9)를 놓은 것을 회피하는 데 사용될 수 있다. 더 큰 이 마이크로프로세서는 이러한 경우에 발명에 따라 정상 동작과 테스트 단계에서 모든 위성 획득 및 트래킹 과정을 보살피야 한다.
- <49> 도 2는 테스트 신호 발생기(15)를 형성하는 서로 다른 유닛을 도시한다. 이 테스트 신호 발생기는 앞서 설명한

바와 같이 마이크로프로세서의 명령에 따라 스위치-온된다. 스위치-온되자마자, 발생기(15)는 페루프에서 검사될 상관 스테이지에 입력되고자 하는 중간 테스트 신호를 발생시킨다. 잡음으로부터 자유로운 중간 테스트 신호 IF_{test}가 수신기에서 정형된 고주파 신호로부터 추출되는 중간 신호와 동일하게 설계되어야 한다. 그러나, 중간 테스트 신호나 치환 신호는 상관 스테이지 테스트 시간을 감소시키기 위해 골드코드보다 더 짧은 길이의 의사-임의 코드로 변조되어야 한다.

- <50> 테스트 신호 발생기(15)는 클럭 신호 CLK에 의해 클럭되는 코드에 대한 8비트 수치제어 발진기(NCO)(151), 작은 PRN 코드 발생기(152), 메시지 발생기(154), 클럭 신호 CLK에 의해 클럭되는 반송파 주파수에 대한 8비트 수치제어 발진기(NCO)(153), 그리고 두 신호 믹서(155, 156)를 포함한다. 두 개의 8비트 발진기(151, 153)는 4.36MHz의 클럭 주파수 CLK를 2^8 으로 나눈 값으로 규정되는 17KHz 수준의 주파수 분해능을 가진다.
- <51> 테스트 단계에서, 두 개의 8비트 수치제어 발진기(151, 153) 각각은 마이크로프로세서로부터 8비트 이진위드를 수신한다. 제 1 발진기(151)는 이어지는 작은 PRN 코드 발생기(152)를 클럭하기 위해 클럭 신호 PRN-CLK를 발생시키기 위한 코드 증분을 수신한다. 제 2 발진기(153)는 반송파 신호를 발생시키기 위한 반송파 주파수 증분을 수신하며, 반송파 신호 중 하나는 동상 신호이고 다른 하나는 직교 위상 신호이다. 반송파 주파수의 값은 상관 스테이지의 페루프 테스트에 대해 큰 중요성을 가지지 않는다. 결과적으로, 이 반송파 주파수는 기존 중간 신호 같이 400KHz의 값이나 이보다 더 낮은 값을 취할 수 있다.
- <52> 도 3a에 좀더 자세하게 도시되는, 작은 PRN 코드 발생기(152)는 줄어든 반복 길이의 의사-임의 코드를 발생시키기 위해 발진기(151)로부터 클럭 신호 PRN-CLK를 수신한다. 이 코드의 반복 길이는 31, 즉 2^5-1 이다.
- <53> 클럭 신호 PRN-CLK의 주파수는 수치제어 발진기(151)의 입력에 공급되는 코드 증분의 함수이다. 코드 증분이 이진수 11000, 즉, 십진수 24의 값으로 고정될 경우, 클럭 주파수 PRN-CLK는 17KHz의 24배인 408KHz와 같다. 코드 증분은 정상 동작에서 상관 스테이지 코드 발생기에 대해 1.023MHz의 주파수에 근사하도록 더 높게 고정될 수도 있다. 그러나, 정상 동작에서 상기 상관 스테이지의 실제 처리에 테스트 단계를 근사시키기 위해 40KHz의 주파수 PRN-CLK가 선택되었다.
- <54> 상관 스테이지의 출력 신호가 유용한 신호보다 16dB 더큰 잡음을 포함하는 전통적인 중간 신호인지, 또는 상관 스테이지의 출력 신호가 상관 스테이지의 입력에 공급되는 잡음으로부터 자유로운 중간 테스트 신호인지에 상관 없이, 상관 스테이지의 출력 신호는 도 4를 들어 설명되는 바와 같이 동등해야 한다. 그 목적은 잡음으로부터 자유로운 테스트 신호로 상관 스테이지의 신속한 테스트를 실행하기 위해 내재적인 고주파 신호 잡음을 이용하는 것이다.
- <55> 전통적인 중간 신호와 유사한 중간 테스트 신호를 제공하기 위해, 반송파 주파수 신호에서 50Hz의 주파수에 메시지가 위치해야 한다. 이는 각각의 채널이 정확한 메시지 복조를 관리함을 테스트 말미에 마이크로프로세서가 확인하게 한다. 이를 위해, 메시지 발생기(154)가 예폭 신호(1ms)에 의해 클럭되어 50Hz의 메시지를 부여한다 (모듈로 20-에폭).
- <56> 메시지 발생기(154)로부터의 메시지와 작은 PRN 발생기(152)로부터의 줄어든 PRN 코드는 믹서(155)에서 믹싱된다. 이 믹서(155)의 출력은 중간 테스트 신호 IF_{test}를 발생시키기 위해 믹서(156)의 루프 반송파 상에서 또 믹싱되거나 변조된다.
- <57> 도 3a는 작은 의사-임의 코드 발생기(152)를 보다 상세하게 도시하며, 상기 발생기의 구조는 당 분야에서 공지된 사실이다. 31의 코드 길이를 발생시켜야 하기 때문에, 각 플립-플롭의 숫자와 기준 FF에 의해 규정되는 5개의 플립-플롭(30) 시리즈를 인코더 G₁₅와 인코더 G₂₅에서 포함한다. 각 플립-플롭(30)의 상태 전달은 각 클럭 스트로크 PRN-CLK에서 플립-플롭 FF1에서부터 플립-플롭 FF5까지로 생성된다.
- <58> 제 1 인코더 G₁₅에서, 플립-플롭(30) FF3와 FF5 각각은 XOR형 가산기(34)에서 더해지는 출력을 가진다. 가산기(34)의 출력은 각각의 클럭 스트로크 PRN-CLK에서 최종 플립-플롭 FF5의 출력에서 제 1 암호화 신호 G₁₅를 발생시키도록 플립-플롭 FF1 내로 입력된다.
- <59> 제 2 인코더 G₂₅에서, 플립-플롭(30) FF2-FF5 각각은 XOR형 가산기(32)에서 더해지는 출력을 가진다. 가산기(32)의 출력은 각각의 클럭 스트로크 PRN-CLK에서 최종 플립-플롭 FF5의 출력에서 제 2 암호화 신호 G₂₅를 발생시키도록 플립-플롭 FF1 내로 입력된다.

- <60> 제 1, 2 암호화 신호 G_{1S} 와 G_{2S} 는 작은 PRN 코드 발생기(152)로부터 출력 신호에 상응하는 암호화 신호 G_S 를 발생시키도록 XOR형 가산기(33)에서 더해진다.
- <61> 도 3b는 상관 스테이지의 각 코릴레이터에 사용되는 전통적 의사-임의 코드 발생기(25)를 도시한다. 이 발생기의 구조는 정상 동작으로 골드 코드 사본을 발생시킬 목적으로 당 분야에 잘 알려져 있다. 그러나, 이 코드 발생기(25)는 테스트 단계에서 상기 발생기를 배치할 수 있도록 하기 위해 멀티플렉서(46-48)를 또한 포함한다. 테스트 단계에서, 이 코드 발생기(25)는 31, 즉 2^5-1 의 반복 길이를 가지는 코드인, 테스트 신호 발생기에서 발생하는 의사-임의 코드 사본을 발생시키도록 배치되어야 한다.
- <62> 의사-임의 코드 발생기(25)는 제 1 인코더 G_1 , 제 2 인코더 G_2 , 시간 시프트 실렉터 G_2 (TAP 실렉터)를 포함한다. 제 1 인코더 G_1 에서는 각 플립-플롭의 기준 FF와 그 숫자에 의해 규정되는 10개의 플립-플롭이 직렬로 위치하며, 제 2 인코더 G_2 에서도 10개의 플립-플롭이 직렬로 위치하며, 시간 시프트 실렉터 G_2 (TAP 실렉터)는 특정 위성 코드를 규정한다. 정상 동작에서, 인코더 G_1 에서 플립-플롭 FF3와 FF10은 XOR형 가산기(41)에서 더해지는 출력을 가진다. 플립-플롭 FF10으로부터의 출력 신호는 명령 CS가 멀티플렉서(46)에 공급되지 않을 경우 멀티플렉서(46)를 통해 이동한다. 각각의 클럭 스트로크 PRN-CLK에서 최종 플립-플롭 FF10의 출력에서 제 1 인코딩 신호 G_1 을 발생시키기 위해 플립-플롭(40) FF1의 입력에 가산기(41)의 출력이 공급된다. 정상 동작에서 이 클럭 신호 PRN-CLK는 1.023MHz의 값을 가지며, 테스트 모드에서 이 신호는 중간 테스트 신호의 함수로 408KHz의 값을 가진다.
- <63> 테스트 단계에서, 명령 CS가 멀티플렉서(46)에 공급되어, 플립-플롭(40) FF3와 FF5의 출력이 가산기(41)에서 더해진다. 이 배치는 출력 신호 G_{1S} 를 발생시키기 위한, 도 3a에서 설명되는, 인코더 G_{1S} 에 상응한다.
- <64> 인코더 G_2 에서, 플립-플롭 FF2, FF3, FF6, FF8, FF9, FF10 각각은 XOR형 가산기(42)에서 더해지는 출력을 가진다. 가산기(42)의 출력은 멀티플렉서(47)를 통해 제 1 플립-플롭(40) FF1의 입력에 공급된다. 정상 동작에서, 멀티플렉서(42)의 출력은 어떤 명령 CS도 상기 멀티플렉서(47)에 부과되지 않을 경우, 멀티플렉서(47)를 통해 자유롭게 전달된다. 제 2 암호화 신호 G_2 는 각 클럭 스트로크 PRN-CLK에서 제 2 인코더 G_2 의 최종 플립-플롭(40) FF10의 출력에서 발생된다.
- <65> 인코더 G_2 의 플립-플롭 FF2-FF5의 출력은 XOR형 가산기(45)에 입력되고, 상기 가산기(45)의 출력은 멀티플렉서(47)의 입력에 위치한다. 테스트 단계에서, 명령 CS가 멀티플렉서(47) 상에 부과되어, 가산기(45) 출력이 가산기(42) 출력 대신에 제 1 플립-플롭 FF1의 입력에 공급된다. 이 배치는 출력 신호 G_{2S} 를 발생시키기 위해, 도 3a를 참고하여 설명되는, 인코더 G_{2S} 에 상응한다.
- <66> 실렉터 G_2 는 지정 위성의 특정 코드를 발생시키기 위해 제 2 인코더 G_2 의 플립-플롭(40) FF3와 FF7처럼, 열 개의 플립-플롭(40) 중 선택된 두 개의 플립-플롭으로부터의 출력 신호를 더하는, 특히 XOR형의 가산기(43)를 포함한다. 실렉터 G_2 의 가산기(43)에 의한 덧셈은 지연을 발생시키며, 이는 당 분야에서 잘 알려져 있다.
- <67> 테스트 단계에서, 도 3a를 참고하여 설명되는 신호 G_S 에 상응하는 신호를 발생시키기 위해 가산기(44)에서 출력 G_1 과 G_2 만이 더해지도록 멀티플렉서(48) 상에 명령 CS가 부과된다.
- <68> 도 4는 상관 스테이지의 코릴레이터의 서로 다른 전자적 요소들을 도시하며, 이는 당 분야에 공지된 사실이다. 이 코릴레이터의 다양한 요소들에 관한 세부사항을 알고싶다면, "Understanding GPS Principles and Applications"의 Philip Ward와 Elliot D. Kaplan의 제 5 장(1996년, 미국, Artech House Publishers 출판, ISBN 출판번호 0-89006-793-7)를 참고할 수 있고, 특히 도 5.8과 5.13은 도 4의 모든 요소를 도시한다. 도면에서, 사선 작대기를 가진 굵은 선은 어떤 수의 병렬 비트를 규정한다.
- <69> 테스트 단계에서, 상관 스테이지 채널의 모든 코릴레이터는 상관 및 복조 회로의 동작을 나타내는 테스트와 동일한 방식으로 구성된다. 다음의 설명에서 단순화를 위해 단 한 개의 코릴레이터만이 기술된다.
- <70> 코릴레이터는 반송파 믹서(20), 코드 믹서(21), 인터그레이터 카운터(22), 코드 판별기(23) 및 반송파 판별기(26), 코드용 및 반송파용 수치제어 발진기(각각, 24, 27), 의사-임의 코드 발생기(25), 그리고 반송파용 사인/코사인 표(28)를 포함한다.
- <71> 무엇보다도, 반송파 믹서(20)는 테스트 단계에서 중간 테스트 신호 I_{Ftest} 나, 정상 동작에서 중간 신호 I_F 를 한 입력에서 수신한다. 이 중간 신호들은 복소 신호이다. 즉, 동상 신호 I 와 직각 위상 신호 Q 로 형성된다($I+iQ$).

믹서(20)에 도달하는 신호의 선택은 앞서 설명한 바와 같이 마이크로프로세서 제어 수단에 의해 부과된다. 이 중간 신호들은 PRN 코드 제어 루프와 반송과 제어 루프에서 처리된다.

- <72> 믹서(20)에서, 중간 신호 IFtest는 한편으로, 중간 복소 신호로부터 동상 신호 I를 추출하기 위해 내부적으로 발생된 반송과 사본의 코사인값 빼기 i 곱하기 사인값과 곱해지고, 그리고 다른 한편, 중간 신호로부터 직각 위상 신호 Q를 추출하기 위해 내부적으로 발생된 반송과 사본의 마이너스 사인값 빼기 i 곱하기 코사인값과 곱해진다.
- <73> 이 반송과 상관 동작 후, 신호 I와 Q는 코드 믹서(21)에 입력되어, 내부적으로 발생된 것과의 PRN 코드 등가성을 찾는다. 동상 신호 I와 직각 위상 신호 Q가 한편으로 PRN 코드의 초기 사본 E와 각각 곱해지고, 다른 한편으로 출력 신호 I_E , I_L , Q_E , Q_L 을 부여하기 위해 PRN 코드의 후기 사본 L과 곱해진다. 각각의 상관 스테이지 채널에서, 반개의 칩만큼 이격된 초기 사본 및 후기 사본들은 중간 사본을 고려하지 않은 상태로 유지된다.
- <74> 네 개의 상관 신호 I_E , I_L , Q_E , Q_L 는 사전감지 요소인 인터그레이터 카운터(22)에 입력된다. 인터그레이터 카운터(22)의 네 개의 출력값 I_E , I_L , Q_E , Q_L 은 골드 코드의 완전 사이클에 상응하는 10비트로 표시된다. 그러나, 8개의 가장 중요한 비트만이 코드 및 반송과 제어 루프에 사용된다.
- <75> 정상 동작에서, 각각의 밀리초나 각각의 예폭 이후에 출력값의 완전한 세트 I_{ES} , I_{LS} , Q_{ES} , Q_{LS} 가 얻어진다. 왜냐하면, 코드 반복 길이가 1.023MHz의 코드 클럭 주파수를 가지는 1023 칩이기 때문이다. 역으로, 408KHz의 코드 클럭 주파수와 31개의 칩으로 감소된 코드 반복 길이를 가지는 테스트 단계에서, 완전한 세트의 출력값들이 각각의 76마이크로초 이후에 얻어진다. 이 76마이크로초의 값은 408KHz로 31을 나눈것에 상응한다.
- <76> 정상 동작이나 테스트 단계에서 완전 세트를 제공하기 위해, 인터그레이터 카운터(22)는 각 코드 순서의 시작이나 종료점에 이어 카운팅을 시작한다. 따라서, 인터그레이션 시간 비(즉, 1ms/76마이크로초)에 상응하는 출력값들을 얻기 위한 시간 이득이 코드 반복 길이 비(1023/31)와 곱해져야 한다고 추정될 수 있다. 상관 및 복조 회로의 페루프 테스트에 대한 시간 이득은 의사-임의 코드가 1023의 반복 길이를 가질 경우 달성되는 테스트 시간보다 435배 작다. 이 이득은 테스트 단계에서 1023MHz로 코드 클럭 주파수가 고정될 경우 1000배까지 작을 수 있는데, 이는 인터그레이션 시간이 76마이크로초부터 대략 31마이크로초까지이기 때문이다.
- <77> 의사-평균출력 값에 상응하는 두 개의 다른 출력값 I_{PS} 와 Q_{PS} 는 값 I_{PS} 에 대해 두 출력 신호 I_{ES} 와 I_{LS} 를 더함으로써, 그리고 값 Q_{PS} 에 대해 두 신호 Q_{ES} 와 Q_{LS} 를 더함으로써 얻어진다.
- <78> PRN 코드 제어 루프에서, 네 개의 출력 신호 I_{ES} , I_{LS} , Q_{ES} , Q_{LS} 가 상기 출력 신호에 대한 에너지 연산 작용을 실행하는 코드 판별기(23)에 공급된다. 가령 16주기같이 여러 인터그레이션 주기동안 값 누적은 코드 판별기(23)에서 실행된다. 필터도 포함하는 이 판별기(23)는 코드 수치제어 발진기(24)에 여파된 코드 위상 루프 증분을 공급한다. 이 위상 루프 증분은 코드 사본 발생을 위해 위상을 조절하게 한다. 이 발진기(24)는 따라서, 여파된 28비트 이진워드를 판별기(23)로부터 수신한다.
- <79> 검색과정을 시작할 때, 발진기(24)가 제공해야할 코드 클럭 주파수의 시작값을 고정시키기 위하여, 마이크로프로세서 및 매개변수 입/출력 레지스터를 통해 코드 위상 증분 INCR-C가 제공된다. 물론, 이 조절 INCR-C의 값은 회로가 정상 동작 모드나 테스트 단계에 있을 경우 다르다.
- <80> 의사-임의 코드의 초기 및 후기 사본 발생을 클럭하기 위해 클럭 주파수 신호 PRN-CLK가 PRN 코드 발생기(25)에 공급된다. 명령 CS가 코드 발생기(25) 상에서 부과될 경우, 이는 31의 반복 길이를 가지는 코드 사본을 발생시키기 위해 테스트 단계에서 이 발생기가 구성됨을 의미한다. 마찬가지로, 테스트 단계에서, 수치제어 발진기(24)에 공급되는 증분 INCR-C는 발진기 출력에서 클럭 주파수 PRN-CLK가 408KHz의 값을 가지도록 선택된다.
- <81> 반송과 제어 루프에서, 의사-평균출력 출력 신호 I_{PS} 와 Q_{PS} 는 반송과 판별기(26) 내로 입력된다. 값 누적은 반송과 판별기(26)에서 어떤 수의 인터그레이션 주기동안(예를 들어 16주기동안) 실행된다. 필터도 포함하는 이 판별기(26)는 반송과 수치제어 발진기(NCO)(27)에 여파 반송과 루프 증분을 공급한다. 이 반송과 루프 발진기(27)는 판별기(26)로부터 여파 24비트 이진워드를 수신한다.
- <82> 검색 과정의 시작에서 코드 제어 루프의 경우, 주파수 증분 INCR-P는 특히 마이크로프로세서를 통해 입력된다. 주파수 증분 INCR-P는 발진기(27)에 의해 발생하는 반송과 주파수를 중간 신호의 반송과 주파수에 비교가능한 값으로 초기에 고정하게 한다. 물론, 회로가 정상 동작 모드나 테스트 단계에 있을 경우 이 증분 INCR-P의 값이

다르다.

- <83> 수치제어 발진기(27)로부터의 출력 신호는 사인/코사인 표(28)에 공급되고, 상기 표(28)는 두 복소 신호를 믹서(20)에 공급한다. 복소 신호(Cosx-iSinx)와 (-Sinx-iCosx)가 믹서에서 중간 복소 신호와 곱하여져서, 동상 신호 I와 직각 위상 신호 Q를 제공한다.
- <84> 앞서 설명한 바와 같이, 중간 테스트 신호 상에서 변조되는 의사-임의 코드에 대해 31칩의 반복 길이를 선택한 사실은 1023칩의 코드 반복 길이를 가지는 고주파 신호의 내재적 잡음이 회로 테스트 단계에서 고려되게 한다.
- <85> 상관 스테이지에 공급되는 기존 중간 신호 IF는 유용한 신호보다 16dB 큰 잡음을 포함한다. 따라서, 잡음이 없는 중간 테스트 신호와 비교할 수 있는 값을 구하기 위해 인터그레이터 카운터(22)에 의해 제공되는 출력 신호 상에서 실제 신호의 신호잡음비(SNR)를 고려하여야 한다. 일반적으로, 코드 사본이 중간 테스트 신호 코드와 동상일 때, 출력 신호는 15dB과 20dB 사이로 구성되는 SNR을 가진다.
- <86> 상관 스테이지 테스트가 수신기 외부에서 발생하는 잡음없는 고주파 신호로 실행될 경우, 인터그레이터 카운터(22)에 관해 포화 위험이 나타날 것이다. 이는 고주파 테스트 신호로 상관 스테이지 동작을 표시하는 테스트를 가지기 위해 상기 신호에 잡음을 더할 필요가 있기 때문이다. 역으로, 본 발명의 중간 테스트 신호로는 어떤 잡음도 추가되지 않는다. 왜냐하면, 인터그레이터 카운터의 출력값 누적에서 어떤 포화도 관측되지 않기 때문이다.
- <87> 수신기에 의해 수신되는 고주파 신호에 따라 좌우되는 인터그레이터 출력 신호의 전력은 공식 $P_s = (C/No)T \sigma^2$ 으로 주어지며, 이때 (C/No)T는 T가 1ms일 때 신호잡음비 (SNR)을 나타내고 σ^2 은 평균 잡음 전력을 나타낸다. 따라서, 중간 테스트 신호는 잡음을 포함하는 실제 고주파 신호의 출력 전력에 비교할 수 있는 출력 전력을 가지는 인터그레이터 카운터 출력 신호를 발생시킨다. 따라서, 이는 31로 감소된 의사-임의 코드를 가지는 잡음없는 테스트 신호를 가지는 상관 스테이지에서 실제에 가까운 페루프 동작 테스트가 실행되게 한다.
- <88> 테스트 단계의 종료시, 중간 신호 메시지는 마이크로프로세서에 데이터를 공급하기 위해 인터그레이터 카운터(22)의 각 출력 채널에서 복조된다. 테스트 결과와 수신 데이터의 함수로, 마이크로프로세서는 각각의 상관 스테이지 채널이 적절하게 작동하는 지를 확인할 수 있다. 의사-임의 코드 반복 길이의 감소 결과, 테스트 시간은 실제 동작 테스트에 비교가능한 페루프 테스트를 보장하면서 크게 감소된다. 따라서 90% 이상의 요소들이 본 페루프 테스트 모드에서 검사될 수 있다.
- <89> 마이크로프로세서의 프로그래밍의 함수로, 앞서 설명한 바와 같이, 지정 시간 주기에서 이 페루프 테스트 동작이 반복될 수 있다. 테스트 신호 발생기를 포함하는, 상관 및 복조 회로를 갖춘 수신기가 전지나 축전지에 의해 전력을 공급받는 휴대용 물체에 장착될 때 이 프로그래밍이 유용하다. 이 휴대용 물체는 테스트 단계에서도 전력 소모를 줄일 수 있는, 손목시계나 이동전화일 수 있다.
- <90> 그럼에도 불구하고, 수신기에서 상관 및 복조 회로를 장착하기 위한 동작이 발생하기 전에 이 테스트를 실행하는 것을 고려하는 것이 가능하다. 이러한 경우에, 회로의 이 상관 스테이지의 페루프 테스트는 웨이퍼 상에서 회로의 제작 라인 말미나 테스트 벤치 상에서 실행될 수 있다.
- <91> 청구범위에 의해 규정되는 발명의 범위로부터 벗어나지 않으면서 당 분야의 통상의 지식을 가진 자들에 의해, 다른 실시예의 상관 및 복조 회로가 고려될 수 있다. 정상 동작 모드와 테스트 모드에서 구성될 수 있는 회로는 지정된 코드 반복 길이에 의해 변조되는 신호에 대해 어떤 수신기에서도 이용될 수 있다. 중간 테스트 신호는 회로에 통합된 발생기보다 테스트 벤치에 위치하는 테스트 신호 발생기에 의해 공급될 수 있다. 그러나, 테스트 신호 발생기가 40개 남짓한 논리 게이트나 플립-플롭을 포함하기 때문에, 이 회로가 2백만개에 가까운 트랜지스터를 가지지만 이는 회로에 미세한 추가 공간만을 구성한다.

발명의 효과

- <92> 발명의 한가지 목적은 기존 기술의 테스트 장치나 방법의 결함을 극복하면서 테스트 시간을 가능한 최대로 감소시킬 수 있는, 코드에 의해 변조되는 신호용 수신기에 대한 상관 및 복조 회로를 제공하는 것으로 이루어진다. 더욱이, 상기 회로의 동작 테스트를 실행함으로써, 수신 신호 잡음에 연결된 매개변수들이 고려될 수 있다.
- <93> 이 목적은 다른 목적들과 부합하여, 앞서 설명한 상관 및 복조 회로에 의해 달성된다. 그 특징은 다음과 같다. 즉, 테스트 단계에서, 상기 코드 발생기는 제 1 코드보다 짧은 제 2 반복 코드에 의해 변조되는 테스트 중간 신

호와의 상관 동작에 대한 제 1 코드보다 짧은 제 2 반복 코드의 사본을 발생시키기 위해 제어 수단을 통해 적응되며, 제 1 코드에 의해 변조되는 신호를 가진 경우보다 훨씬 빠르게 상관 스테이지의 페루프 동작을 나타내는 테스트를 실행하도록 상관 스테이지에 공급된다.

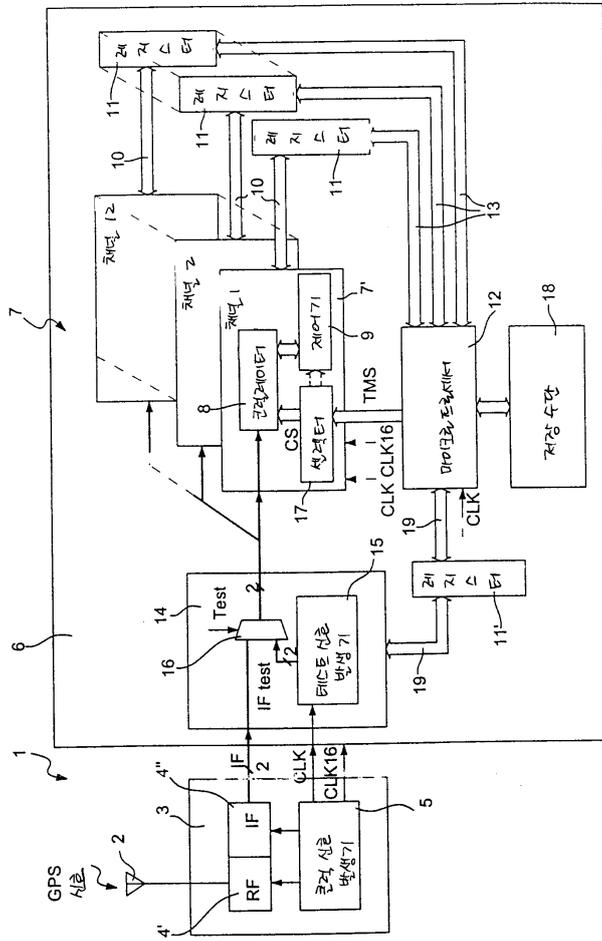
- <94> 상관 및 복조 회로의 한가지 장점은 상관 스테이지의 페루프 테스트 시간이 크게 줄어든다는 점이다. 이는 상기 회로의 작동 상태를, 따라서 상기 회로를 포함한 수신기의 작동 상태를 신속하게 알게 한다.
- <95> GPS형 고주파 신호 수신기의 경우에, 의사-임의 코드 반복 길이가 골드 코드에 상응한다면 상관 및 복조 회로 테스트 시간이 상대적으로 길 수 있다. 더욱이, 상기 회로가 상관 스테이지에서 여러 상관 채널을 포함한다면 이 테스트 시간이 또한 길다. 이는 중간 테스트 신호가 회로 동작의 신속한 확인을 위해 줄어든 길이의 의사-임의 코드를 가지는 회로의 상관 스테이지에 공급되기 때문이다.
- <96> 고주파 신호가 잡음을 또한 포함하기 때문에, 감소된 의사-임의 코드 길이는 잡음을 고려하도록 규정될 수 있다. 잡음없이 발생하는 이 감소된 코드 테스트 신호는 잡음을 포함하는 실제 출력 신호의 전력에 가까운 전력을 가지는 상관 스테이지 인터그레이터 카운터 출력 신호를 제공한다. 테스트 신호의 의사-임의 코드 반복 길이는 31칩이며, 골드 코드의 반복 길이는 1023 칩이다.
- <97> 이 중간 테스트 신호들은 통합 테스트 신호 발생 수단에 의해 상관 및 복조 회로 외부에서, 또는 상기 회로 내부에서 발생할 수 있다. 이 테스트 신호 발생 수단은 상관 및 복조 회로에서 작은 양의 공간만을 차지하며, 이는 상기 회로가 2백만개의 트랜지스터를 가지기 때문이다. 이 테스트 신호 발생 수단은 제어 수단, 즉 마이크로프로세서 수단에 의해 스위치-온된다.
- <98> 상기 테스트 신호 발생 수단은 마이크로프로세서 수단에서 프로그래밍된 시간 주기로 스위치-온될 수 있다. 상기 회로가 완전 수신기에 장착될 때, 상기 테스트 신호 발생 수단의 스위치-온은 수신기의 수신 수단에 의해 상기 회로에 중간 신호가 전달되는 것을 방지한다. 따라서 테스트 단계에서, 회로는 테스트 신호 발생 수단으로부터 기원하는 중간 테스트 신호만을 수신한다.
- <99> 이 테스트 신호들은 채널의 동시 테스트를 위한 상관 스테이지의 모든 채널에서 똑같이 부과된다. 마이크로프로세서는 각 채널의 코드 발생기를 제어하여, 테스트 단계에서 각 채널에 대한 감소된 의사-임의 코드의 사본을 발생시킨다.
- <100> 완전 수신기 외부로부터 어떤 테스트 신호도 제공되지 않는다. 역으로, 잡음으로부터 자유로운 작동 확인 테스트 신호가 상관 및 복조 회로에 기존 중간 신호 대신에 공급된다.
- <101> 상관 및 복조 회로 테스트 시간의 감소는 이론적으로, 테스트 단계를 신속하게 실행하기 위해 변조 신호 수신기에 회로가 장착될 때 필요하다. 이 테스트 시간 감소는 손목시계나 이동전화같은 휴대용물체에 수신기가 장착될 경우 축전지나 전지에서 너무 많은 에너지가 소모되는 것을 방지할 수 있다. 그러나, 상관 및 복조 회로는 기존 중간 신호에 상응하는 상관 스테이지에 공급되는 잡음으로부터 자유로운 테스트 신호를 가진 채로 수신기에 장착되기 전에 테스트될 수 있다.
- <102> 사용자는 수신기 상관 및 복조 회로의 완전한 테스트를 언제라도 실행할 수 있다.

도면의 간단한 설명

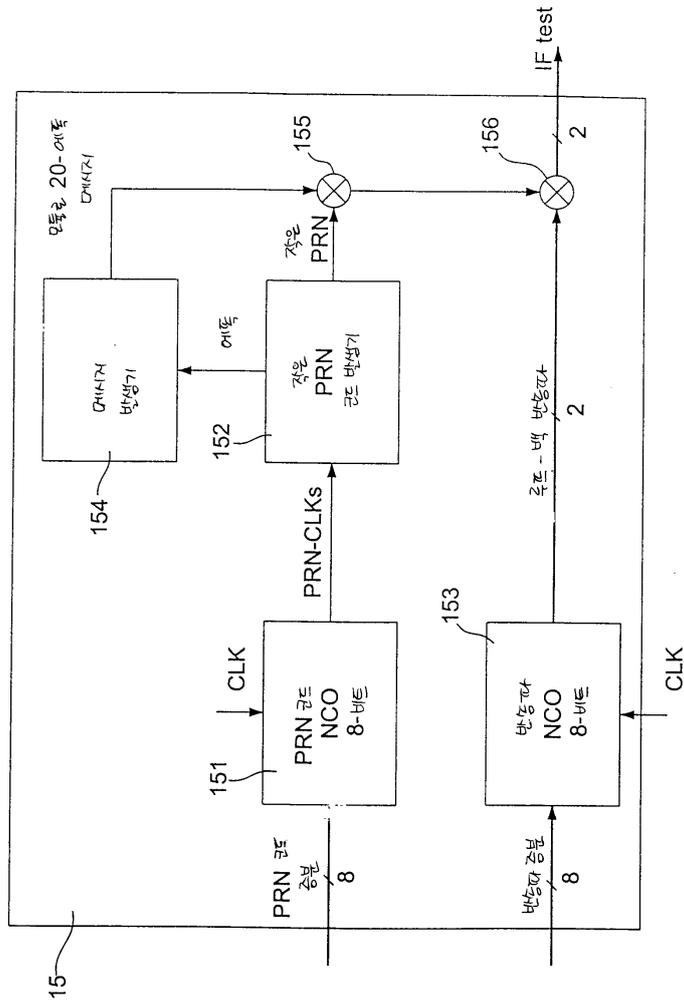
- <1> 도 1은 발명에 따라 상관 및 복조 회로를 갖춘 고주파 신호 수신기의 도면.
- <2> 도 2는 발명에 따르는 회로의 테스트 신호 발생기의 전자 부품 도면.
- <3> 도 3a는 발명에 따르는 테스트 신호 발생 수단의 감소된 PRN 코드 발생기의 도면.
- <4> 도 3b는 발명에 따르는 회로의 상관 스테이지 각 채널에 대한 테스트 모드와 정상 동작 모드로 구성될 수 있는 PRN 코드 발생기 도면.
- <5> 도 4는 발명에 따른 상관 스테이지의 코릴레이터 요소의 도면.

도면

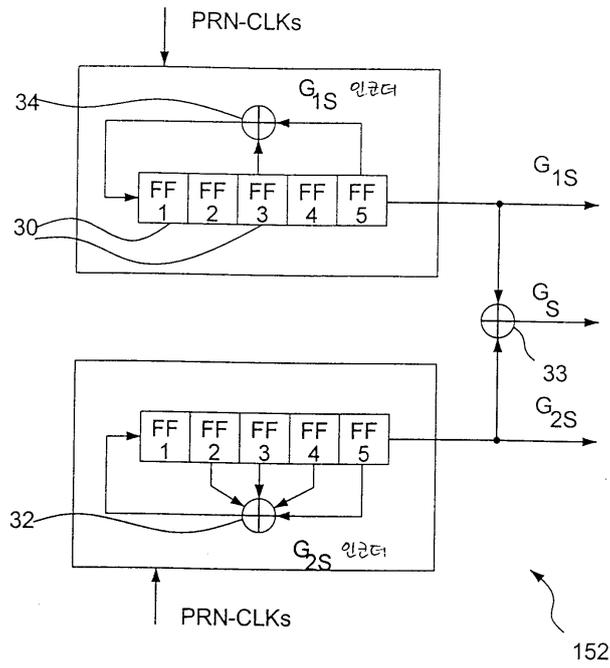
도면1



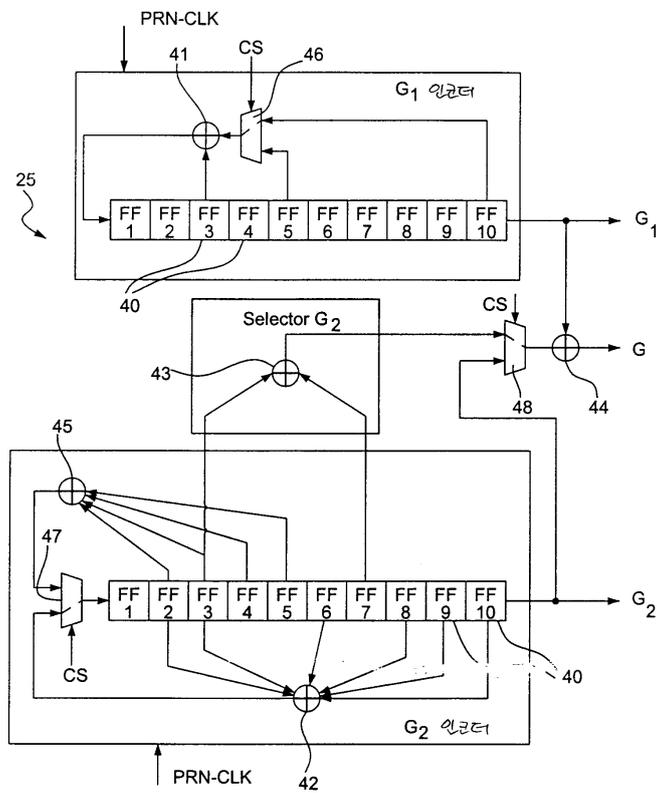
도면2



도면3a



도면3b



도면4

