



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512950 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：099145536

(22)申請日：中華民國 99 (2010) 年 12 月 23 日

(51)Int. Cl. : H01L27/11 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2009/12/25 日本

2009-296201

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

CN 101310371A

JP H02-44763A

US 2008/0128689A1

WO 2007/029844A

審查人員：徐欽民

申請專利範圍項數：24 項 圖式數：11 共 84 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的之一是提供一種即使在資料儲存保持期間中沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的新的結構的半導體裝置。該半導體裝置包括：包含第一源極電極以及第一汲極電極的第一電晶體；與第一源極電極以及第一汲極電極電連接且使用氧化物半導體材料的第一溝道形成區域；第一溝道形成區域上的第一閘極絕緣層；以及第一閘極絕緣層上的第一閘極電極的第一電晶體。第一電晶體的第一源極電極和第一汲極電極中的一個與電容器的一個電極彼此電連接。

An object of the present invention is to provide a semiconductor device having a novel structure in which in a data storing time, stored data can be stored even when power is not supplied, and there is no limitation on the number of writing. A semiconductor device includes a first transistor including a first source electrode and a first drain electrode; a first channel formation region for which an oxide semiconductor material is used and to which the first source electrode and the first drain electrode are electrically connected; a first gate insulating layer over the first channel formation region; and a first gate electrode over the first gate insulating layer. One of the first source electrode and the first drain electrode of the first transistor and one electrode of a capacitor are electrically connected to each other.

A cross-sectional view of a semiconductor device. The top surface is wavy, with peaks labeled 148b, 142a, 144, 148a, and 142b. A layer 150 is on top, and a layer 152 is below it. The bottom of the device is divided into regions B1 and B2. Other labels include 164, 146, 162, 138, and 200.

200 · · · 基板

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：099145536

※申請日：099 年 12 月 23 日

※IPC 分類：

H01L 27/11 H2006.01

一、發明名稱：(中文／英文)

半導體裝置

H01L 23/52 H2006.01

Semiconductor device

二、中文發明摘要：

本發明的目的之一是提供一種即使在資料儲存保持期間中沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的新的結構的半導體裝置。該半導體裝置包括：包含第一源極電極以及第一汲極電極的第一電晶體；與第一源極電極以及第一汲極電極電連接且使用氧化物半導體材料的第一溝道形成區域；第一溝道形成區域上的第一閘極絕緣層；以及第一閘極絕緣層上的第一閘極電極的第一電晶體。第一電晶體的第一源極電極和第一汲極電極中的一個與電容器的一個電極彼此電連接。

三、英文發明摘要：

An object of the present invention is to provide a semiconductor device having a novel structure in which in a data storing time, stored data can be stored even when power is not supplied, and there is no limitation on the number of writing. A semiconductor device includes a first transistor including a first source electrode and a first drain electrode; a first channel formation region for which an oxide semiconductor material is used and to which the first source electrode and the first drain electrode are electrically connected; a first gate insulating layer over the first channel formation region; and a first gate electrode over the first gate insulating layer. One of the first source electrode and the first drain electrode of the first transistor and one electrode of a capacitor are electrically connected to each other.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

138：絕緣層

142a：源極電極或汲極電極

142b：源極電極或汲極電極

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：電極

150：層間絕緣層

152：層間絕緣層

162：電晶體

164：電容器

200：基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的記憶體裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性記憶體裝置和即使沒有電力供給也保持儲存內容的非揮發性記憶體裝置。

作為揮發性記憶體裝置的典型例子，有DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資料。

根據上述原理，因為當從DRAM讀出資料時電容器的電荷消失，所以每次讀出資料時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中存在漏電流，而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按規定的週期再次進行寫入工作（刷新工作），由此，難以充分降低耗電量。另外，因為如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他記憶體裝置以實現較長期間的資料儲存保持。

作為揮發性記憶體裝置的另一例子，有SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM

使用正反器等電路保持儲存內容，而不需要進行刷新工作，在這一點上SRAM優越於DRAM。但是，因為SRAM使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM和DRAM相同。

作為非揮發性記憶體裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和溝道形成區域之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）、不需要進行揮發性記憶體裝置所需要的刷新工作的優點（例如，參照專利文獻1）。

但是，由於當進行寫入時產生的隧道電流會引起構成記憶元件的閘極絕緣層的退化，因此發生因規定次數的寫入而使記憶元件不能工作的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，為了使用該方法，需要具有複雜的週邊電路。另外，即使使用了上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資料的重寫頻度高的用途。

另外，為了在浮動閘極保持電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的保持或去除需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻1]日本專利申請公開第S57-105889號公報

【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一就是提供一種即使在資料儲存保持期間中沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的半導體裝置。

在所公開的發明中，使用高純度化了的氧化物半導體來構成半導體裝置。因為使用高純度化了的氧化物半導體來構成的電晶體的漏電流極小，所以可以在極長期間內保持資料。

所公開的發明的一個實施例是一種半導體裝置，包括：具有第一源極電極以及第一汲極電極、與第一源極電極以及第一汲極電極電連接且使用氧化物半導體材料的第一溝道形成區域、第一溝道形成區域上的第一閘極絕緣層、以及第一閘極絕緣層上的第一閘極電極的第一電晶體；以及電容器，其中第一電晶體的第一源極電極和第一汲極電極中的一個與電容器的一個電極電連接。

另外，在上述結構中，電容器可以包括：第一源極電極或第一汲極電極、第一閘極絕緣層、以及第一閘極絕緣層上的電容器用電極。

另外，在上述結構中也可以包括：具有第二源極電極以及第二汲極電極、與第二源極電極以及第二汲極電極電連接且使用氧化物半導體的第二溝道形成區域、第二溝道形成區域上的第二閘極絕緣層、以及第二閘極絕緣層上的第二閘極電極的第二電晶體；源極線；位元線；字線；第

一信號線；以及第二信號線，其中第二閘極電極、第一源極電極和第一汲極電極中的一個、以及電容器的一個電極的電連接，源極線與第二源極電極電連接，位元線與第二汲極電極電連接，第一信號線與第一源極電極和第一汲極電極中的另一個電連接，第二信號線與第一閘極電極電連接，字線與電容器的另一個電極電連接。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。另外，“上”或“下”只是為了便於說明而使用的，在沒有特別的說明時，“上”或“下”還包括其上下倒轉的情況。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書等中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻器、電感器、電容器、其他具有各種功能的元件等。

本發明的一個實施例提供一種包括使用氧化物半導體的電晶體的半導體裝置。因為使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

另外，在根據所公開的發明的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件退化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以完全不會發生閘極絕緣層的退化等的問題。就是說，根據所公開的發明的半導體裝置對寫入次數沒有限制，這是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為是根據電晶體的導通狀態或截止狀態而進行資料的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資料的工作的優點。

像這樣，藉由所公開的發明的一個實施例，可以提供一種即使沒有電力供給也可以保持儲存內容，且對寫入次數沒有限制的半導體裝置。

【實施方式】

下面，使用附圖對本發明的實施例的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

另外，附圖等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於附圖等所公開的位置、大小、範圍等。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施例 1

在本實施例中，參照圖 1A 至圖 1D 和圖 2A1 至圖 2B 對根據所公開的發明的一個實施例的半導體裝置的結構及製造方法進行說明。另外，在電路圖中，為了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

〈半導體裝置的截面結構〉

圖 1A 至圖 1D 是半導體裝置的結構的例子。圖 1A 至圖 1D 示出半導體裝置的截面。圖 1A 至圖 1D 所示的半導體裝

置具有使用氧化物半導體的電晶體 162 和電容器 164。

另外，雖然說明上述電晶體為 n 溝道型電晶體的情況，但是當然也可以使用 p 溝道型電晶體。另外，所公開的發明的技術本質在於：為了保持資料，將氧化物半導體用於電晶體 162。所以，半導體裝置的具體結構不侷限於這裏所示的結構。

圖 1A 中的電晶體 162 包括：隔著絕緣層 138 而設置在基板 200 上的源極電極或汲極電極 142a 以及源極電極或汲極電極 142b；與源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 電連接的氧化物半導體層 144；覆蓋源極電極或汲極電極 142a、源極電極或汲極電極 142b 和氧化物半導體層 144 的閘極絕緣層 146；在閘極絕緣層 146 上設置為重疊於氧化物半導體層 144 的閘極電極 148a。

在此，氧化物半導體層 144 最好藉由被充分地去除氫等的雜質，或者被供給充分的氧，而被高純度化。明確地說，例如將氧化物半導體層 144 的氫濃度設定為 5×10^{19} atoms/cm³ 或更低，最好設定為 5×10^{18} atoms/cm³ 或更低，更佳地設定為 5×10^{17} atoms/cm³ 或更低。另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）來測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能級的氧化物半導體層 144 中，載子濃度為低於 1×10^{12} /cm³，最好為低於 1×10^{11} /cm³，更佳為低於 1.45×10^{10} /cm³。例如，室溫下的

截止電流密度（將截止電流除以電晶體的溝道寬度的值）為 $10\text{ zA}/\mu\text{m}$ 至 $100\text{ zA}/\mu\text{m}$ （ 1 zA （zeptoampere）等於 $1\times 10^{-21}\text{ A}$ ）左右。如此，藉由使用被 i 型化（本質化）或實質上被 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，在圖 1A 所示的電晶體 162 中，不將氧化物半導體層 144 加工為島狀，因此可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

電容器 164 包括源極電極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146 和電極 148b。換言之，源極電極或汲極電極 142a 用作電容器 164 的一個電極，電極 148b 用作電容器 164 的另一個電極。

另外，在圖 1A 所示的電容器 164 中，藉由層疊氧化物半導體層 144 和閘極絕緣層 146，可以充分確保源極電極或汲極電極 142a 和電極 148b 之間的絕緣性。

另外，在電晶體 162 和電容器 164 中，最好將源極電極或汲極電極 142a、源極電極或汲極電極 142b、以及絕緣層 143 的端部形成為錐形形狀。在此，將錐形角例如設定為 30° 或更大且 60° 或更小。注意，錐形角是指當從垂直於截面（與基板的表面正交的面）的方向觀察具有錐形形狀的層（例如，源極電極或汲極電極 142a）時，該層的側面和底面所形成的傾斜角。這是因為藉由將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀，可以提高氧化物半導體層 144 的覆蓋性，並防止斷裂的

緣故。

另外，在電晶體 162 和電容器 164 上設置有層間絕緣層 150，在層間絕緣層 150 上設置有層間絕緣層 152。

圖 1B 所示的電晶體和電容器是圖 1A 所示的電晶體和電容器的變形例子之一。

圖 1B 所示的結構和圖 1A 所示的結構的不同點在於將氧化物半導體層形成爲島狀。換言之，在圖 1A 所示的結構中，氧化物半導體層 144 覆蓋絕緣層 138、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的整體。另一方面，在圖 1B 所示的結構中，島狀的氧化物半導體層 144 覆蓋絕緣層 138、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的一部分。在此，最好將島狀的氧化物半導體層 144 的端部形成爲錐形形狀。最好將錐形角例如設定爲 30° 或更大且 60° 或更小。

另外，在電容器 164 中，藉由層疊氧化物半導體層 144 和閘極絕緣層 146，可以充分確保源極電極或汲極電極 142a 和電極 148b 之間的絕緣性。

圖 1C 所示的電晶體和電容器是圖 1A 所示的電晶體和電容器的變形例子之一。

圖 1C 所示的結構和圖 1A 所示的結構的不同點在於：絕緣層 143 形成在源極電極或汲極電極 142a 和源極電極或汲極電極 142b 上；氧化物半導體層 144 形成爲覆蓋絕緣層 143、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b。另外，氧化物半導體層 144 被設置爲藉由設置在絕緣層

143中的開口與源極電極或汲極電極142a連接。

藉由具有絕緣層143，降低形成在閘極電極與源極電極或汲極電極之間的電容，而可以實現電晶體的工作的高速化。

圖1D所示的電晶體和電容器是圖1B和圖1C所示的電晶體和電容器的變形例子之一。

圖1D所示的結構和圖1B所示的結構的不同點在於：在圖1D中，絕緣層143形成在源極電極或汲極電極142a和源極電極或汲極電極142b上；氧化物半導體層144形成為覆蓋絕緣層143、源極電極或汲極電極142a以及源極電極或汲極電極142b。另外，圖1D所示的結構和圖1C所示的結構的不同點在於將氧化物半導體層144形成為島狀。藉由採用該結構，可以兼得圖1B所示的結構中的效果和圖1C所示的結構中的效果。

〈半導體裝置的電路結構及工作〉

接著，對上述半導體裝置的電路結構的例子及其工作進行說明。圖2A1至圖2B是使用圖1A至圖1D所示的半導體裝置的電路結構的例子。

在圖2A1所示的半導體裝置中，第一佈線（1st Line：也稱為源極線）與電晶體160的源極電極電連接，第二佈線（2nd Line：也稱為位元線）與電晶體160的汲極電極電連接。另外，第三佈線（3rd Line：也稱為第一信號線）與電晶體162的源極電極和汲極電極中的一個電連接，第

四佈線（4th Line：也稱第二信號線）與電晶體162的閘極電極電連接。再者，電晶體160的閘極電極和電晶體162的源極電極和汲極電極中的另一個與電容器164的一個電極電連接，第五佈線（5th Line：也稱為字線）與電容器164的另一個電極電連接。

在此，將上述使用氧化物半導體的電晶體應用於電晶體160和電晶體162。上述使用氧化物半導體的電晶體具有截止電流極為小的特徵。因此，藉由使電晶體162成為截止狀態，可以極長時間地保持電晶體160的閘極電極的電位。再者，藉由具有電容器164，容易保持施加到電晶體160的閘極電極的電荷，另外，也容易讀出所保持的資料。另外，使用氧化物半導體的電晶體162的溝道長度（ L ）為10nm或更大且1000nm或更小，所以該電晶體162具有耗電量小，並工作速度極快的特徵。

在圖2A1所示的半導體裝置中，藉由有效地利用可以保持電晶體160的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

首先，對資料的寫入和保持進行說明。首先，將第四佈線的電位設定為使電晶體162成為導通狀態的電位，使電晶體162成為導通狀態。由此，對電晶體160的閘極電極和電容器164施加第三佈線的電位。也就是說，對電晶體160的閘極電極施加規定的電荷（寫入）。在此，將施加兩個不同的電位位準的電荷（以下稱為Low位準電荷、High位準電荷）的任一個施加到電晶體160的閘極電極。

然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對電晶體 160 的閘極電極施加的電荷（保持）。

因為電晶體 162 的截止電流極為小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資料的讀出進行說明。當在對第一佈線施加規定的電位（定電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極中的電荷量，第二佈線具有不同的電位。這是因為一般而言，在電晶體 160 為 n 溝道型的情況下，對電晶體 160 的閘極電極施加 High 位準電荷時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Low 位準電荷時的外觀上的臨界值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 的中間電位 V_0 ，可以辨別對電晶體 160 的閘極電極施加的電荷。例如，在寫入中，在對電晶體 160 的閘極電極施加 High 位準電荷的情況下，當第五佈線的電位成為 V_0 ($>V_{th_H}$) 時，電晶體 160 成為“導通狀態”。在對電晶體 160 的閘極電極施加 Low 位準電荷的情況下，即使第五佈線的電位成為 V_0 ($<V_{th_L}$)，電晶體 160 也一直處於“截止狀態”。因此，藉由第二佈線的電位可以讀出所保持的資料。

另外，當將記憶體單元配置為陣列狀而使用時，需要只可以讀出所希望的記憶體單元的資料。像這樣，為了讀

出規定的記憶體單元的資料，且不讀出除此以外的記憶體單元的資料，當在每個記憶體單元之間將電晶體 160 分別並聯連接時，對讀出的物件之外的記憶體單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成為“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。另外，當在每個記憶體單元之間將電晶體 160 分別串聯連接時，對讀出的物件之外的記憶體單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成為“導通狀態”的電位，也就是大於 V_{th_L} 的電位，即可。

接著，對資料的改寫進行說明。資料的改寫與上述資料的寫入和保持同樣進行。也就是說，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容器 164 施加第三佈線的電位（有關新的資料的電位）。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而使電晶體 160 的閘極電極成為施加有有關新的資料的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置，藉由再次進行資料的寫入，可以直接改寫資料。因此，不需要快閃記憶體等所需要的擦除工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實現了半導體裝置的高速工作。

另外，藉由將電晶體 162 的源極電極或汲極電極與電晶體 160 的閘極電極電連接，該源極電極或汲極電極具有

與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極相同的作用。由此，有時將附圖中的電晶體 162 的源極電極或汲極電極與電晶體 160 的閘極電極電連接的部分稱為浮動閘極部 FG。當電晶體 162 處於截止狀態時，可以認為該浮動閘極部 FG 被埋設在絕緣體中，在浮動閘極部 FG 中保持有電荷。因為使用氧化物半導體的電晶體 162 的截止電流為使用矽等而形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的漏洩的儲存在浮動閘極部 FG 中的電荷的消失。也就是說，藉由使用氧化物半導體的電晶體 162，可以實現非揮發性記憶體裝置。

例如，當室溫下的電晶體 162 的截止電流密度為 10 zA (1 zA (zeptoampere) 等於 $1 \times 10^{-21}\text{ A}$) 左右，並電容器 164 的電容值為 1 pF 左右時，至少可以保持資料 10^6 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在此情況下不存在在現有的浮動閘極型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣膜的劣化問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在現有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

作為構成圖 2A1 所示的半導體裝置的電晶體等的要素包括電阻和電容器，並且可以用圖 2A2 所示的電路代替如圖 2A1 所示的半導體裝置。換言之，可以認為在圖 2A2 中，電晶體 160 和電容器 164 分別包括電阻和電容器而構成。

R1和C1分別是電容器164的電阻值和電容值，電阻值R1相當於構成電容器164的絕緣層的電阻值。另外，R2和C2分別是電晶體160的電阻值和電容值，電阻值R2相當於電晶體160處於導通狀態時的閘極絕緣層的電阻值，電容值C2相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容）值。另外，因為電阻值R2不過是用於示出電晶體160的閘極電極與溝道形成區域之間的電阻值，所以為了明確這一點，使用虛線示出連接的一部分。

在電晶體162處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，當R1和R2滿足 $R1 \geq R_{OS}$ （R1為 R_{OS} 以上）、 $R2 \geq R_{OS}$ （R2為 R_{OS} 以上）時，主要根據電晶體162的截止電流來決定電荷的保持期間（也可以說成資料的保持期間）。

與此相反，當R1、R2、以及 R_{OS} 不滿足該關係時，即使電晶體162的截止電流充分小，難以充分確保保持期間。這是因為在電晶體162之外產生的漏洩大的緣故。由此，可以說本實施例所公開的半導體裝置最好滿足上述關係。

另一方面，C1和C2最好滿足 $C1 \geq C2$ （C1為C2以上）的關係。這是因為藉由增大C1，當由第五佈線控制浮動閘極部FG的電位時（例如當進行讀出時），可以降低第五佈線的電位的變動的緣故。

藉由滿足上述關係，可以實現更佳的半導體裝置。另外，R1和R2由電晶體160或電晶體162的閘極絕緣層來控制

。C1和C2也是同樣的。因此，最好適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

圖2B所示的半導體裝置是具有不設置圖2A1中的電晶體160的結構的半導體裝置。在圖2B所示的半導體裝置中，第一佈線（1st Line：也稱為第一信號線）與電晶體162的源極電極和汲極電極中的一個電連接，第二佈線（2nd Line：也稱為第二信號線）與電晶體162的閘極電極電連接。再者，電晶體162的源極電極和汲極電極中的另一個與電容器164的一個電極電連接，第三佈線（3rd Line：也稱為電容線）與電容器164的另一個電極電連接。

在此，將上述使用氧化物半導體的電晶體應用於電晶體162。上述使用氧化物半導體的電晶體具有截止電流極小的特徵。因此，藉由將電晶體162成為截止狀態，可以極長時間地保持對電容器164施加的電位。另外，使用氧化物半導體的電晶體162的溝道長度（L）為10nm或更大且1000nm或更小，所以該電晶體162具有耗電量小，並工作速度極快的特徵。

在圖2B所示的半導體裝置中，藉由有效地利用可以保持對電容器164施加的電位的特徵，可以如以下所示那樣進行資料的寫入、保持、讀出。

首先，對資料的寫入和保持進行說明。在此，為了方便起見，假設第三佈線的電位是固定的。首先，將第二佈線的電位設定為使電晶體162成為導通狀態的電位，使電晶體162成為導通狀態。由此，對電容器164的一個電極施

加第一佈線的電位。也就是說，對電容器164施加規定的電荷（寫入）。然後，藉由將第二佈線的電位設定為使電晶體162成為截止狀態的電位，使電晶體162成為截止狀態，由此保持對電容器164施加的電荷（保持）。如上述那樣，因為電晶體162的截止電流極小，所以可以極長時間地保持電荷。

接著，對資料的讀出進行說明。當在對第一佈線施加規定的電位（定電位）的狀態下，將第二佈線的電位設定為使電晶體162成為導通狀態的電位時，根據保持在電容器164中的電荷量，第一佈線具有不同的電位。因此，藉由看第一佈線的電位，可以讀出所保持的資料。

另外，必須注意：由於當讀出資料時，電容器164中的電荷喪失，所以進行再次寫入。

接著，對資料的改寫進行說明。資料的改寫與上述資料的寫入和保持同樣進行。也就是說，將第二佈線的電位設定為使電晶體162成為導通狀態的電位，使電晶體162成為導通狀態。由此，對電容器164的一個電極施加第一佈線的電位（有關新的資料的電位）。然後，藉由將第二佈線的電位設定為使電晶體162成為截止狀態的電位，使電晶體162成為截止狀態，由此電容器164成為施加有有關新的資料的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置，藉由再次進行資料的寫入，可以直接改寫資料。由此，實現了半導體裝置的高速工作。

另外，上述說明是使用以電子為多數載子的n型電晶體（n溝道型電晶體）時的說明，但是當然可以使用以電洞為多數載子的p型電晶體代替n型電晶體。

實施例2

在本實施例中，使用圖3A至圖3E對使用氧化物半導體的半導體裝置的製造方法，明確地說，對電晶體162的製造方法進行說明。

首先，在基板200上形成絕緣層138。然後，在絕緣層138上形成導電層，並對該導電層進行選擇性的蝕刻來形成源極電極或汲極電極142a及源極電極或汲極電極142b（參照圖3A）。

作為基板200，例如可以採用玻璃基板。除了玻璃基板之外，基板200還可以採用：如陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的絕緣基板；由矽等半導體材料構成的半導體基板；由金屬或不鏽鋼等導電體構成的導電基板；以及以絕緣材料覆蓋上述基板而成的基板等。另外，雖然塑膠等具有撓性的基板的耐熱溫度普遍較低，但是只要能夠耐受後面的製造製程的溫度，則也可以將其用作基板200。

絕緣層138用作基底，可以利用PVD法或CVD法等形成。另外，絕緣層138可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇等無機絕緣材料的材料來形成。另外，最好以儘量不含有氫或水的方式形成絕緣

層 138。此外，還可以採用不設置絕緣層 138 的結構。

作為導電層，可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈇、鈦、鉬及鎢中的元素或上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹中的一種或多種材料。另外，還可以採用鋁與選自鈦、鈇、鎢、鉬、鈹、釩中的一種或多種元素組合的材料。

導電層既可以採用單層結構也可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極或汲極電極 142a 及源極電極或汲極電極 142b 加工為錐形形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物可以採用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為 ITO)、氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者使這些金屬氧化物材料中含有矽或氧化矽的金屬氧化物。

最好以形成的源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式對導電層進行蝕刻。這裏，錐形角例如最好為 30 度或更大 60 度或更小。另外，“錐形角”是指當從垂直於具有錐形形狀的層的截面

(垂直於基板表面的面)方向觀察該具有錐形形狀的層(例如,源極電極或汲極電極142a)時,該層的側面與底面之間的傾斜角。藉由以源極電極或汲極電極142a及源極電極或汲極電極142b的端部成為錐形形狀的方式進行蝕刻,可以提高後面形成的閘極絕緣層146的覆蓋性,並防止斷裂。

電晶體的溝道長度(L)由源極電極或汲極電極142a的下端部與源極電極或汲極電極142b的下端部之間的間隔決定。另外,當進行形成用於形成溝道長度(L)短於25nm的電晶體的掩模的曝光時,最好使用波長為幾nm至幾十nm的極短的極紫外線(Extreme Ultraviolet)進行用來形成掩模的曝光。利用極紫外線的曝光的解析度高且聚焦深度大。由此,可以將後面形成的電晶體的溝道長度(L)形成為10nm或更大至1000nm(1 μ m)或更小,而可以提高電路的工作速度。再者,藉由微型化可以降低半導體裝置的耗電量。

另外,還可以在源極電極或汲極電極142a及源極電極或汲極電極142b上形成絕緣層。藉由設置該絕緣層,可以降低之後形成的閘極電極與源極電極或汲極電極142a及源極電極或汲極電極142b之間的寄生電容。

接著,以覆蓋源極電極或汲極電極142a及源極電極或汲極電極142b的方式形成氧化物半導體層144(參照圖3B)。

作為氧化物半導體層144,可以使用如下氧化物半導

體來形成：四元金屬氧化物的 In-Sn-Ga-Zn-O 類；三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類；二元金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類；一元金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。

尤其是 In-Ga-Zn-O 類的氧化物半導體材料，由於其在無電場時的電阻充分高而能夠充分地降低截止電流且電場效應遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

作為 In-Ga-Zn-O 類的氧化物半導體材料的典型例子，有表示為 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ 、 m 不限於自然數) 的氧化物半導體材料。此外，還有使用 M 代替 Ga 的表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、 m 不限於自然數) 的氧化物半導體材料。在此，M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co) 等中的一種金屬元素或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。另外，上述組成是根據結晶結構而導出的，僅表示一個例子。

作為用於以濺射法形成氧化物半導體層 144 的靶材，最好使用由 $\text{In}:\text{Ga}:\text{Zn}=1:x:y$ (x 為 0 或更大、 y 為 0.5 或更大且 5 或更小) 的組成式表示的靶材。例如，可以使用其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩爾數比] 的靶材等。另外，還可以使用組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾數比]

的靶材、組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩爾數比] 的靶材或組成比為 $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ [摩爾數比] 的靶材。

在本實施例中，利用使用 In-Ga-Zn-O 類的金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 144。

將金屬氧化物靶材中的金屬氧化物的相對密度設定為 80% 或更高，最好設定為 95% 或更高，更佳地設定為 99.9% 或更高。藉由使用相對密度高的金屬氧化物靶材，可以形成具有緻密結構的氧化物半導體層 144。

氧化物半導體層 144 的形成氣圍最好為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，最好使用氬、水、羥基或氫化物等的雜質的濃度降低到 1ppm 或更低（較佳的是濃度為 10ppb 或更低）的高純度氣體氣圍。

當形成氧化物半導體層 144 時，例如，將基板放入保持為減壓狀態的處理室內，並對基板進行加熱以使基板溫度達到 100°C 或更高且低於 550°C ，最好為 200°C 或更高 400°C 或更低。或者，也可以將形成氧化物半導體層 144 時的基板的溫度設定為室溫。然後，邊去除處理室內的水分邊引入去除了氬或水等的濺射氣體，並使用上述靶材形成氧化物半導體層 144。藉由邊加熱基板邊形成氧化物半導體層 144，可以減少氧化物半導體層 144 中含有的雜質。另外，可以減輕因濺射而帶來的損傷。最好使用吸附式真空泵去除殘留在處理室內的水分。例如，可以使用低溫泵、離子泵、鈦昇華泵等。另外，還可以使用裝備有冷阱的渦輪

泵。由於藉由使用低溫泵等進行排氣，可以將氫或水等從處理室中去除，由此可以降低氧化物半導體層144中的雜質濃度。

作為氧化物半導體層144的形成條件，例如可以採用以下條件：基板與靶材之間的距離為170mm、壓力為0.4Pa、直流（DC）電力為0.5kW、氣圍為氧（氧流量比率100%）氣圍或氬（氬流量比率100%）氣圍或氧和氬的混合氣圍。另外，當利用脈衝直流（DC）電源時，可以減少成膜時形成的粉狀物質（也稱為微粒、塵屑等）且膜厚分佈也變得均勻，所以是較佳的。將氧化物半導體層144的厚度設定為1nm或更大50nm或更小，最好為1nm或更大30nm或更小，更佳為1nm或更大10nm或更小。藉由採用該厚度的氧化物半導體層144，可以抑制伴隨微型化的短溝道效應。但是，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

另外，在利用濺射法形成氧化物半導體層144之前，最好進行藉由引入氬氣體來產生電漿的反濺射來去除形成表面（例如絕緣層138的表面）上的附著物。這裏，反濺射是指以下一種方法：通常的濺射是使離子碰撞濺射靶材，而反濺射與其相反，其藉由使離子碰撞處理表面來改變表面的性質。作為使離子碰撞處理表面的方法，可以舉出在氬氣圍下對處理表面一側施加高頻電壓以在基板附近產生電漿的方法等。另外，也可以使用氮、氦、氧等氣圍代

替氬氣圍。

然後，最好對氧化物半導體層144進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層144中的過量的氫（包括水及羥基）而改善氧化物半導體層的結構，從而降低能隙中的缺陷能級。例如，可以將第一熱處理的溫度設定為300℃或更高且低於550℃，或者400℃或更高500℃或更低。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以450℃加熱1個小時。在此期間，不使氧化物半導體層144接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等的RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是藉由鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA裝置是使用高溫氣體進行熱處理的裝置。作為氣體，使用如氬等的稀有氣體或氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如，作為第一熱處理，可以採用GRTA處理，即：將被處理物放入被加熱的惰性氣體氣圍中，在進行幾分鐘

的加熱之後，再將被處理物從該惰性氣體氣圍中取出。藉由利用 GRTA 處理可以在短時間內進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也有可能適用該方法。另外，在處理中，還可以將惰性氣體換為含有氧的氣體。這是由於以下緣故：藉由在含有氧的氣圍中進行第一熱處理，可以降低因氧缺乏而引起能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不含有水、氫等的氣圍。例如，最好引入熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度為 6N（99.9999%）或更高，更佳為 7N（99.99999%）或更高（即，雜質濃度為 1ppm 或更低，最好設定為 0.1ppm 或更低）。

總之，藉由利用第一熱處理減少雜質以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層 144，可以實現具有極優越的特性的電晶體。

另外，上述熱處理（第一熱處理）具有去除氫或水等的作用，所以也將該熱處理稱為脫水化處理或脫氫化處理等。可以在形成氧化物半導體層之後、形成閘極絕緣層之後或形成閘極電極之後等進行該脫水化處理或脫氫化處理。另外，該脫水處理、脫氫處理不限於一次，而可以進行多次。

接著，形成接觸氧化物半導體層 144 的閘極絕緣層 146（參照圖 3C）。閘極絕緣層 146 可以利用 CVD 法或濺射法

等形成。另外，閘極絕緣層 146 最好以含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鈣、氧化釔、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的方式形成。閘極絕緣層 146 既可以採用單層結構，也可以採用疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，為了確保電晶體的工作最好將其形成得較薄。例如，當使用氧化矽時，可以將其形成為 1nm 或更大 100nm 或更小，最好為 10nm 或更大 50nm 或更小。

當如上述那樣將閘極絕緣層 146 形成得較薄時，存在因隧道效應等引起閘極洩漏電流的問題。為了解決閘極洩漏電流的問題，可以使用如氧化鈣、氧化鋇、氧化釔、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的高介電常數（high-k）材料作為閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以將膜厚度設定得厚，以抑制閘極洩漏電流。另外，還可以採用層疊含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

最好在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為 200℃ 或更高 450℃ 或更低，最好為 250℃ 或更高 350℃ 或更低。例如

，可以在氮氣圍下以 250℃ 進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，也可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

接著，在閘極絕緣層 146 上的與氧化物半導體層 144 重疊的區域形成閘極電極 148a（參照圖 3D）。藉由在閘極絕緣層 146 上形成導電層之後，對該導電層進行選擇性的蝕刻可以形成閘極電極 148a。成為閘極電極 148a 的導電層可以利用如濺射法等之 PVD 法或如電漿 CVD 法等之 CVD 法來形成。其詳細內容與形成源極電極或汲極電極 142a 等的情况相同而可以參照有關內容。另外，在形成閘極電極 148a 時，可以一起形成之前的實施例中的電容器 164 的電極 148b。

接著，在閘極絕緣層 146 及閘極電極 148a 上形成層間絕緣層 150 及層間絕緣層 152（參照圖 3E）。層間絕緣層 150 及層間絕緣層 152 可以利用 PVD 法或 CVD 法等形式形成。另

外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬等的無機絕緣材料的材料形成。另外，在本實施例中，雖然採用層間絕緣層150與層間絕緣層152的疊層結構，但是所公開的發明的一個實施例不限定於此。既可以採用單層結構，也可以採用三層以上的疊層結構。另外，也可以不設置層間絕緣層。

另外，最好將上述層間絕緣層152的表面形成得較為平坦。這是由於：藉由使層間絕緣層152的表面形成得較為平坦，當將半導體裝置微型化等時，也可以順利地在層間絕緣層152上形成電極或佈線等。另外，可以利用CMP（化學機械拋光）等方法進行層間絕緣層152的平坦化。

藉由上述步驟完成使用被高純度化的氧化物半導體層144的電晶體162（參照圖3E）。

圖3E所示的電晶體162包括：氧化物半導體層144；電連接到氧化物半導體層144的源極電極或汲極電極142a及源極電極或汲極電極142b；覆蓋氧化物半導體層144、源極電極或汲極電極142a及源極電極或汲極電極142b的閘極絕緣層146；閘極絕緣層146上的閘極電極148a；閘極絕緣層146和閘極電極148a上的層間絕緣層150；以及層間絕緣層150上的層間絕緣層152。

在本實施例所示的電晶體162中，由於氧化物半導體層144被高純度化，其氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更低，最好為 $5 \times 10^{18} \text{ atoms/cm}^3$ 或更低、更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 或更低。另外，氧化物半導體層144的載子密度與通常的矽

晶圓中的載子密度（ $1 \times 10^{14}/\text{cm}^3$ 左右）相比是充分小的值（例如，低於 $1 \times 10^{12}/\text{cm}^3$ 、更佳為低於 $1.45 \times 10^{10}/\text{cm}^3$ ）。並且，由此截止電流極小。例如，電晶體162在室溫下的截止電流密度（截止電流除以電晶體的溝道寬度的值）成為 $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （zeptoampere）為 $1 \times 10^{-21} \text{ A}$ ）左右。

如此，藉由使用被高純度化而被本質化的氧化物半導體層144，可以充分地降低電晶體的截止電流。並且，藉由使用該種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

以上本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例3

在本實施例中，使用圖4A至4E對使用氧化物半導體（尤其是具有非晶結構的氧化物半導體）的電晶體的製造方法進行說明。可以使用該電晶體代替之前的實施例中的電晶體162等。另外，本實施例的電晶體的部分結構與之前的實施例中的電晶體相同。所以，以下主要對其不同之處進行說明。另外，在以下說明中，雖然以頂閘極型電晶體為例進行說明，但是電晶體的結構不侷限於頂閘極型。

首先，在基板200上形成絕緣層202。然後，在絕緣層202上形成氧化物半導體層206（參照圖4A）。

作為基板200，例如，可以使用之前的實施例中的基

板 200。

絕緣層 202 相當於之前的實施例中的絕緣層 138，用作基底。其詳細內容可以參照之前的實施例。另外，還可以採用不設置絕緣層 202 的結構。

氧化物半導體層 206 相當於之前的實施例中的氧化物半導體層 144。至於可以使用的材料、製造方法及其他的詳細內容可以參照之前的實施例。

在本實施例中，利用使用 In-Ga-Zn-O 類金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 206。

接著，利用使用掩模的蝕刻等的方法加工氧化物半導體層 206，以形成島狀的氧化物半導體層 206a。

作為氧化物半導體層 206 的蝕刻方法，既可以使用乾蝕刻也可以使用濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將氧化物半導體層蝕刻成所希望的形狀。

作為乾蝕刻所使用的蝕刻氣體，例如有含有氯的氣體（氯類氣體，例如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（反應性離

子蝕刻)法或ICP(感應耦合電漿)蝕刻法。適當地設定蝕刻條件(施加到線圈形電極的電力量、施加到被處理物一側的電極的電力量、被處理物一側的電極溫度等),以將其蝕刻成所希望的形狀。

作為用於濕蝕刻的蝕刻劑,可以使用將磷酸、醋酸以及硝酸混合的溶液等。另外,還可以使用ITO07N(日本關東化學公司製造)等的蝕刻液。

最好以其端部成為錐形形狀的方式對氧化物半導體層206a進行蝕刻。這裏,作為錐形角,例如,最好為30度或更大60度或更小。另外,錐形角是指:當從垂直於具有錐形形狀的層的截面的方向觀察具有錐形形狀的層(例如氧化物半導體層206a)時的該層的側面與底面之間的傾斜角。藉由以氧化物半導體層206a的端部形成為錐形形狀的方式進行蝕刻,可以提高之後形成的源極電極或汲極電極208a、源極電極或汲極電極208b的覆蓋性,並防止斷裂。

之後,最好對氧化物半導體層206a進行熱處理(第一熱處理)。藉由該第一熱處理,可以去除氧化物半導體層206a中的過量的氫(包括水及羥基)而改善氧化物半導體層的結構,從而降低能隙中的缺陷能級。其詳細內容可以參照之前的實施例。另外,當如這裏所示那樣地在蝕刻之後進行熱處理(第一熱處理)時,具有以下優點:即便在使用濕蝕刻進行蝕刻的情況下,也可以在蝕刻速率高的狀態下進行蝕刻,由此可以縮短蝕刻所需要的時間。

另外,也可以對被加工為島狀的氧化物半導體層206a

之前的氧化物半導體層206進行第一熱處理。此時，在第一熱處理之後，將基板200從加熱裝置中取出並對其進行光刻製程。

另外，上述熱處理（第一熱處理）具有去除氫或水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。可以在形成氧化物半導體層之後、在氧化物半導體層206a上層疊源極電極及汲極電極之後或形成閘極絕緣層之後等進行該脫水化處理或脫氫化處理。另外，該脫水化處理、脫氫化處理不限於一次，而可以進行多次。

接著，以接觸氧化物半導體層206a的方式形成導電層。並且，對導電層進行選擇性的蝕刻以形成源極電極或汲極電極208a及源極電極或汲極電極208b（參照圖4B）。至於導電層、源極電極或汲極電極208a及源極電極或汲極電極208b以及其他的詳細內容，可以參照之前的實施例中關於導電層或源極電極或汲極電極等的記載。

接著，形成接觸於氧化物半導體層206a的一部分的閘極絕緣層212（參照圖4C）。至於閘極絕緣層212的詳細內容，可以參照之前的實施例中的關於閘極絕緣層等的記載。

在形成閘極絕緣層212之後，最好在惰性氣體氣圍下或氧氣圍下進行第二熱處理。至於第二熱處理的詳細內容也可以參照之前的實施例。

另外，在本實施例中，雖然在形成閘極絕緣層212之後進行第二熱處理，但是第二熱處理的時序不限定於此。

例如，也可以在形成閘極電極之後進行第二熱處理。

接著，在閘極絕緣層 212 上的與氧化物半導體層 206a 重疊的區域形成閘極電極 214（參照圖 4D）。藉由在閘極絕緣層 212 上形成導電層之後，對該導電層進行選擇性地構圖可以形成閘極電極 214。至於其詳細內容，可以參照之前的實施例。另外，還可以在形成閘極電極 214 時形成之前的實施例中的電容器的電極。

接著，在閘極絕緣層 212 及閘極電極 214 上形成層間絕緣層 216 及層間絕緣層 218（參照圖 4E）。至於其詳細內容，可以參照之前的實施例。此外，也可以不設置層間絕緣層。

藉由上述步驟，完成使用被高純度化的非晶結構的氧化物半導體層 206a 的電晶體 250（參照圖 4E）。另外，根據熱處理的條件，有時在氧化物半導體層 206a 中存在極少量的結晶成分。

像這樣，藉由使用被高純度化而被本質化的氧化物半導體層 206a，可以充分地降低電晶體的截止電流。並且，藉由使用該種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘極型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的上部與氧化物半導體層的下部接觸的

結構（圖 1A 至 1D、圖 3A 至 3E 所示的結構等）的頂閘極型電晶體。另外，也可以將本實施例的一部分應用於：源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘極型電晶體；或源極電極及汲極電極的上部接觸於氧化物半導體層的下部的結構的底閘極型電晶體。也就是說，根據本實施例，可以實現具有非晶結構的氧化物半導體的各種各樣的電晶體。

以上，本實施例所示的結構、方法等可以與其他實施例適當地組合而實施。

實施例 4

在本實施例中，使用圖 5A 至 5E 說明使用氧化物半導體的電晶體的製造方法。在本實施例中，對使用如下氧化物半導體層的電晶體進行詳細說明：作為氧化物半導體層，使用具有結晶區域的第一氧化物半導體層及從第一氧化物半導體層的結晶區域進行結晶成長的第二氧化物半導體層。可以使用該電晶體代替之前的實施例中的電晶體 162 等。另外，本實施例的電晶體的部分結構與之前的實施例中的電晶體相同。所以，在以下說明中，主要對其不同之處進行說明。

另外，當僅使用第一氧化物半導體層就能確保所需要的厚度時，不需要第二氧化物半導體層。另外，在以下說明中，雖然以頂閘極型的電晶體為例進行說明，但是電晶體的結構不侷限於頂閘極型。

首先，在基板 300 上形成絕緣層 302。然後，在絕緣層 302 上形成第一氧化物半導體層，並利用第一熱處理使至少包括第一氧化物半導體層表面的區域晶化，以形成第一氧化物半導體層 304（參照圖 5A）。

至於基板 300 的詳細內容，可以參照之前的實施例。

絕緣層 302 用作基底。至於絕緣層 302 的詳細內容，也可以參照之前的實施例。此外，也可以不設置絕緣層 302。

第一氧化物半導體層可以與之前的實施例中的氧化物半導體層同樣地形成。所以，關於第一氧化物半導體層及其成膜方法的詳細內容，參照之前的實施例即可。但是，在本實施例中，由於利用第一熱處理意圖性地使第一氧化物半導體層晶化，所以最好使用易於晶化的氧化物半導體形成第一氧化物半導體層。作為這樣的氧化物半導體，例如可以舉出 ZnO 等。另外，作為 In-Ga-Zn-O 類氧化物半導體，例如 Zn 濃度高的易於晶化，所以為了實現上述目的，最好使用金屬元素（In、Ga、Zn）中 Zn 所占的比率為 60atom% 或更大的 In-Ga-Zn-O 類氧化物半導體。另外，第一氧化物半導體層的厚度最好為 1nm 或更大 10nm 或更小。在本實施例中作為一個例子將其厚度設定為 3nm。但是，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

將第一熱處理的溫度設定為 550℃ 或更高 850℃ 或更低

，最好設定為 600°C 或更高 750°C 或更低。另外，熱處理的時間最好為1分以上24小時以下。此外，根據氧化物半導體的種類等，熱處理的溫度及熱處理的時間不同。

另外，作為第一熱處理的氣圍，最好採用為不含有氫或水等的氣圍。例如，可以採用水被充分地去除了的氮、氧、稀有氣體（氮、氖、氬等）氣圍。

作為熱處理裝置，除了電爐之外，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等的RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是藉由鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA裝置是使用高溫氣體進行熱處理的裝置。作為氣體，使用如氬等的稀有氣體或如氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

藉由上述第一熱處理，至少包括第一氧化物半導體層的表面的區域被晶化。該結晶區域是由第一氧化物半導體層表面向第一氧化物半導體層內部進行結晶成長而形成的區域。另外，該結晶區域有時含有平均厚度為 1nm 或更大 10nm 或更小的板狀結晶。另外，該結晶區域有時含有其 c 軸在大致垂直於氧化物半導體層的表面的方向上對準的結晶。這裏，大致平行是指在平行方向 ± 10 度以內的狀態，

大致垂直是指垂直方向 ± 10 度以內的狀態。

另外，最好在利用第一熱處理形成結晶區域的同時去除第一氧化物半導體層中的氫（包括水及羥基）。當進行氫等的去除時，最好在純度為6N（99.9999%）或更高（即，雜質濃度為1ppm或更低）的氮、氧、稀有氣體（氮、氖、氬等）氣圍下進行第一熱處理。更佳地採用純度為7N（99.99999%）或更高（即，雜質濃度為0.1ppm或更低）的氣圍。另外，還可以在 H_2O 為20ppm或更低的超乾燥空氣中，較佳的是在 H_2O 為1ppm或更低的超乾燥空氣中進行第一熱處理。

另外，最好在利用第一熱處理形成結晶區域的同時對第一氧化物半導體層供給氧。例如，藉由將熱處理的氣圍設定為氧氣圍，可以對第一氧化物半導體層供給氧。

在本實施例中，作為第一熱處理，藉由在氮氣圍下以 $700^{\circ}C$ 進行1個小時的熱處理去除氧化物半導體層中的氫等之後，再將氮氣圍換為氧氣圍，以對第一氧化物半導體層內部供給氧。另外，由於第一熱處理的主要目的是形成結晶區域，所以可以另行進行用於去除氫等的處理及用於供給氧的處理。例如，可以在用於去除氫等的熱處理及用於供給氧的處理之後進行用於晶化的熱處理。

藉由該第一熱處理，可以獲得氫（包括水及羥基）等被去除且被供給有氧的具有結晶區域的第一氧化物半導體層。

接著，在至少在包括表面的區域具有結晶區域的第一

氧化物半導體層304上形成第二氧化物半導體層305（參照圖5B）。另外，當僅使用第一氧化物半導體層304就能確保所需要的厚度時，不需要第二氧化物半導體層305。此時，可以省略有關第二氧化物半導體層305的製程。

第二氧化物半導體層305可以與之前的實施例中的氧化物半導體層同樣地形成。所以，關於第二氧化物半導體層305及其成膜方法的詳細內容，參照之前的實施例即可。但是，最好將第二氧化物半導體層305形成為厚於第一氧化物半導體層304。另外，最好以第一氧化物半導體層304與第二氧化物半導體層305的厚度的和成為1nm或更大50nm或更小，最好為1nm或更大10nm或更小的方式形成第二氧化物半導體層305。在本實施例中，作為一個例子將其厚度設定為7nm。另外，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

作為第二氧化物半導體層305，最好採用其主要成分與第一氧化物半導體層304相同且晶化後的晶格常數接近第一氧化物半導體層304的晶格常數的材料（晶格失配度為1%或更低）。這是由於以下緣故：當使用這樣的材料時，在第二氧化物半導體層305的晶化中，易於進行以第一氧化物半導體層304的結晶區域為種子的結晶成長。再者，當使用相同主要成分材料時，介面性質或電特性也良好。

另外，當能夠藉由晶化獲得所希望的膜質時，也可以

使用其主要材料與第一氧化物半導體層304不同的材料形成第二氧化物半導體層305。

接著，對第二氧化物半導體層305進行第二熱處理，來以第一氧化物半導體層304的結晶區域為種子進行結晶成長以形成第二氧化物半導體層306（參照圖5C）。當不形成第二氧化物半導體層305時可以省略該製程。

將第二熱處理的溫度設定為550℃或更高850℃或更低，最好為600℃或更高750℃或更低。將第二熱處理的加熱時間設定為1分以上100小時以下，最好為5小時以上20小時以下，典型的為10小時。此外，在第二熱處理中，也最好熱處理氣圍中不含有氫或水等。

至於氣圍的詳細說明及熱處理的效果與第一熱處理相同。另外，可以使用的熱處理裝置也與第一熱處理的情況相同。例如，藉由在第二熱處理的升溫時將爐的內部的氣圍設定為氮氣圍，而在冷卻時將爐的內部的氣圍設定為氧氣圍，可以在氮氣圍下去除氫等並在氧氣圍下進行氧的供給。

藉由進行上述那樣的第二熱處理，可以使結晶成長由形成於第一氧化物半導體層304中的結晶區域一直延伸至第二氧化物半導體層305整體，從而形成第二氧化物半導體層306。另外，可以形成去除了氫（包括水及羥基）等且被供給氧的第二氧化物半導體層306。此外，藉由第二熱處理，可以提高第一氧化物半導體層304的結晶區域的對準。

例如，當將 In-Ga-Zn-O 類氧化物半導體材料用於第二氧化物半導體層 306 時，第二氧化物半導體層 306 有可能包含以 $\text{InGaO}_3(\text{ZnO})_m$ (m 不限於自然數) 表示的結晶、以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ ($\text{In}:\text{Ga}:\text{Zn}:\text{O}=2:2:1:7[\text{atom比}]$) 表示的結晶等。藉由第二熱處理，將這種結晶以其 c 軸處於大致垂直於第二氧化物半導體層 306 的表面的方向的方式而對準。

在此，上述結晶具有與 a 軸 (a -axis) 以及 b 軸 (b -axis) 平行的層的疊層結構。另外，每個層含有 In、Ga、Zn 中的任一種。明確地說，上述結晶具有將含有 In 的層、不含有 In 的層 (含有 Ga 或 Zn 的層) 在 c 軸方向上層疊的結構。

在 In-Ga-Zn-O 類氧化物半導體結晶中，含有 In 的層的面內方向，即與 a 軸以及 b 軸平行的方向的導電性是良好的。這是因為在 In-Ga-Zn-O 類氧化物半導體結晶中，導電主要由 In 控制，並藉由一個 In 的 $5s$ 軌道與它相鄰的 In 的 $5s$ 軌道重疊，形成載子路徑 (carrier path) 等的緣故。

另外，當在第一氧化物半導體層 304 與絕緣層 302 的介面中存在非晶體區域時，藉由進行第二熱處理，有時結晶成長從形成在第一氧化物半導體層 304 的表面上的結晶區域向第一氧化物半導體層 304 的下方進展，而使該非晶體區域晶化。注意，根據構成絕緣層 302 的材料、熱處理的條件等，有時該非晶體區域也殘留。

另外，當將主要成分相同的氧化物半導體材料用於第一氧化物半導體層 304 和第二氧化物半導體層 305 時，如圖 5C 所示那樣，有時第一氧化物半導體層 304 和第二氧化物

半導體層 306 具有同一結晶結構。由此，雖然在圖 5C 中以虛線表示，但是有時由於不能辨別第一氧化物半導體層 304 和第二氧化物半導體層 306 的邊界，所以可以將第一氧化物半導體層 304 和第二氧化物半導體層 306 看作為同一層。

接著，藉由使用掩模的蝕刻等的方法來加工第一氧化物半導體層 304 和第二氧化物半導體層 306，形成島狀的第一氧化物半導體層 304a 和第二氧化物半導體層 306a（參照圖 5D）。注意，這裏在第二熱處理之後進行形成島狀的氧化物半導體層的加工，但是也可以在形成島狀的氧化物半導體的加工之後進行第二熱處理。此時，具有如下優點：即使使用濕蝕刻也可以在蝕刻速率高的狀態下進行蝕刻，由此可以縮短蝕刻所需要的時間。

第一氧化物半導體層 304 和第二氧化物半導體層 306 的蝕刻既可以使用乾蝕刻也可以使用濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將氧化物半導體層蝕刻成所希望的形狀。第一氧化物半導體層 304 和第二氧化物半導體層 306 的蝕刻可以與之前的實施例中的氧化物半導體層的蝕刻同樣地進行。對於其詳細內容，可以參照之前的實施例即可。

另外，最好氧化物半導體層中的成為溝道形成區域的區域具有平坦表面。例如，在第二氧化物半導體層 306 中的與閘極電極重疊的區域（溝道形成區域）中，最好第二

氧化物半導體層 306 的表面的高低差 (P-V) 為 1 nm 或更小 (更佳為 0.5 nm 或更小)。另外，上述高低差例如可以在 $10\mu\text{m} \times 10\mu\text{m}$ 的區域中測量。

接著，以接觸第二氧化物半導體層 306a 的方式形成導電層。然後，對該導電層進行選擇性的蝕刻來形成源極電極或汲極電極 308a 及源極電極或汲極電極 308b (參照圖 5D)。至於其詳細內容，可以參照之前的實施例即可。

另外，在圖 5D 所示的製程中，有時第一氧化物半導體層 304a 或第二氧化物半導體層 306a 中的接觸於源極電極或汲極電極 308a、源極電極或汲極電極 308b 的結晶層成為非晶狀態。由此，第一氧化物半導體層 304a 和第二氧化物半導體層 306a 的所有區域不一定是具有結晶性的區域。

接著，形成接觸於第二氧化物半導體層 306a 的一部分的閘極絕緣層 312。對於其詳細內容，可以參照之前的實施例即可。然後，在閘極絕緣層 312 上的與第一氧化物半導體層 304a 以及第二氧化物半導體層 306a 重疊的區域中形成閘極電極 314。並且，在閘極絕緣層 312 和閘極電極 314 上形成層間絕緣層 316 和層間絕緣層 318 (參照圖 5E)。對於其詳細內容，可以參照之前的實施例即可。

最好在形成閘極絕緣層 312 之後，在惰性氣體氣圍下或氧氣圍下進行第三熱處理。第三熱處理的溫度為 200°C 或更高且 450°C 或更低，最好為 250°C 或更高且 350°C 或更低。例如，可以在包含氧的氣圍下以 250°C 進行 1 個小時的熱處理。藉由進行第三熱處理，可以降低電晶體的電特性

的不均勻性。另外，當閘極絕緣層 312 是包含氧的絕緣層時，也可以對第二氧化物半導體層 306a 供給氧。

另外，在本實施例中，在形成閘極絕緣層 312 之後進行第三熱處理，但是第三熱處理的時序不侷限於此。另外，當藉由第二熱處理等的其他處理對第二氧化物半導體層 306a 供給氧時，可以省略第三熱處理。

藉由以上製程來完成使用第一氧化物半導體層 304a 和第二氧化物半導體層 306a 的電晶體 350（參照圖 5E）。

像這樣，藉由使用被高純度化而被本質化的第一氧化物半導體層 304a 和第二氧化物半導體層 306a，可以充分降低電晶體的截止電流。並且，藉由使用這種電晶體，可以得到可以極長時間地保持儲存內容的半導體裝置。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘極型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的上部與氧化物半導體層的下部接觸的結構（圖 1A 至 1D 或 3A 至 3E 所示的結構等）的頂閘極型電晶體。另外，也可以將本實施例的一部分應用於：源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘極型電晶體；源極電極及汲極電極的上部接觸於氧化物半導體層的下部的結構的底閘極型電晶體。也就是說，根據本實施例，可以實現包括具有結晶區域的氧化物半導體層的各種各樣的電晶體。

再者，在本實施例中，作為氧化物半導體層，使用具有結晶區域的第一氧化物半導體層304a和從第一氧化物半導體層304a的結晶區域進行結晶成長的第二氧化物半導體層306a，所以可以提高電場效應遷移率，而可以實現具有良好的電特性的電晶體。例如，可以實現電場效應遷移率 $\mu > 100 \text{ cm}^2/\text{V}\cdot\text{s}$ 。由此，也可以將上述電晶體應用於要求高工作速度的各種邏輯電路。

如上所述，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而實施。

實施例 5

在本實施例中，使用圖6A至6E對使用氧化物半導體的電晶體的製造方法進行說明。可以使用該電晶體代替之前的實施例中的電晶體162等。注意，根據本實施例的電晶體的一部分的結構與之前的實施例中的電晶體相同。所以，以下主要對其不同之處進行說明。另外，在以下說明中，雖然以頂閘極型電晶體為例子進行說明，但是電晶體的結構不侷限於頂閘極型。

首先，在基板400上形成絕緣層402。然後，在絕緣層402上形成氧化物半導體層406（參照圖6A）。對於其詳細內容，可以參照之前的實施例即可。

接著，藉由使用掩模的蝕刻等的方法來加工氧化物半導體層406，形成島狀的氧化物半導體層406a，以覆蓋該氧化物半導體層406a的方式，形成導電層408和絕緣層410

(參照圖6B)。另外，絕緣層410不是必須要的構成要素，但是其在對後面形成的源極電極或汲極電極的側面選擇性地進行氧化的方面是有效的。另外，絕緣層410在降低閘極電極和源極電極或汲極電極之間的電容的方面也是有效的。

對於島狀的氧化物半導體層406a的形成和熱處理等的詳細內容，可以參照之前的實施例即可。另外，對於導電層408的詳細內容，也可以參照之前的實施例。

可以藉由CVD法或濺射法等來形成絕緣層410。另外，最好以包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉬等的方式形成絕緣層410。另外，絕緣層410可以具有單層結構，也可以具有疊層結構。對絕緣層410的厚度沒有特別的限制，但是例如可以將其厚度設定為10nm或更大且200nm或更小。

接著，對導電層408和絕緣層410進行選擇性的蝕刻來形成源極電極或汲極電極408a、源極電極或汲極電極408b、絕緣層410a以及絕緣層410b(參照圖6C)。詳細內容與之前的實施例中的源極電極或汲極電極的形成製程相同。另外，鋁、鈦、鉬以及銅等的材料適合於後面進行的電漿氧化處理，所以適合用作源極電極或汲極電極408a、源極電極或汲極電極408b等的材料。

接著，進行用於對氧化物半導體層406a供給氧的氧化處理(參照圖6D)。藉由該氧化處理，在源極電極或汲極電極408a的一部分(尤其是相當於其側面的部分)上形成

氧化區域 411a，在源極電極或汲極電極 408b 的一部分（尤其是相當於其側面的部分）上形成氧化區域 411b（參照圖 6D）。另外，藉由該氧化處理，在源極電極或汲極電極 408a 以及源極電極或汲極電極 408b 的外周部中也形成氧化區域。

作為氧化處理，最好進行使用由微波（300MHz 至 300GHz）激發的氧電漿的氧化處理（電漿氧化處理）。這是因為藉由由微波激發電漿，實現高密度電漿，可以充分降低對氧化物半導體層 406a 的損傷的緣故。

更明確地說，例如可以將頻率設定為 300MHz 至 300GHz（典型為 2.45GHz），將壓力設定為 50Pa 至 5000Pa（典型為 500Pa），將被處理物的溫度設定為 200℃ 至 400℃（典型為 300℃），並使用氧和氬的混合氣體，進行上述處理。

藉由上述氧化處理，對氧化物半導體層 406a 供給氧，所以可以在充分降低對氧化物半導體層 406a 的損傷的同時，降低起因於氧缺乏的能隙中的缺陷能級。換言之，可以進一步提高氧化物半導體層 406a 的特性。

另外，只要是可以在充分降低對氧化物半導體層 406a 的損傷的同時，對氧化物半導體層 406a 供給氧的方法，就不侷限於使用微波的電漿氧化處理。例如，也可以使用包含氧的氣圍下的熱處理等的方法。

另外，除了上述氧化處理之外，還可以進行從氧化物半導體層 406a 去除水、氬等的處理。此時，例如可以進行

使用氮、氬等的氣體的電漿處理。

另外，當電晶體 450 被微型化時（例如，當溝道長度為短於 1000nm 時），藉由上述氧化處理來形成的氧化區域 411a 和氧化區域 411b 是特別有效的。隨著電晶體的微型化，對於閘極絕緣層要求減小其厚度。這是因為藉由具有該氧化區域，可以防止因閘極絕緣層的薄型化、覆蓋不良等而有可能發生的閘極電極和源極電極或汲極電極的短路的緣故。另外，該氧化區域只要具有 5nm 或更大（最好為 10nm 或更大）的厚度，充分有效。

另外，從改善露出的絕緣層 402 的膜質的觀點來看，上述氧化處理也是有效的。

另外，在具有防止源極電極或汲極電極 408a、源極電極或汲極電極 408b 的上部的氧化的作用上來看，絕緣層 410a 和絕緣層 410b 是重要的。這是因為在殘留有進行蝕刻時使用的掩模的情況下進行上述電漿處理有很大的困難的緣故。

接著，在不暴露於大氣的情況下，形成接觸於氧化物半導體層 406a 的一部分的閘極絕緣層 412。然後，在閘極絕緣層 412 上的與氧化物半導體層 406a 重疊的區域中形成閘極電極 414，在閘極絕緣層 412 和閘極電極 414 上形成層間絕緣層 416 和層間絕緣層 418（參照圖 6E）。對於其詳細內容，可以參照之前的實施例即可。

藉由以上製程，來完成使用氧化物半導體的電晶體 450。

在本實施例中，藉由對氧化物半導體層406a進行氧電漿處理，來對氧化物半導體層406a供給氧。由此，電晶體450的特性進一步得到提高。另外，相當於源極電極或汲極電極的側面的區域被氧化，所以可以防止因閘極絕緣層的薄膜化而可能產生的閘極電極-源極電極（或者汲極電極）之間的短路。另外，可以由氧化區域411a和氧化區域411b形成適當的偏移區域，所以也可以抑制氧化物半導體的源極電極（或者汲極電極）附近的電場的集中。

另外，藉由將絕緣層設置在源極電極和汲極電極上，可以降低源極電極以及汲極電極和閘極電極之間形成的電容（寄生電容），而可以實現進一步的高速工作。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘極型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘極型電晶體。也就是說，根據本實施例，可以實現包括被供給氧的氧化物半導體、具有氧化區域的電極等的各種各樣的電晶體。

以上本實施例所示的結構、方法等可以與其他實施例適當地組合而實施。

實施例6

在本實施例中，使用圖7A和圖7B以及圖8A至圖8C對

之前的實施例所示的半導體裝置的應用例子進行說明。

圖 7A 和 圖 7B 是使用多個圖 2A1 所示的半導體裝置（以下也表示為記憶體單元 190）來形成的半導體裝置的電路圖。圖 7A 是記憶體單元 190 串聯連接的所謂 NAND 型半導體裝置的電路圖。圖 7B 是記憶體單元 190 並聯連接的所謂 NOR 型半導體裝置的電路圖。

圖 7A 所示的半導體裝置包括源極線 SL、位元線 BL、第一信號線 S1、m 條第二信號線 S2、m 條字線 WL、配置為縱 m 個（行）× 橫 1 個（列）的多個記憶體單元 190（1，1）至 190（m，1）。另外，圖 7A 示出半導體裝置具有一條源極線 SL 和一條位元線 BL 的結構，但是所公開的發明的一個實施例不侷限於此。可以採用藉由具有 n 條源極線 SL 和 n 條位元線 BL，而具有縱 m 個（行）× 橫 n 個（列）的記憶體單元陣列的結構。

在每個記憶體單元 190 中，電晶體 160 的閘極電極、電晶體 162 的源極電極和汲極電極中的一個與電容器 164 的一個電極電連接。另外，第一信號線 S1 與電晶體 162 的源極電極和汲極電極中的另一個電連接，第二信號線 S2 與電晶體 162 的閘極電極電連接。再者，字線 WL 與電容器 164 的一個電極電連接。

另外，記憶體單元 190 所具有的電晶體 160 的源極電極與相鄰的記憶體單元 190 的電晶體 160 的汲極電極電連接，記憶體單元 190 所具有的電晶體 160 的汲極電極與相鄰的記憶體單元 190 的電晶體 160 的源極電極電連接。但是，串聯

連接的多個記憶體單元中的設置在一個端部的記憶體單元190所具有的電晶體160的汲極電極與位元線電連接。另外，串聯連接的多個記憶體單元中的設置在另一個端部的記憶體單元190所具有的電晶體160的源極電極與源極線電連接。

圖7A所示的半導體裝置按行進行寫入工作和讀出工作。以如下步驟進行寫入工作：對進行寫入的行的第二信號線S2施加使電晶體162成為導通狀態的電位，而使進行寫入的行的電晶體162成為導通狀態。由此，對所指定的行的電晶體160的閘極電極施加第一信號線S1的電位，而對該閘極電極施加規定的電荷。像這樣，可以對所指定的行的記憶體單元寫入資料。

另外，以如下步驟進行讀出工作：首先，對進行讀出的行之外的字線WL施加不管電晶體160的閘極電極的電荷如何都使電晶體160成為導通狀態的電位，而使進行讀出的行之外的電晶體160成為導通狀態。然後，對進行讀出的行的字線WL施加根據電晶體160的閘極電極所具有的電荷選擇電晶體160的導通狀態或截止狀態的電位（讀出電位）。然後，對源極線SL施加定電位，使與位元線BL連接的讀出電路（未圖示）成為工作狀態。這裏，源極線SL-位元線BL之間的多個電晶體160除了進行讀出的行之外處於導通狀態，所以根據進行讀出的行的電晶體160的狀態，決定源極線SL-位元線BL之間的導電率。就是說，根據進行讀出的行的電晶體160的閘極電極所具有的電荷，

讀出電路所讀出的位元線 BL 的電位取不同的值。像這樣，可以從所指定的行的記憶體單元讀出資料。

圖 7B 所示的半導體裝置具有 n 條源極線 SL、 n 條位元線 BL、以及 n 條第一信號線 S1； m 條第二信號線 S2 以及 m 條字線 WL；以及多個記憶體單元 190 (1, 1) 至 190 (m, n) 配置為縱 m 個 (行) $\times$ 橫 n 個 (列) 的矩陣狀的記憶體單元陣列 181。每個電晶體 160 的閘極電極、電晶體 162 的源極電極和汲極電極中的一個與電容器 164 的一個電極電連接。另外，源極線 SL 與電晶體 160 的源極電極電連接，位元線 BL 與電晶體 160 的汲極電極電連接。另外，第一信號線 S1 與電晶體 162 的源極電極和汲極電極中的另一個電連接，第二信號線 S2 與電晶體 162 的閘極電極電連接。再者，字線 WL 與電容器 164 的另一個電極電連接。

圖 7B 所示的半導體裝置按行進行寫入工作和讀出工作。寫入工作以與上述圖 7A 所示的半導體裝置相同的方法進行。讀出工作以如下步驟進行：首先，對進行讀出的行之外的字線 WL 施加不管電晶體 160 的閘極電極的電荷如何都使電晶體 160 成為截止狀態的電位，而使進行讀出的行之外的電晶體 160 成為截止狀態。然後，對進行讀出的行的字線 WL 施加根據電晶體 160 的閘極電極所具有的電荷選擇電晶體 160 的導通狀態或截止狀態的電位 (讀出電位)。然後，對源極線 SL 施加定電位，使與位元線 BL 連接的讀出電路 (未圖示) 成為工作狀態。這裏，根據進行讀出的行的電晶體 160 的狀態，決定源極線 SL-位元線 BL 之間的導

電率。就是說，根據進行讀出的行的電晶體 160 的閘極電極所具有的電荷，讀出電路所讀出的位元線 BL 的電位取不同的值。像這樣，可以從所指定的行的記憶體單元讀出資料。

接著，使用圖 8A 至圖 8C 對可以用於圖 7A 和圖 7B 所示的半導體裝置等的讀出電路的一個例子進行說明。

圖 8A 示出讀出電路的概況。該讀出電路具有電晶體和感測放大器電路。

當進行讀出時，端子 A 與連接到進行讀出的記憶體單元的位元線連接。另外，對電晶體的閘極電極施加偏電位 V_{bias} ，來控制端子 A 的電位。

根據所容納的資料，記憶體單元 190 示出不同的電阻值。明確地說，當所選擇的記憶體單元 190 的電晶體 160 處於導通狀態時成為低電阻狀態，當所選擇的記憶體單元 190 的電晶體 160 處於截止狀態時成為高電阻狀態。

當記憶體單元處於高電阻狀態時，端子 A 的電位高於參考電位 V_{ref} ，感測放大器電路輸出對應於端子 A 的電位的電位（資料“1”）。另一方面，當記憶體單元處於低電阻狀態時，端子 A 的電位低於參考電位 V_{ref} ，感測放大器電路輸出對應於端子 A 的電位的電位（資料“0”）。

像這樣，藉由使用讀出電路，可以從記憶體單元讀出資料。另外，本實施例所示的讀出電路是一個例子。也可以使用其他已知的電路。此外，讀出電路也可以具有預充電電路。也可以採用連接有參照用位元線代替參考電位

V_{ref} 的結構。

圖 8B 示出感測放大器電路的一個例子的差動型感測放大器。差動型感測放大器具有輸入端子 $V_{in}(+)$ 、 $V_{in}(-)$ 以及輸出端子 V_{out} ，放大 $V_{in}(+)$ 與 $V_{in}(-)$ 的差。當 $V_{in}(+) > V_{in}(-)$ 時， V_{out} 通常成為 High 輸出，當 $V_{in}(+) < V_{in}(-)$ 時， V_{out} 通常成為 Low 輸出。

圖 8C 示出感測放大器電路的一個例子的鎖存型感測放大器。鎖存型感測放大器具有輸入輸出端子 $V1$ 和 $V2$ 以及控制用信號 S_p 和 S_n 的輸入端子。首先，將控制用信號 S_p 設定為 High，而將控制用信號 S_n 設定為 Low，來遮斷電源電位 (V_{dd})。然後，對 $V1$ 和 $V2$ 施加進行比較的電位。之後，在將控制用信號 S_p 設定為 Low，而將控制用信號 S_n 設定為 High，對 $V1$ 和 $V2$ 供給電源電位 (V_{dd}) 的情況下，當進行比較的電位 $V1_{in}$ 和 $V2_{in}$ 處於 $V1_{in} > V2_{in}$ 時， $V1$ 的輸出成為 High， $V2$ 的輸出成為 Low。當進行比較的電位 $V1_{in}$ 和 $V2_{in}$ 處於 $V1_{in} < V2_{in}$ 時， $V1$ 的輸出成為 Low， $V2$ 的輸出成為 High。藉由利用這種關係，可以放大 $V1_{in}$ 和 $V2_{in}$ 的差。

本實施例所示的結構、方法等可以與其他實施例適當地組合而實施。

實施例 7

在本實施例中，參照圖 9A 和圖 9B 對使用之前的實施例所示的電晶體的半導體裝置的例子進行說明。

圖 9A 示出具有相當於所謂的 DRAM (Dynamic Random

Access Memory：動態隨機存取記憶體）的結構的半導體裝置的一個例子。圖9A所示的記憶體單元陣列620具有將多個記憶體單元630排列為矩陣狀的結構。另外，記憶體單元陣列620具有 m 條第一佈線和 n 條第二佈線。注意，記憶體單元630相當於圖2B所示的半導體裝置。另外，在本實施例中，將圖2B中的第一佈線稱為位元線BL，將第二佈線稱為字線WL。

記憶體單元630包括電晶體631和電容器632。電晶體631的閘極電極與第一佈線（字線WL）連接。另外，電晶體631的源極電極和汲極電極中的一個與第二佈線（位元線BL）連接，電晶體631的源極電極和汲極電極中的另一個與電容器的一個電極連接。另外，電容器的另一個電極與電容線CL連接，對該電容器的另一個電極施加一定電位。作為電晶體631，應用之前的實施例所示的電晶體。

之前的實施例所示的電晶體具有截止電流極小的特徵。因此，當將該電晶體應用於所謂的DRAM的圖9A所示的半導體裝置時，可以得到實際上的非揮發性記憶體裝置。

圖9B示出具有相當於所謂的SRAM（Static Random Access Memory：靜態隨機存取記憶體）的結構的半導體裝置的一個例子。圖9B所示的記憶體單元陣列640可以具有將多個記憶體單元650排列為矩陣狀的結構。另外，記憶體單元陣列640具有多條第一佈線（字線WL）、多條第二佈線（位元線BL）以及多條第三佈線（反轉位元線/ $\overline{BL}$ ）。

記憶體單元 650 具有第一電晶體 651 至第六電晶體 656。第一電晶體 651 和第二電晶體 652 用作選擇電晶體。另外，第三電晶體 653 和第四電晶體 654 之中的一個是 n 溝道型電晶體（這裏，是第四電晶體 654），另一個是 p 溝道型電晶體（這裏，是第三電晶體 653）。就是說，第三電晶體 653 和第四電晶體 654 構成 CMOS 電路。與此同樣，第五電晶體 655 和第六電晶體 656 構成 CMOS 電路。

第一電晶體 651、第二電晶體 652、第四電晶體 654 以及第六電晶體 656 是 n 溝道型電晶體，可以應用之前的實施例所示的電晶體。第三電晶體 653 和第五電晶體 655 是 p 溝道型電晶體，並可以使用氧化物半導體或其他材料（例如，矽等）來形成。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而實施。

實施例 8

在本實施例中，使用圖 10A 至圖 10F 對將之前的實施例所說明的半導體裝置應用於電子設備的情況進行說明。在本實施例中，說明將上述半導體裝置應用於電腦；行動電話機（也稱為行動電話、行動電話裝置）；可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）；數位相機、數位攝像機等影像拍攝裝置；電子紙；電視裝置（也稱為電視或電視接收機）等的電子設備的情況。

圖 10A 示出筆記本型個人電腦，包括框體 701、框體

702、顯示部703以及鍵盤704等。之前的實施例所示的半導體裝置設置在框體701和框體702中。之前的實施例所示的半導體裝置的寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的筆記本型個人電腦。

圖10B示出可攜式資訊終端（PDA），其本體711包括顯示部713、外部介面715以及操作按鈕714等。另外，還包括用於操作可攜式資訊終端的觸屏筆712等。之前的實施例所示的半導體裝置設置在本體711中。之前的實施例所示的半導體裝置寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的可攜式資訊終端。

圖10C示出安裝有電子紙的電子書閱讀器720，包括框體721和框體723的兩個框體。框體721和框體723分別設置有顯示部725和顯示部727。框體721和框體723由軸部737相連接，使電子書閱讀器720可以以該軸部737為軸進行開閉動作。另外，框體721包括電源731、操作鍵733以及揚聲器735等。之前的實施例所示的半導體裝置設置在框體721和框體723中的至少一個。之前的實施例所示的半導體裝置寫入和讀出資料的速度很快，可以在較長期間內保持

儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的電子書閱讀器。

圖 10D 示出行動電話機，包括框體 740 和框體 741 的兩個框體。再者，框體 740 和框體 741 滑動而可以從如圖 10D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，框體 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，框體 740 包括進行行動電話機的充電的太陽能電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在框體 741 中。之前的實施例所示的半導體裝置設置在框體 740 和框體 741 中的至少一個。之前的實施例所示的半導體裝置寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的行動電話機。

圖 10E 示出數位相機，包括本體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 以及電池 766 等。之前的實施例所示的半導體裝置設置在本體 761 中。之前的實施例所示的半導體裝置寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的數位相機

圖 10F 示出電視裝置 770，包括框體 771、顯示部 773 以及支架 775 等。可以藉由框體 771 具有的開關和遙控器 780 來進行電視裝置 770 的操作。框體 771 和遙控器 780 安裝有之前的實施例所示的半導體裝置。之前的實施例所示的半導體裝置寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資料的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的電視裝置。

如上所述，本實施例所示的電子設備安裝有根據之前的實施例的半導體裝置。所以，可以實現耗電量被降低的電子設備。

實例 1

對根據所公開的發明的一個實施例的半導體裝置的能夠重寫的次數進行考察。在本實例中，參照圖 11 對該檢查結果進行說明。

用於考察的半導體裝置是具有圖 2A1 所示的電路結構的半導體裝置。這裏，作為相當於電晶體 162 的電晶體，使用氧化物電晶體。另外，作為相當於電容器 164 的電容器，使用電容值為 0.33 pF 的電容器。

藉由比較初期記憶視窗寬度和反復進行規定次數的資料的保持和資料的寫入之後的記憶視窗寬度，來進行考察。藉由對相當於圖 2A1 中的第三佈線的佈線施加 0V 和 5V 中

的一個，對相當於第四佈線的佈線施加 0V 和 5V 中的一個，進行資料的保持和資料的寫入。當相當於第四佈線的佈線的電位為 0V 時，相當於電晶體 162 的電晶體處於截止狀態，因此保持對浮動閘極部 FG 施加的電位。當相當於第四佈線的佈線的電位為 5V 時，相當於電晶體 162 的電晶體處於導通狀態，因此對浮動閘極部 FG 施加相當於第三佈線的佈線的電位。

記憶視窗寬度是指示出記憶體裝置的特性的指標之一。在此，該記憶視窗寬度是指示出不同的儲存狀態之間的相當於第五佈線的佈線的電位 V_{cg} 和相當於電晶體 160 的電晶體的漏電流 I_d 的關係的曲線（ $V_{cg}-I_d$ 曲線）的漂移量 ΔV_{cg} 。不同的儲存狀態是指對浮動閘極部 FG 施加 0V 的狀態（以下稱為 Low 狀態）和對浮動閘極部 FG 施加 5V 的狀態（以下稱為 High 狀態）。就是說，可以藉由在 Low 狀態和 High 狀態進行電位 V_{cg} 的掃描，來確認記憶視窗寬度。另外，在任何情況下 $V_{ds}=1V$ 。

圖 11 示出初期狀態的記憶視窗寬度和進行 1×10^9 次的寫入之後的記憶視窗寬度的檢查結果。另外，在圖 11 中，實線示出第一次的寫入，虛線示出第 1×10^9 次的寫入。另外，在實線和虛線的兩者中，左邊的曲線示出 High 狀態的寫入，右邊的曲線示出 Low 狀態的寫入。另外，橫軸示出 V_{cg} (V)，縱軸示出 I_d (A)。根據圖 11 可以確認到：在第 1×10^9 次的寫入的前後，在 High 狀態和 Low 狀態掃描了電位 V_{cg} 的記憶視窗寬度沒變化。在第 1×10^9 次的寫入的前後

記憶視窗寬度沒變化示出：至少在此期間，半導體裝置的特性沒變化。

如上所述，根據所公開的發明的一個實施例的半導體裝置即使反復進行多次保持和寫入其特性也沒變化。就是說，可以藉由所公開的發明的一個實施例來實現可靠性極為高的半導體裝置。

【圖式簡單說明】

在附圖中：

圖1A至圖1D是半導體裝置的截面圖；

圖2A1、2A2及2B是半導體裝置的電路圖；

圖3A至圖3E是有關半導體裝置的製造製程的截面圖；

圖4A至圖4E是有關半導體裝置的製造製程的截面圖；

圖5A至圖5E是有關半導體裝置的製造製程的截面圖；

圖6A至圖6E是有關半導體裝置的製造製程的截面圖；

圖7A和圖7B是半導體裝置的電路圖；

圖8A至圖8C是半導體裝置的電路圖；

圖9A和圖9B是半導體裝置的電路圖；

圖10A至圖10F是用於說明包含半導體裝置的電子設備的圖；以及

圖11是示出記憶視窗（Memory Window）的寬度的檢查結果的圖。

【主要元件符號說明】

138：絕緣層

140：氧化物半導體層

142a：源極電極或汲極電極

142b：源極電極或汲極電極

143：絕緣層

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：電極

150：層間絕緣層

152：層間絕緣層

160：電晶體

162：電晶體

164：電容器

181：記憶體單元陣列

190：記憶體單元

200：基板

202：絕緣層

206：氧化物半導體層

206a：氧化物半導體層

208a：源極電極或汲極電極

208b：源極電極或汲極電極

212：閘極絕緣層

214：閘極電極

216：層間絕緣層
 218：層間絕緣層
 250：電晶體
 300：基板
 302：絕緣層
 304：第一氧化物半導體層
 304a：第一氧化物半導體層
 305：第二氧化物半導體層
 306：第二氧化物半導體層
 306a：第二氧化物半導體層
 308a：源極電極或汲極電極
 308b：源極電極或汲極電極
 312：閘極絕緣層
 314：閘極電極
 316：層間絕緣層
 318：層間絕緣層
 350：電晶體
 400：基板
 402：絕緣層
 406：氧化物半導體層
 406a：氧化物半導體層
 408：導電層
 408a：源極電極或汲極電極
 408b：源極電極或汲極電極

410：絕緣層
 410a：絕緣層
 410b：絕緣層
 411a：氧化區域
 411b：氧化區域
 412：閘極絕緣層
 414：閘極電極
 416：層間絕緣層
 418：層間絕緣層
 450：電晶體
 620：記憶體單元陣列
 630：記憶體單元
 631：電晶體
 632：電容器
 640：記憶體單元陣列
 650：記憶體單元
 651：電晶體
 652：電晶體
 653：電晶體
 654：電晶體
 655：電晶體
 656：電晶體
 701：框體
 702：框體

703：顯示部
704：鍵盤
711：本體
712：觸屏筆
713：顯示部
714：操作按鈕
715：外部介面
720：電子書閱讀器
721：框體
723：框體
725：顯示部
727：顯示部
731：電源
733：操作鍵
735：揚聲器
737：軸部
740：框體
741：框體
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵
746：指向裝置
747：照相用透鏡

748：外部連接端子
749：太陽能電池單元
750：外部記憶體插槽
761：本體
763：取景器
764：操作開關
765：顯示部
766：電池
767：顯示部
770：電視裝置
771：框體
773：顯示部
775：支架
780：遙控器

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

在基板上的電晶體，該電晶體包括：

源極電極和汲極電極；

重疊於該源極電極和該汲極電極的氧化物半導體層；以及

重疊於該氧化物半導體層的閘極絕緣層；以及電容器，

其中，該電晶體的該源極電極和該汲極電極中的一個與該電容器的一個電極彼此電連接，並且

其中，該源極電極、該汲極電極、和該氧化物半導體層設置於該基板與該閘極絕緣層之間。

2. 一種半導體裝置，包括：

在基板上的電晶體，該電晶體包括：

源極電極和汲極電極；

重疊於該源極電極和該汲極電極的氧化物半導體層；以及

重疊於該氧化物半導體層的閘極絕緣層；以及

在該基板上的電容器，該電容器包含：

該電晶體的該源極電極和該汲極電極中的一個；以及

該閘極絕緣層，

其中，該源極電極、該汲極電極、和該氧化物半導體層設置於該基板與該閘極絕緣層之間。

3.根據申請專利範圍第1或2項之半導體裝置，
其中，該源極電極和該汲極電極的端部成為錐形形狀。

4.根據申請專利範圍第1或2項之半導體裝置，
其中，該源極電極和該汲極電極的側面被氧化。

5.根據申請專利範圍第1或2項之半導體裝置，
其中，該氧化物半導體層包括其c軸在垂直於該氧化物半導體層的表面的方向上對準的結晶。

6.根據申請專利範圍第1或2項之半導體裝置，
其中，該氧化物半導體層具有雙層結構。

7.根據申請專利範圍第1或2項之半導體裝置，
其中，該基板是玻璃基板、陶瓷基板、石英基板、或者藍寶石基板。

8.根據申請專利範圍第1或2項之半導體裝置，
其中，該基板是撓性的基板。

9.根據申請專利範圍第1或2項之半導體裝置，
其中，將該氧化物半導體層的氫濃度設定為 5×10^{19} atoms/cm³ 或更低。

10.根據申請專利範圍第1或2項之半導體裝置，
其中，該半導體裝置包括非揮發性記憶體裝置。

11.根據申請專利範圍第1或2項之半導體裝置，
其中，該電晶體還包括重疊於該氧化物半導體層的閘極電極。

12.根據申請專利範圍第2項之半導體裝置，

其中，該電容器還包括該電晶體的該氧化物半導體層。

13.根據申請專利範圍第2項之半導體裝置，

其中，該電容器還包括該電容器用電極。

14.一種半導體裝置，包括：

在基板上的第一電晶體，該第一電晶體包括：

第一源極電極和第一汲極電極；

重疊於該第一源極電極和該第一汲極電極的第一氧化物半導體層；

重疊於該第一氧化物半導體層的第一閘極絕緣層；以及

重疊於該第一閘極絕緣層的第一閘極電極，

在該基板上的第二電晶體，該第二電晶體包括：

第二源極電極和第二汲極電極；

重疊於該第二源極電極和該第二汲極電極的第二氧化物半導體層；

重疊於該第二氧化物半導體層的第二閘極絕緣層；以及

重疊於該第二閘極絕緣層的第二閘極電極，

電容器；

源極線；

位元線；

字線；

第一信號線；以及

第二信號線，

其中，該第二閘極電極、該第一源極電極和該第一汲極電極中的一個、以及該電容器的一個電極彼此電連接，

其中，該源極線與該第二源極電極彼此電連接，

其中，該位元線與該第二汲極電極彼此電連接，

其中，該第一信號線與該第一源極電極和該第一汲極電極中的另一個彼此電連接，

其中，該第二信號線與該第一閘極電極彼此電連接，

其中，該字線與該電容器的另一個電極彼此電連接，

其中，該第一源極電極、該第一汲極電極、和該第一氧化物半導體層設置於該基板與該第一閘極絕緣層之間，並且

其中，該第二源極電極、該第二汲極電極、和該第二氧化物半導體層設置於該基板與該第二閘極絕緣層之間。

15.根據申請專利範圍第14項之半導體裝置，

其中，該電容器包括該第一源極電極或該第一汲極電極、該第一閘極絕緣層、以及該電容器用電極。

16.根據申請專利範圍第14項之半導體裝置，

其中，該第一源極電極、該第一汲極電極、該第二源極電極、以及該第二汲極電極的端部成為錐形形狀。

17.根據申請專利範圍第14項之半導體裝置，

其中，該第一源極電極、該第一汲極電極、該第二源極電極、以及該第二汲極電極的側面被氧化。

18.根據申請專利範圍第14項之半導體裝置，

其中，該第一氧化物半導體層和該第二氧化物半導體層中的至少一個包括其c軸在垂直於該第一氧化物半導體層或該第二氧化物半導體層的表面的方向上對準的結晶。

19.根據申請專利範圍第14項之半導體裝置，

其中，該第一氧化物半導體層和該第二氧化物半導體層中的至少一個具有雙層結構。

20.根據申請專利範圍第14項之半導體裝置，

其中，該基板是玻璃基板、陶瓷基板、石英基板、或者藍寶石基板。

21.根據申請專利範圍第14項之半導體裝置，

其中，該基板是撓性的基板。

22.根據申請專利範圍第14項之半導體裝置，

其中，將該第一氧化物半導體層和該第二氧化物半導體層中的至少一個的氫濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更低。

23.根據申請專利範圍第14項之半導體裝置，

其中，該半導體裝置包括非揮發性記憶體裝置。

24.根據申請專利範圍第14項之半導體裝置，

其中，該電容器還包括該第一氧化物半導體層。

圖 1A

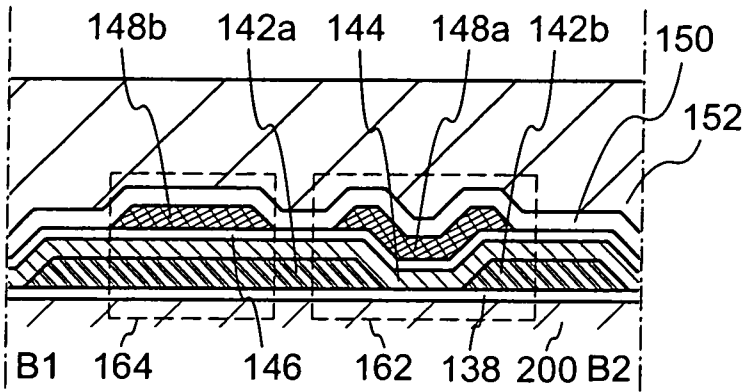


圖 1B

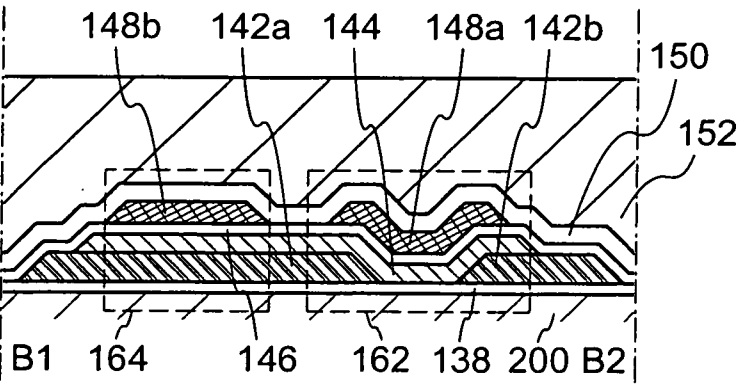


圖 1C

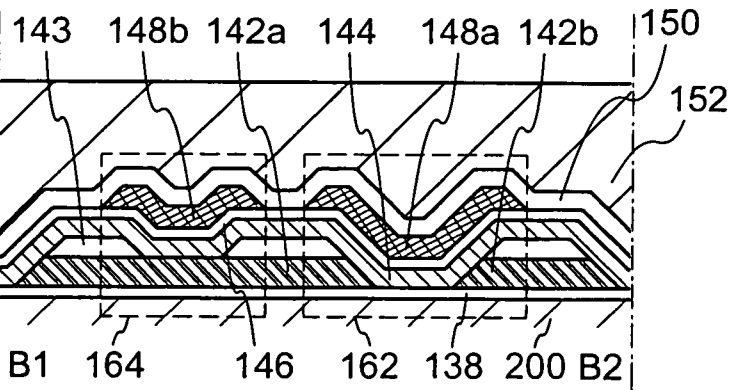


圖 1D

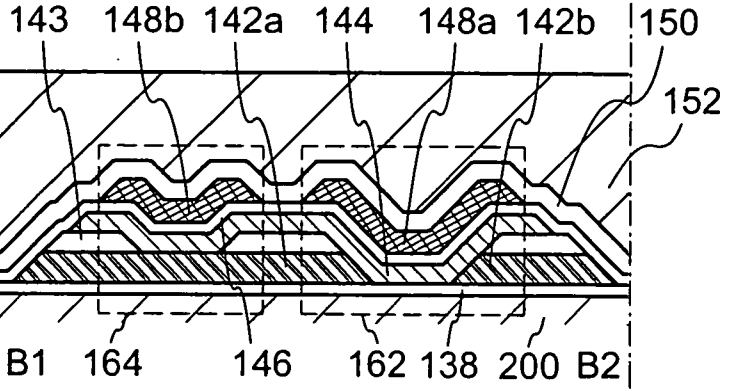


圖 2A1

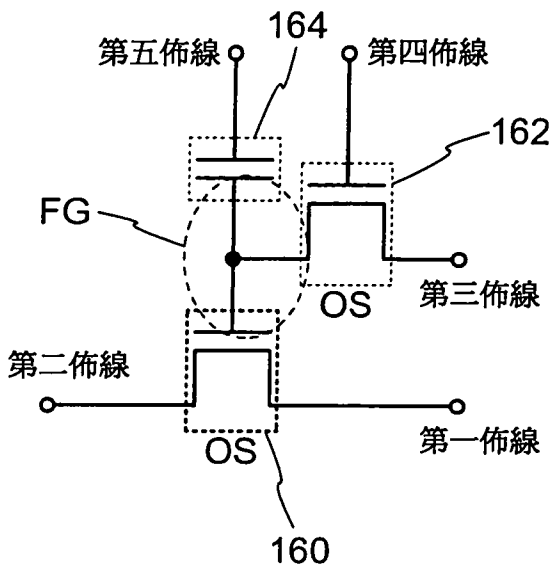


圖 2A2

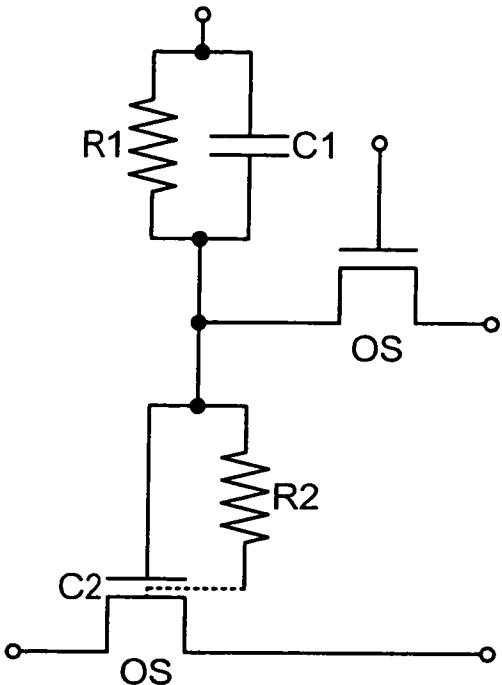


圖 2B

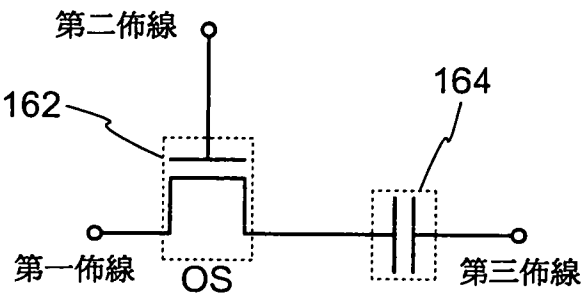


圖 3A

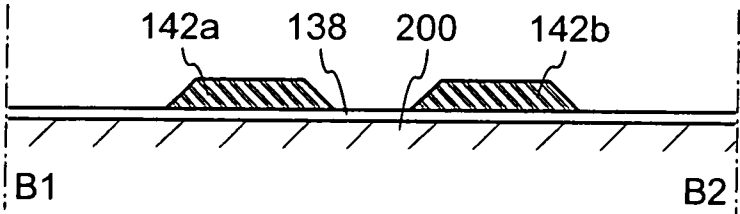


圖 3B

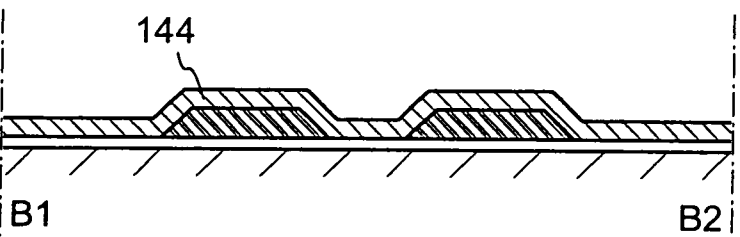


圖 3C

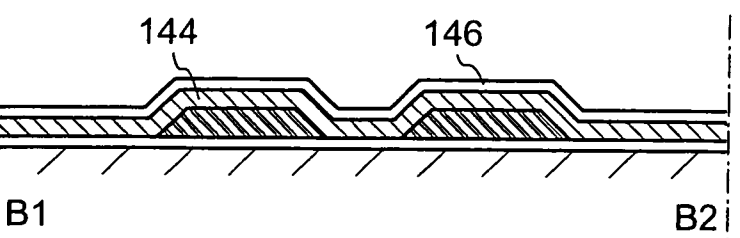


圖 3D

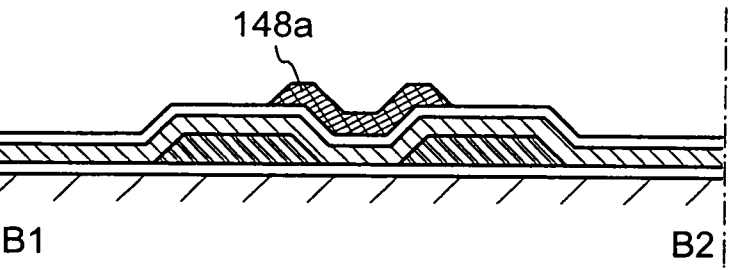


圖 3E

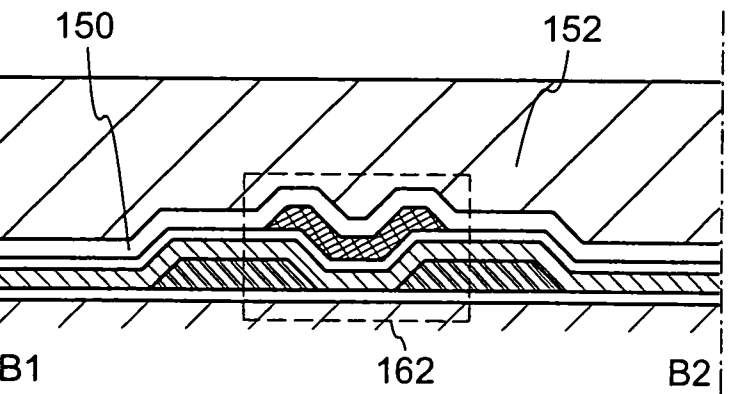


圖 4A

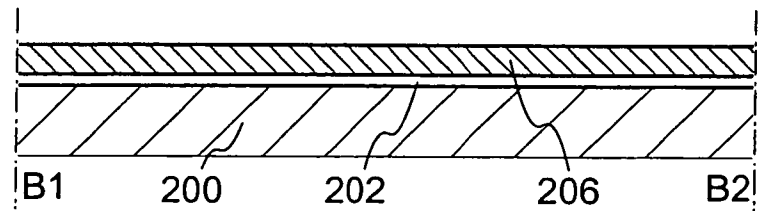


圖 4B

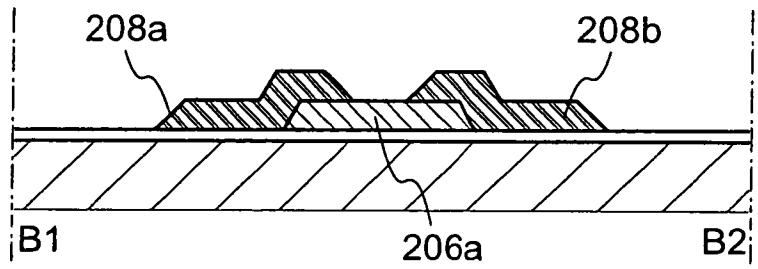


圖 4C

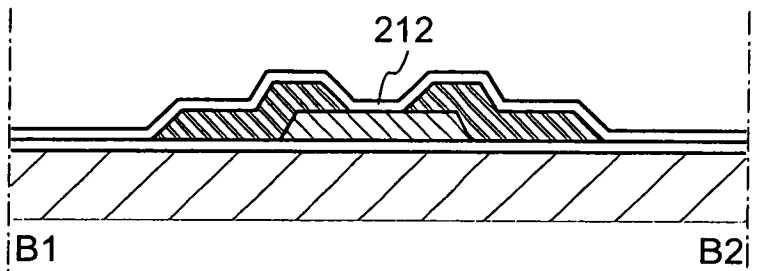


圖 4D

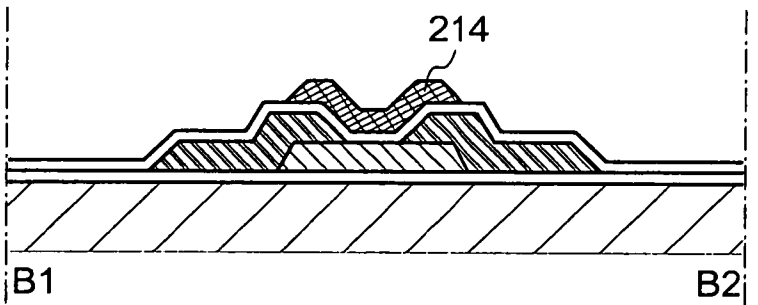


圖 4E

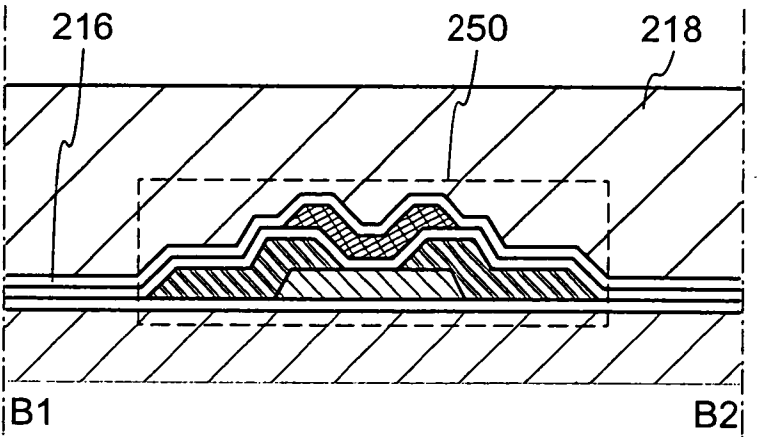


圖 5A

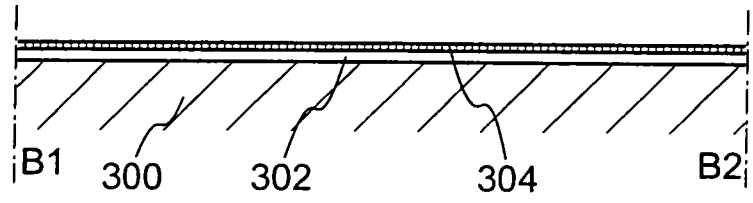


圖 5B

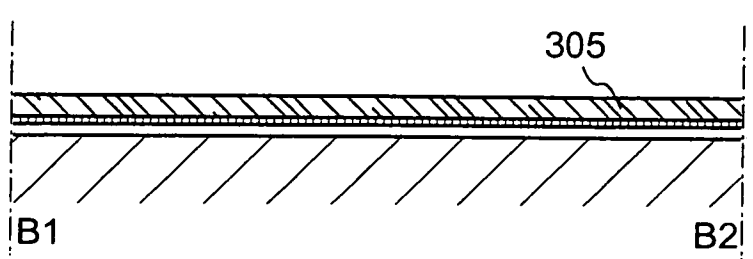


圖 5C

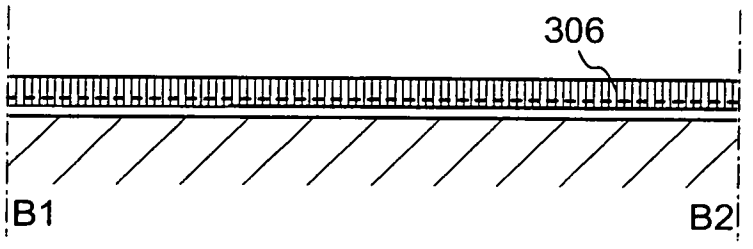


圖 5D

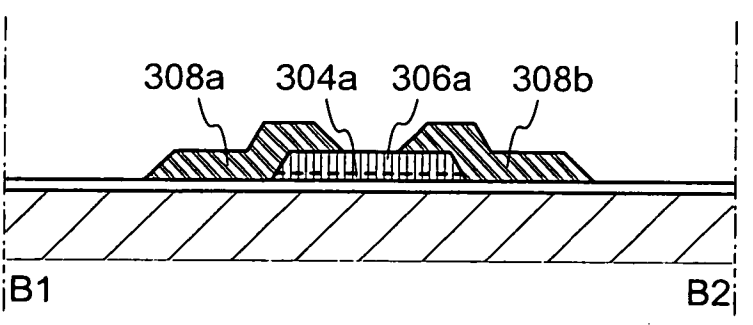


圖 5E

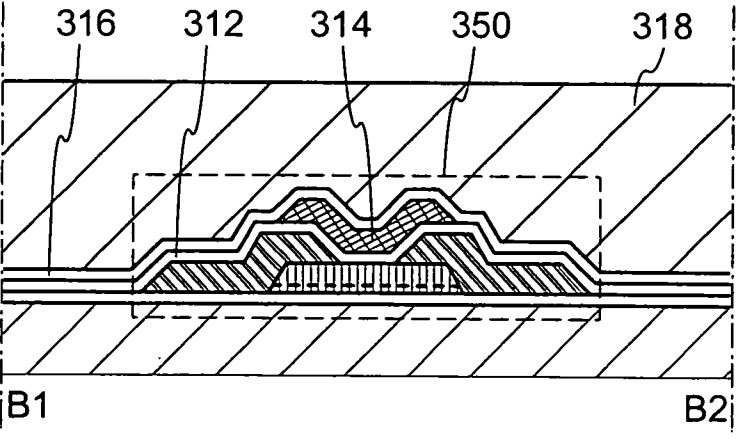


圖 6A

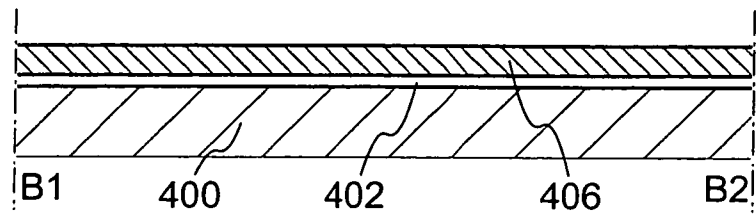


圖 6B

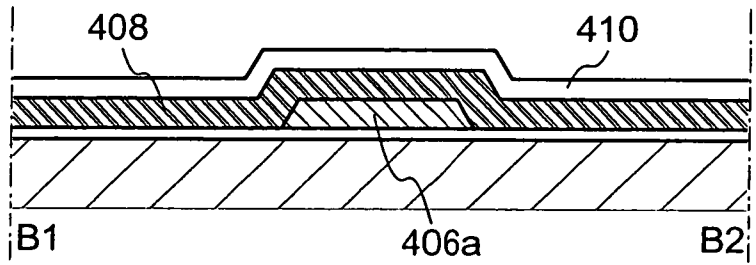


圖 6C

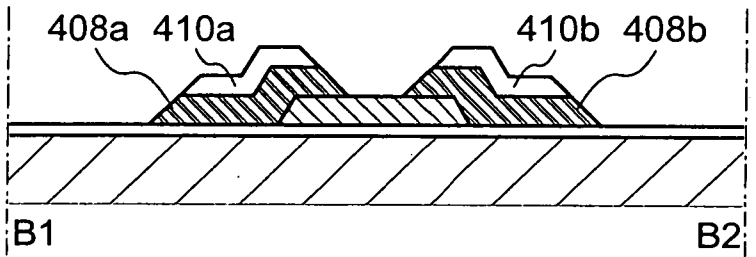


圖 6D

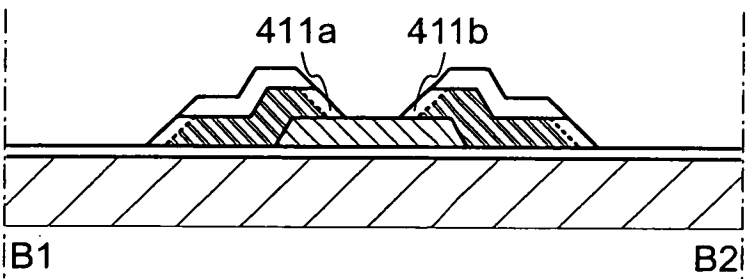


圖 6E

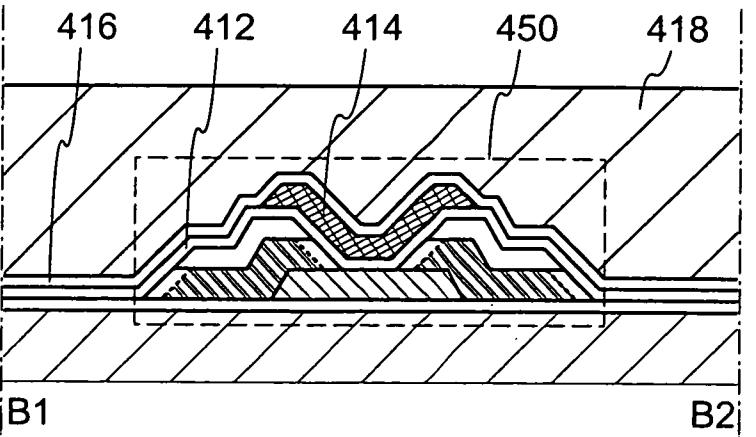


圖 7A

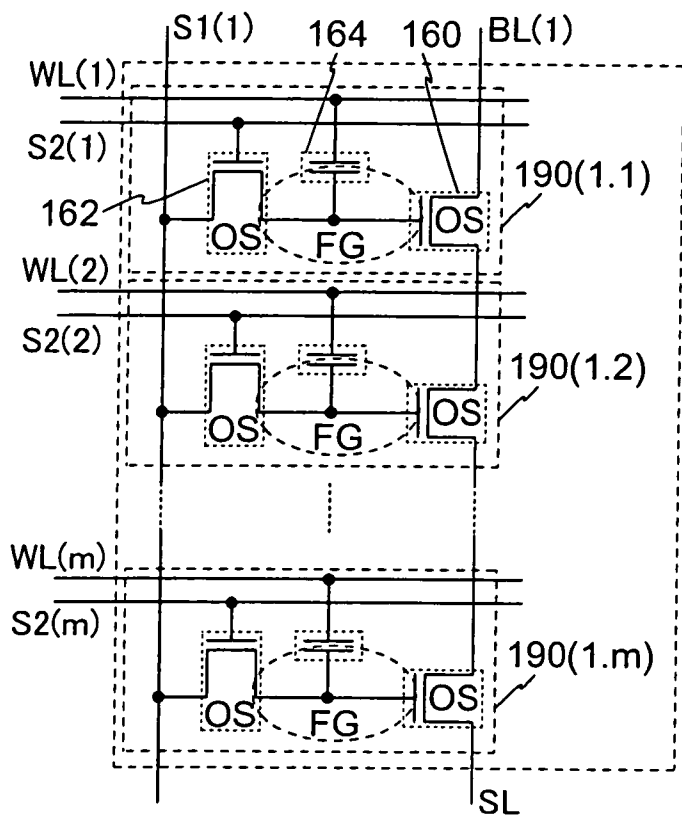


圖 7B

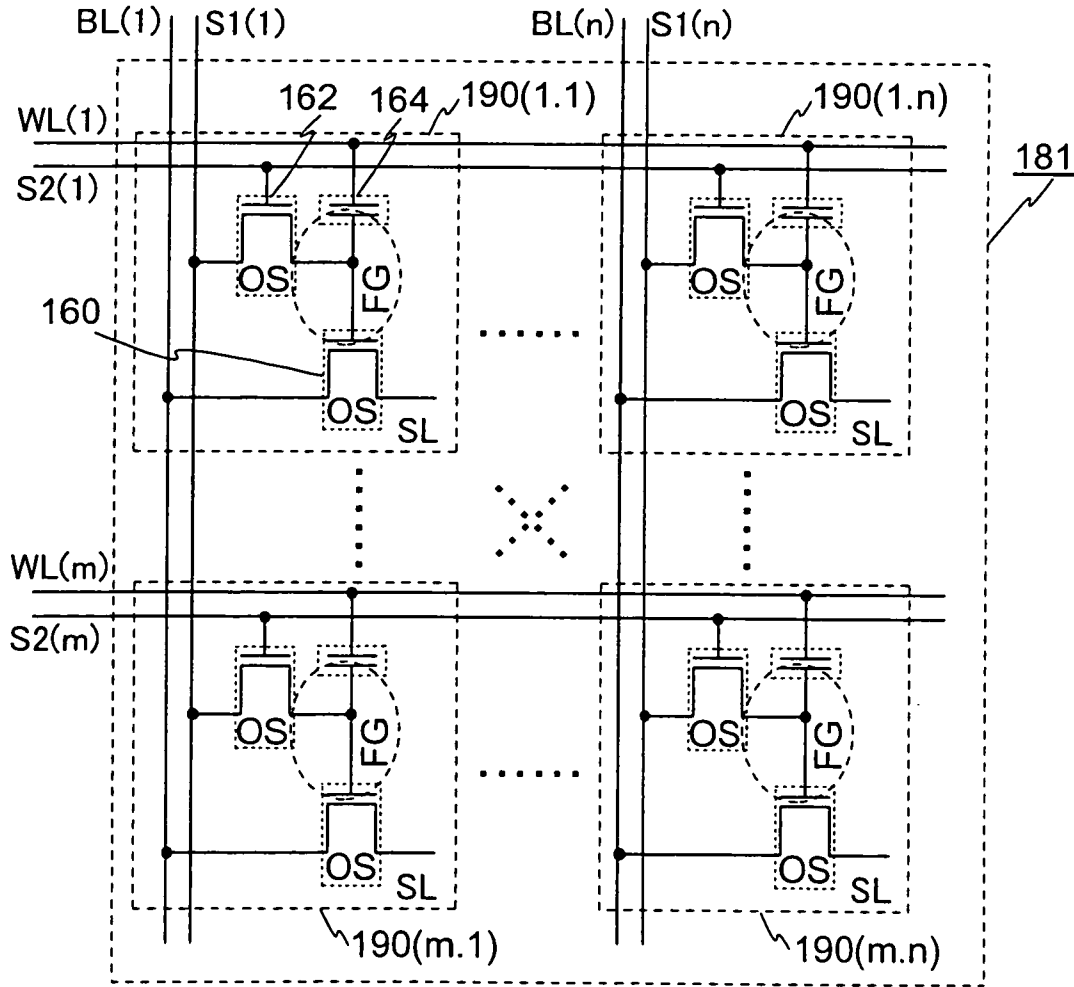


圖 8A

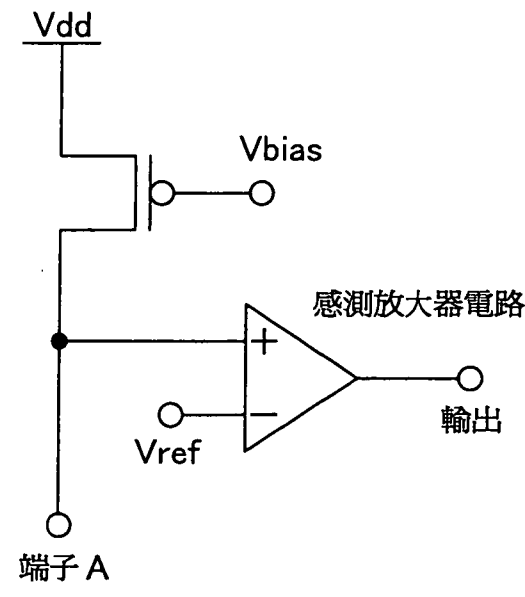


圖 8B

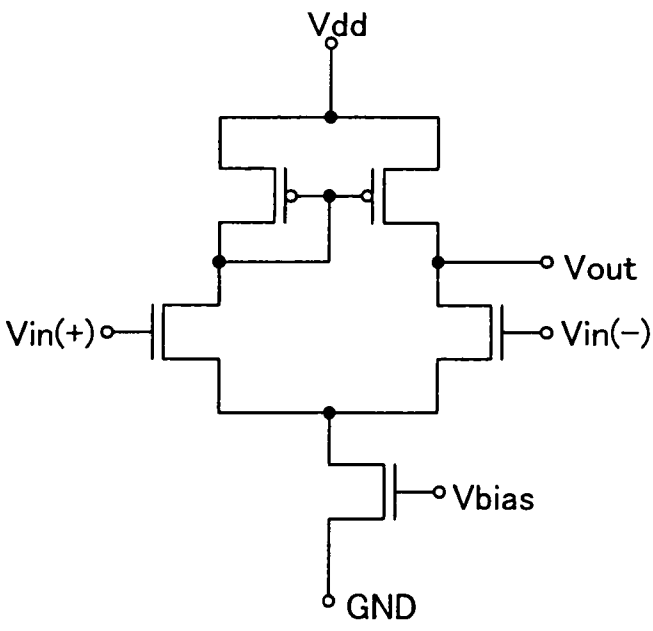


圖 8C

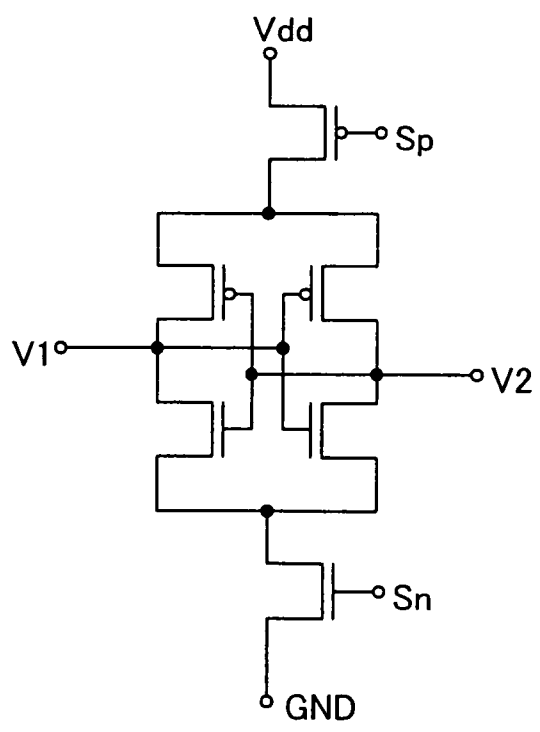


圖 9A

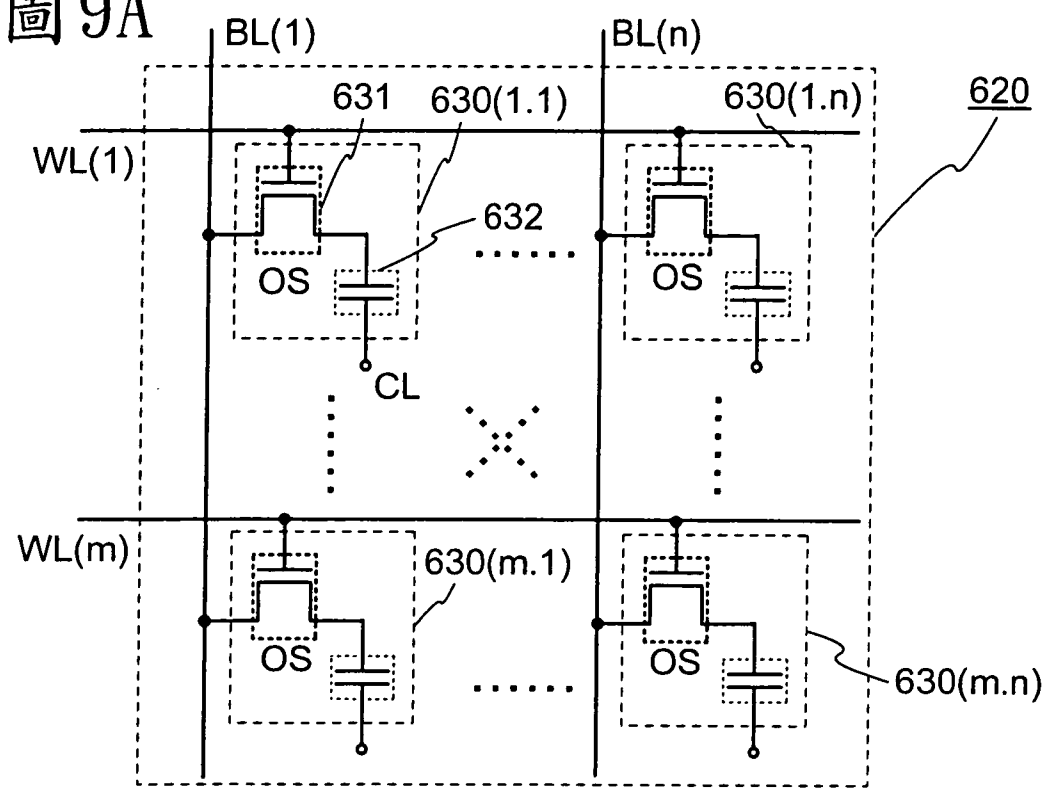


圖 9B

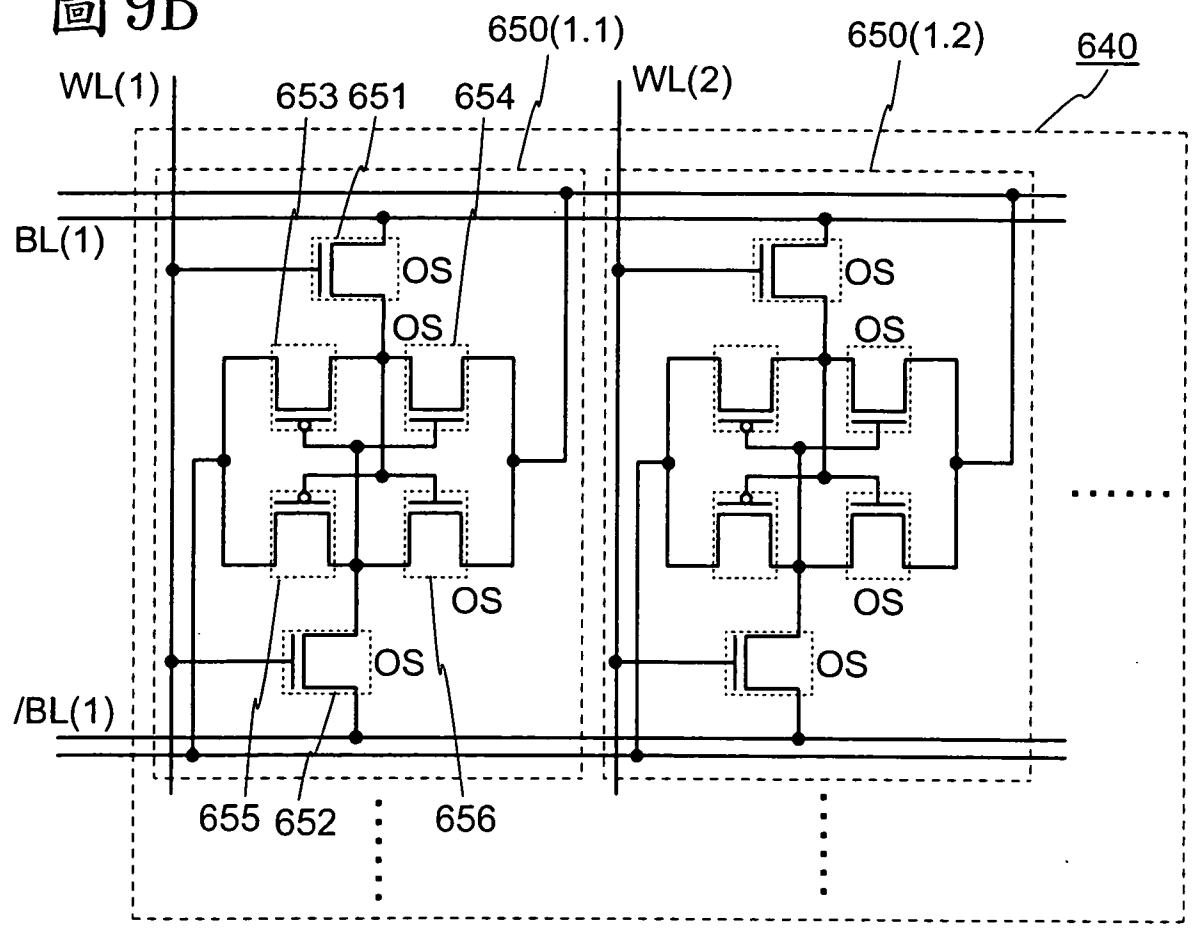


圖 10A

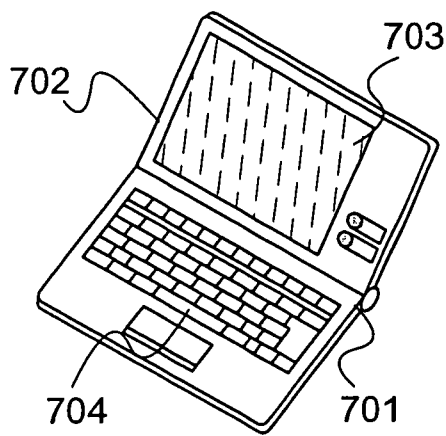


圖 10D

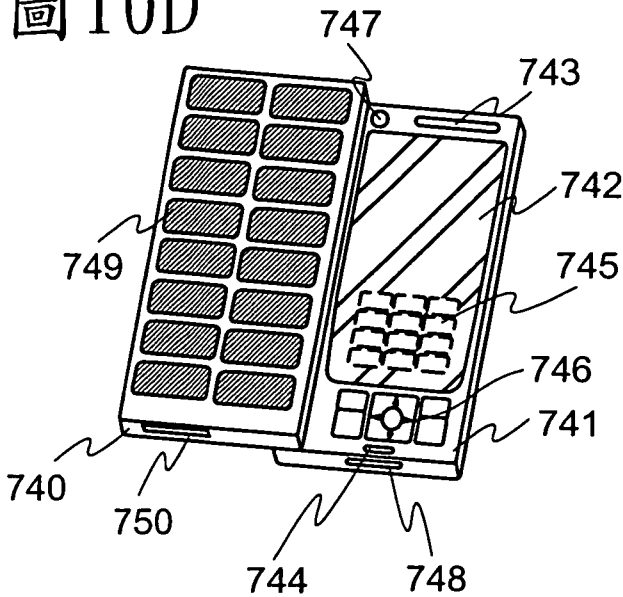


圖 10B

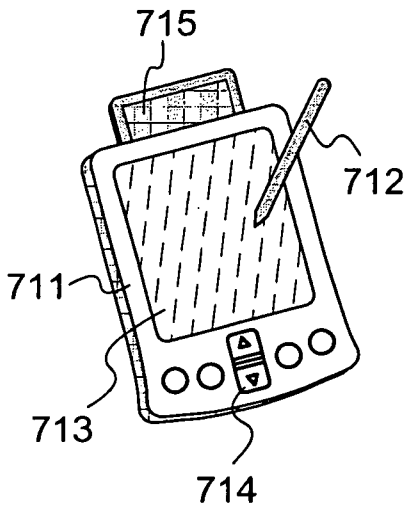


圖 10E

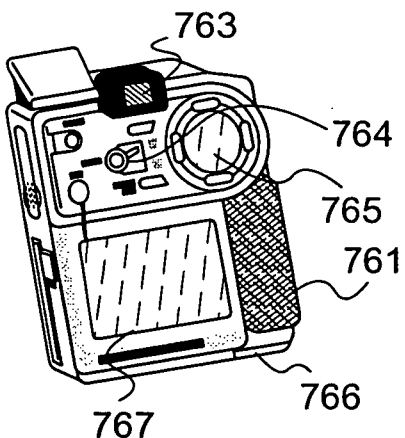


圖 10C

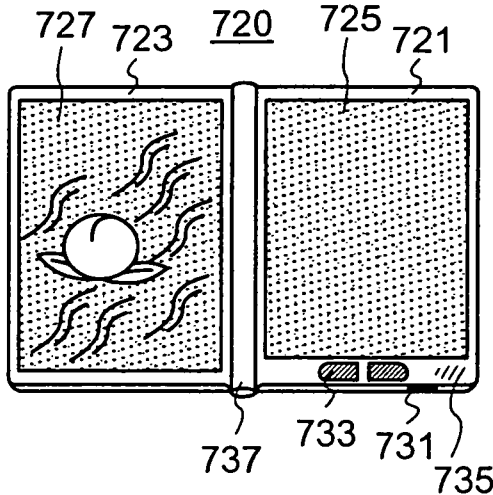


圖 10F

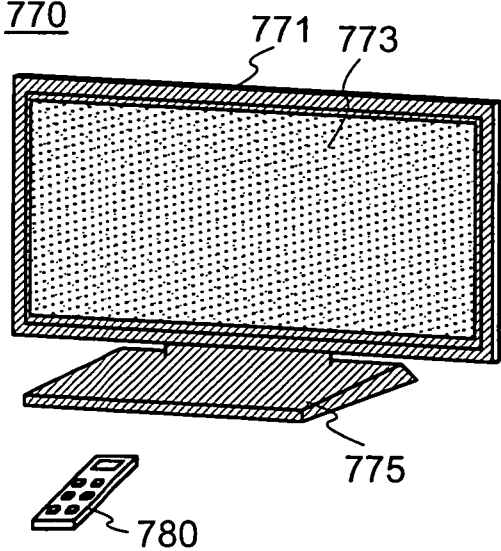


圖 11

