

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 2 月 21 日 (21.02.2019)



(10) 国际公布号
WO 2019/033548 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/107542

(22) 国际申请日: 2017 年 10 月 24 日 (24.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710702610X 2017 年 8 月 16 日 (16.08.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 石龙强 (SHI, Longqiang); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 一种 GOA 驱动电路及液晶显示装置

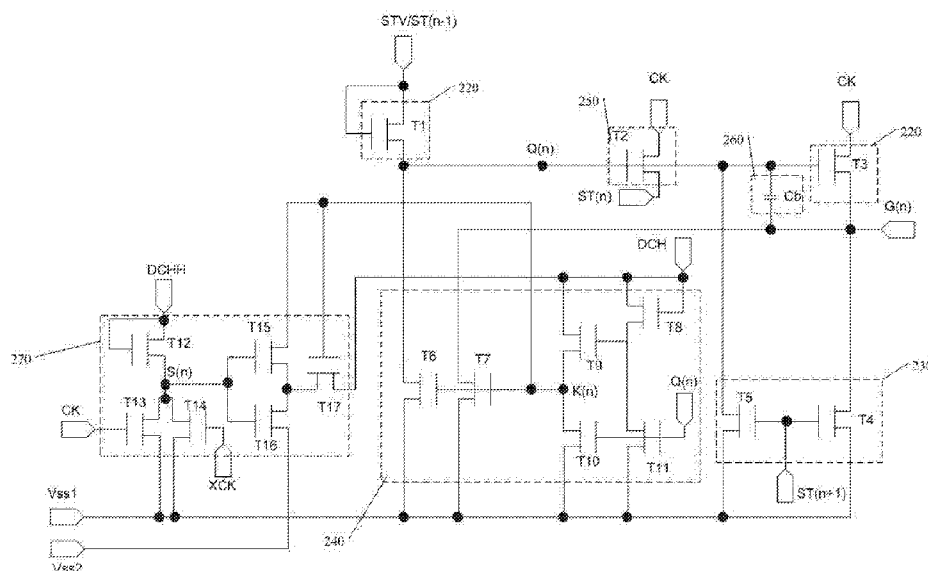


图 3

(57) Abstract: A GOA driving circuit. One period of the GOA driving circuit comprises a first time and a second time. The GOA driving circuit comprises a plurality of cascaded GOA units. A gate electrode driving signal is output to an N^{th} -stage horizontal scanning line of a display area according to an N^{th} -stage GOA unit. The N^{th} -stage GOA unit comprises a pull-up unit (220), a pull-up control unit (210), a pull-down unit (230), a pull-down maintaining unit (240), a downlink unit (250) and a bootstrap capacitor unit (260). The N^{th} -stage GOA unit further

[见续页]



WO 2019/033548 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

comprises a negative bias unit (270) used for performing negative biasing on threshold voltages of a sixth thin-film transistor (T6) and a seventh thin-film transistor (T7) at the second time. Further disclosed is a liquid crystal display device comprising the GOA driving circuit.

(57) 摘要: 一种GOA驱动电路, GOA驱动电路的一个周期包括第一时间和第二时间, 该GOA驱动电路包括多个级联的GOA单元, 按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线, 第N级GOA单元包括上拉单元(220)、上拉控制单元(210)、下拉单元(230)、下拉维持单元(240)、下传单元(250)以及自举电容单元(260); 其中, 第N级GOA单元还包括负偏单元(270), 其用于在第二时间对第六薄膜晶体管(T6)、第七薄膜晶体管(T7)的阈值电压进行负偏。还公开了一种包括GOA驱动电路的液晶显示装置。

一种 GOA 驱动电路及液晶显示装置

5 本发明要求 2017 年 8 月 16 日递交的发明名称为“一种 GOA 驱动电路及液晶显示装置”的申请号 CN 201710702610.X 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示技术领域，特别是涉及一种 GOA 驱动电路以及液晶显示装置。

背景技术

10 液晶显示装置以其显示品质高、价格低廉、携带方便等优点，成为移动通讯设备、PC、TV 等的显示装置。目前液晶显示装置驱动技术逐渐趋向于采用 GOA 技术，GOA 技术能简化平板显示面板的制作工序，省去水平扫描线方向的接合(bonding)工艺，可提升产能、降低产品成本，同时可以提升显示面板的集成度使之更适合制作窄边框或无边框显示产品，满足现代人们的视觉追求。

15 GOA 技术，即 Gate Driver on Array 技术，也就是利用现有薄膜晶体管液晶显示器 Array 制程将 Gate 行扫描驱动信号电路制作在 Array 基板上，实现对 Gate 逐行扫描的驱动方式。现有的 GOA 驱动电路包括多个级联的 GOA 单元，图 1 是现有的第 N 级 GOA 单元的电路图，参照图 1，第 N 级的 GOA 单元包括上拉控制单元 110、上拉单元 120、下拉单元 130、下拉维持单元 140、下传单元 150 和自举电容单元 160。

25 上拉单元 120 主要负责将时钟信号 CK(n)输出给显示区域第 N 级水平扫描线 G(n)，包括第三晶体管 T3。上拉控制单元 110 负责控制上拉单元 120 的打开时间，包括第一晶体管 T1，前一级的下传信号 ST(n-1)或者起始信号 STV 输入到第一晶体管 T1 的栅极和源极，第一晶体管 T1 的漏极连接到第一节点 Q(n)。下拉单元 130 负责将第 N 级水平扫描线 G(n)上的水平扫描信号拉低为低电位，即关闭水平扫描信号，包括晶体管 T4 和 T5，后一级的下传信号 ST(n+1)输入到晶体管 T4 和 T5 的栅极。下拉维持单元 140 则负责将第 N 级水平扫描

线 $G(n)$ 上的水平扫描信号和第一节点 $Q(n)$ 维持在关闭状态(即负电位)。自举电容单元 160 则负责所述第一节点 $Q(n)$ 电位的二次抬升, 这样有利于上拉单元 120 的输出。下传单元 150 用于输出本级下传信号 $ST(n)$ 。VSS 表示直流低电压。

5 图 2 是本发明各个节点或者各个输出端的波形, 从图 2 可以看出, 第二节点 $K(n)$ 在 GOA 驱动电路每个周期内的大部分时间都是高电平, 这样导致第六薄膜晶体管 T6、第七薄膜晶体管 T7 长期受到正向偏压的应力 (PBTS), 导致第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压正向偏移严重, 长时间操作以后会因为第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压太高, 而导致
10 致第六薄膜晶体管 T6、第七薄膜晶体管 T7 打开不充分, 导致第一节点 $Q(n)$ 、第 N 级水平扫描线 $G(n)$ 上的水平扫描信号异常, 导致 GOA 驱动单元失效。

发明内容

本发明实施例所要解决的技术问题在于, 提供一种 GOA 驱动电路及液晶
15 显示装置。可改善薄膜晶体管阈值电压的正向偏移, 防止 GOA 驱动单元失效。

为了解决上述技术问题, 本发明第一方面实施例提供了一种 GOA 驱动电路, 该 GOA 驱动电路的一个周期包括第一时间和第二时间, 该 GOA 驱动电路包括多个级联的 GOA 单元, 按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线, 该第 N 级 GOA 单元包括上拉单元、上拉控制单元、
20 下拉单元、下拉维持单元、下传单元以及自举电容单元; 所述上拉单元、下拉单元、下拉维持单元及自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接, 所述上拉控制单元以及下传单元与第一节点电连接, 其中 N 为正整数; 其中,

所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管, 所述第六薄膜
25 晶体管的源极与第一节点电连接, 其漏极接入第一低电平, 其栅极与第二节点电连接, 所述七薄膜晶体管的源极与第 N 级水平扫描线电连接, 其漏极接入第一低电平, 其栅极与第二节点电连接, 在第一时间的大部分时间所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行正偏;

该第 N 级 GOA 单元还包括负偏单元, 其用于在第二时间对所述第六薄膜

晶体管、第七薄膜晶体管的阈值电压进行负偏。

其中，所述第二时间为消隐时间。

其中，所述负偏单元包括第十二薄膜晶体管、第十三薄膜晶体管、第十四
5 薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管和第十七薄膜晶体管，其
中，所述第十二薄膜晶体管的源极和栅极电连接第二高电平，其漏极电连接第
三节点，所述第十三薄膜晶体管和第十四薄膜晶体管的源极电连接第三节点，
所述第十三薄膜晶体管的栅极电连接第一时钟信号，其漏极电连接第一低电
平，所述第十四薄膜晶体管的栅极电连接第二时钟信号，其漏极电连接第一低
10 电平，所述第十五薄膜晶体管的源极与第二节点电连接，其栅极与第三节点电
连接，其漏极分别与第十六薄膜晶体管的源极、第十七薄膜晶体管的漏极电连
接，所述第十六薄膜晶体管的栅极与第三节点电连接，其漏极电连接第二低电
平，所述第十七薄膜晶体管的栅极与第二节点电连接，其源极电连接第一高电
15 隐时间以外的时间相位相反，在消隐时间均为低电平，所述第二高电平高于第
一高电平，所述第二低电平低于第一低电平。

其中，所述第二高电位的电位范围为 30V-35V；所述第二低电位的电位范
围为 -10V~-30V。

其中，所述下拉维持单元还包括第八薄膜晶体管、第九薄膜晶体管、第十
20 薄膜晶体管、第十一薄膜晶体管，所述第八薄膜晶体管的栅极与源极与第一高
电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极
电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第二节点电连接，
第十薄膜晶体管的源极与第二节点电连接，其漏极接入第一低电平，其栅极与
第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节
25 点电连接。

其中，所述上拉单元包括第三薄膜晶体管，所述第三薄膜晶体管的源极接
入第一时钟信号，其栅极与第一节点电连接，其漏极与第 N 级水平扫描线电
连接。

其中，所述下传单元包括第二薄膜晶体管，所述第二薄膜晶体管的源极接

入第一时钟信号，其栅极与第一节点电连接，其漏极用于输出第 N 级下传信号。

其中，所述下拉单元包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管的源极与第一节点电连接，其漏极接第一低电平，所述第五薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接第一低电平，所述第四薄膜晶体管的栅极和所述第五薄膜晶体管的栅极用于接第 N+1 级下传信号。

其中，所述上拉控制单元包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和源极接收第 N-1 级下传信号或者起始信号，其漏极与第一节点电连接。

10 本发明第二方面实施例提供了一种液晶显示装置，包括上述的 GOA 驱动电路。

实施本发明实施例，具有如下有益效果：

15 由于所述 GOA 单元包括负偏单元，所述负偏单元用于在第二时间对所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行负偏，从而使所述第六薄膜晶体管、第七薄膜晶体管的阈值电压在第二时间向负向偏移，从而可以抵消所述第六薄膜晶体管、第七薄膜晶体管在第一时间阈值电压的正偏，从而使所述第六薄膜晶体管、第七薄膜晶体管的阈值电压几乎不进行偏移，从而可以防止 GOA 单元失效。

20

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

25

图 1 是现有技术第 N 级 GOA 单元的电路图；

图 2 是现有技术的波形示意图；

图 3 是本发明一实施例第 N 级 GOA 单元的电路图；

图 4 是本发明一实施例的波形示意图。

具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

本申请说明书、权利要求书和附图中出现的术语“包括”和“具有”以及它们任何变形,意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元,而是可选地还包括没有列出的步骤或单元,或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。此外,术语“第一”、“第二”和“第三”等是用于区别不同的对象,而并非用于描述特定的顺序。

本发明实施例提供一种 GOA 驱动电路,所述 GOA 驱动电路包括多个级联的 GOA 单元,例如包括 M 个 GOA 单元,第二级 GOA 单元与第一级 GOA 单元电连接,第三级 GOA 单元与第二级 GOA 单元电连接,...,第 M 级 GOA 单元与第 M-1 级 GOA 单元电连接,每个 GOA 单元输出栅极驱动信号给显示区域对应的水平扫描线 G,例如第一级 GOA 单元输出栅极驱动信号给第一级水平扫描线 G(1),第二级 GOA 单元输出栅极驱动信号给第二级水平扫描线 G(2),第三级 GOA 单元输出栅极驱动信号给第三级水平扫描线 G(3),...,第 M 级 GOA 单元输出栅极驱动信号给第 M 级水平扫描线 G(m)。GOA 驱动电路依序输出栅极驱动信号给第一水平扫描线 G(1)、第二水平扫描线 G(2)、第三水平扫描线 G(3)、...、第 m 水平扫描线 G(m),其后过一段时间,GOA 驱动电路再次依序输出栅极驱动信号给第一水平扫描线 G(1)、第二水平扫描线 G(2)、第三水平扫描线 G(3)、...、第 m 水平扫描线 G(m),也即 GOA 驱动电路按周期输出栅极驱动信号,所述 GOA 驱动电路的一个周期包括第一时间和第一时间,在本实施例中,所述第二时间为 GOA 驱动电路的消隐时间,也即第二时间为第 M 级 GOA 单元输出栅极驱动信号给第 M 级水平扫描线 G(m)之后的时间到下一个周期开始之间的时间间隔,该第二时间包括同步前沿时间、同步时间和同步后沿时间,在消隐时间所述第一时钟信号和所述第二时钟

信号均为低电平。该第一时间为一个周期除第二时间之外的时间，也即该第一时间为第一 GOA 单元开始输出栅极驱动信号给第一级水平扫描线 G1 到第 M 级 GOA 单元输出栅极驱动信号给第 M 级水平扫描线 G(m)完成之间的时间间隔。其中 m 为正整数。

5 请参见图 3 和图 4，在本实施例中，第 N 级的 GOA 单元包括上拉控制单元 210、上拉单元 220、下拉单元 230、下拉维持单元 240、下传单元 250、自举电容单元 260，其中 N 为正整数，N 小于或等于 M。所述上拉单元 220、下拉单元 230、下拉维持单元 240 及自举电容单元 260 均分别与第一节点 Q(n)以及第 N 级水平扫描线 G(n)电连接，所述上拉控制单元 210 以及下传单元 250
10 与第一节点 Q(n)电连接。

在本实施例中，所述下拉维持单元 240 包括第六薄膜晶体管 T6、第七薄膜晶体管 T7，所述第六薄膜晶体管 T6 的源极与第一节点 Q(n)电连接，其漏极接入第一低电平 Vss1，所述第一低电平 Vss1 为低压直流电源，电位为-7V，其栅极与第二节点 K(n)电连接，所述第七薄膜晶体管 T7 的源极与第 N 级水平
15 扫描线 G(n)电连接，其漏极接入第一低电平 Vss1，其栅极与第二节点 K(n)电连接，在第一时间的大部分时间所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压进行正偏。在这里，第一时间的大部分时间是指 70%的第一时间-99.99%的第一时间，例如 70%的第一时间、75%的第一时间、80%的第一时间、85%的第一时间、90%的第一时间、95%的第一时间、98%的第一时间等、
20 99.99%的第一时间。

所述负偏单元 270 用于在第二时间对所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压进行负偏，具体说来，在本实施例中，所述负偏单元 270 在第二时间施加第二低电平 Vss2 给第二节点 K(n)，所述第二低电平 Vss2 为低压直流电源，所述第二低电平 Vss2 的电位比第一低电平 Vss1 的电位低，所
25 述第二低电平 Vss2 的电位范围为-10V~-30V，例如为-10V、-15V、-10V、-20V、-25V、-30V 等，从而第二节点 K(n)处的电压在第二时间为第二低电平 Vss2，所述第二低电平 Vss2 对所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压进行负偏，从而使所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压向负向偏移，请参见图 4 所述的波形图。

由于所述 GOA 单元包括负偏单元 270, 所述负偏单元 270 用于在第二时间对所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压进行负偏, 从而使所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压在第二时间向负向偏移, 从而可以抵消所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 在第一时间
5 内大部分时间的阈值电压的正偏, 从而使所述第六薄膜晶体管 T6、第七薄膜晶体管 T7 的阈值电压几乎不进行偏移, 从而可以防止 GOA 单元失效。

在本实施例中, 所述负偏单元 270 包括第十二薄膜晶体管 T12、第十三薄膜晶体管 T13、第十四薄膜晶体管 T14、第十五薄膜晶体管 T15、第十六薄膜晶体管 T16 和第十七薄膜晶体管 T17, 其中, 所述第十二薄膜晶体管 T12 的源极和栅极电连接第二高电平 DCHH, 在本实施例中, 所述第二高电平 DCHH
10 为高压直流电源, 其电位的范围为 30V-35V, 例如为 30V、31V、32V、33V、34V、35V 等, 所述第十二薄膜晶体管 T12 漏极电连接第三节点 S(n), 所述第十三薄膜晶体管 T13 和第十四薄膜晶体管 T14 的源极电连接第三节点 S(n), 所述第十三薄膜晶体管 T13 的栅极电连接第一时钟信号 CK, 其漏极电连接第一低电平 Vss1, 所述第十四薄膜晶体管 T14 的栅极电连接第二时钟信号 XCK,
15 其漏极电连接第一低电平 Vss1, 所述第十五薄膜晶体管 T15 的源极与第二节点 K(n)电连接, 其栅极与第三节点 S(n)电连接, 其漏极分别与第十六薄膜晶体管 T16 的源极、第十七薄膜晶体管 T17 的漏极电连接, 所述第十六薄膜晶体管 T16 的栅极与第三节点 S(n)电连接, 其漏极电连接第二低电平 Vss2, 所述
20 第十七薄膜晶体管 T17 的栅极与第二节点 K(n)电连接, 其源极电连接第一高电平 DCH, 所述第一高电平 DCH 为高压直流电源, 所述第一高电平 DCH 的电位小于所述第二高电平 DCHH 的电位, 所述第一高电平 DCH 的电位为 28V; 其中, 所述第一时钟信号 CK 和所述第二时钟信号 XCK 频率相同, 在每个周期除消隐时间以外的时间相位相反, 也即在第一时间相位相反, 在消隐时间均
25 为低电平。从而, 当在第一时间时, 第一时钟信号 CK 和第二时钟信号 XCK 相位相反, 也即一个是高电平, 另一个是低电平, 此时, 第十三薄膜晶体管 T13 和第十四薄膜晶体管 T14 一个导通, 另一个截止, 此时第三节点 S(n)的电位为第一低电平 Vss1, 此时第十五薄膜晶体管 T15 和第十六薄膜晶体管 T16 截止, 由于第二节点 K(n)大部分时间是高电平, 从而第十七薄膜晶体管 T17

大部分时间导通；当在第二时间时，也即在消隐时间时，此时第一时钟信号 CK 和第二时钟信号 XCK 均为低电平，从而第十三薄膜晶体管 T13 和第十四薄膜晶体管 T14 均截止，第十二薄膜晶体管 T12 导通，第三节点 S(n)处的电压为第二高电平 DCHH，从而第十五薄膜晶体管 T15 和第十六薄膜晶体管 T16 导通，从而会对第二节点 K(n)施加一个第二低电平 Vss2 的低电位，而第二低电平 Vss2 电位很低，这样第六薄膜晶体管 T6 和第七薄膜晶体管 T7 会受到很大负向偏压的应力 (NBTS)，很大的负向偏压会使得第六薄膜晶体管 T6 和第七薄膜晶体管 T7 的阈值电压负向偏移。这样一来，可以抵消第一时间中绝大多数时间正向偏压应力导致第六薄膜晶体管 T6 和第七薄膜晶体管 T7 的阈值电压的正向偏移。综合起来，第六薄膜晶体管 T6 和第七薄膜晶体管 T7 的阈值电压几乎不进行偏移，从而提高电路的耐性。

在本实施例中，所述下拉维持单元 240 还包括第八薄膜晶体管 T8、第九薄膜晶体管 T9、第十薄膜晶体管 T10、第十一薄膜晶体管 T11，所述第八薄膜晶体管 T8 的栅极与源极与第一高电平 DCH 电连接，其漏极分别与第九薄膜晶体管 T9 的栅极和第十一薄膜晶体管 T11 的源极电连接，第九薄膜晶体管 T9 的源极与第一高电平 DCH 电连接，其漏极与第二节点 K(n)电连接，第十薄膜晶体管 T10 的源极与第二节点 K(n)电连接，其漏极接入第一低电平 Vss1，其栅极与第一节点 Q(n)电连接，第十一薄膜晶体管 T11 的漏极接入第一低电平 Vss1，其栅极与第一节点 Q(n)电连接。

在本实施例中，所述上拉单元 220 包括第三薄膜晶体管 T3，所述第三薄膜晶体管 T3 的源极接入第一时钟信号 CK，其栅极与第一节点 Q(n)电连接，其漏极与第 N 级水平扫描线 G(n)电连接。

在本实施例中，所述下传单元 250 包括第二薄膜晶体管 T2，所述第二薄膜晶体管 T2 的源极接入第一时钟信号 CK，其栅极与第一节点 Q(n)电连接，其漏极用于输出第 N 级下传信号 ST(n)。

在本实施例中，所述下拉单元 230 包括第四薄膜晶体管 T4 和第五薄膜晶体管 T5，所述第四薄膜晶体管 T4 的源极与第一节点 Q(n)电连接，其漏极接第一低电平 Vss1，所述第五薄膜晶体管 T5 的源极与第 N 级水平扫描线 G(n)电连接，其漏极接第一低电平 Vss1，所述第四薄膜晶体管 T4 的栅极和所述第五

薄膜晶体管 T5 的栅极用于接第 N+1 级下传信号 ST(n+1)。

在本实施例中，所述上拉控制单元 210 包括第一薄膜晶体管 T1，所述第一薄膜晶体管 T1 的栅极和源极接收第 N-1 级下传信号 ST(n-1) 或者起始信号 STV，其漏极与第一节点 Q(n) 电连接。

5 在本实施例中，所述自举电容单元 260 包括电容 Cb，所述电容 Cb 的一端与第一节点 Q(n) 电连接，另一端与第 N 级水平扫描线 G(n) 电连接

另外，本发明实施例还提供一种液晶显示装置，其包括上述的 GOA 驱动电路。

10 需要说明的是，本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其它实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。对于装置实施例而言，由于其与方法实施例基本相似，所以描述的比较简单，相关之处参见方法实施例的部分说明即可。

通过上述实施例的描述，本发明具有以下优点：

15 由于所述 GOA 单元包括负偏单元，所述负偏单元用于在第二时间对所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行负偏，从而使所述第六薄膜晶体管、第七薄膜晶体管的阈值电压在第二时间向负向偏移，从而可以抵消所述第六薄膜晶体管、第七薄膜晶体管在第一时间阈值电压的正偏，从而使所述第六薄膜晶体管、第七薄膜晶体管的阈值电压几乎不进行偏移，从而可以防
20 止 GOA 单元失效。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此依本发明权利要求所作的等同变化，仍属本发明所涵盖的范围。

权利要求

1、一种 GOA 驱动电路，其中，该 GOA 驱动电路的一个周期包括第一时间和第二时间，该 GOA 驱动电路包括多个级联的 GOA 单元，按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线，该第 N 级 GOA 单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元、下传单元以及自举电容单元；所述上拉单元、下拉单元、下拉维持单元及自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接，所述上拉控制单元以及下传单元与第一节点电连接，其中 N 为正整数；其中，

所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管，所述第六薄膜晶体管的源极与第一节点电连接，其漏极接入第一低电平，其栅极与第二节点电连接，所述七薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接入第一低电平，其栅极与第二节点电连接，在第一时间的大部分时间所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行正偏；

该第 N 级 GOA 单元还包括负偏单元，其用于在第二时间对所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行负偏。

2、如权利要求 1 所述的 GOA 驱动电路，其中，所述第二时间为消隐时间。

3、如权利要求 2 所述的 GOA 驱动电路，其中，所述负偏单元包括第十二薄膜晶体管、第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管和第十七薄膜晶体管，其中，所述第十二薄膜晶体管的源极和栅极电连接第二高电平，其漏极电连接第三节点，所述第十三薄膜晶体管和第十四薄膜晶体管的源极电连接第三节点，所述第十三薄膜晶体管的栅极电连接第一时钟信号，其漏极电连接第一低电平，所述第十四薄膜晶体管的栅极电连接第二时钟信号，其漏极电连接第一低电平，所述第十五薄膜晶体管的源极与第二节点电连接，其栅极与第三节点电连接，其漏极分别与第十六薄膜晶体管的源极、第十七薄膜晶体管的漏极电连接，所述第十六薄膜晶体管的栅极与

第三节点电连接，其漏极电连接第二低电平，所述第十七薄膜晶体管的栅极与第二节点电连接，其源极电连接第一高电平，其中，所述第一时钟信号和所述第二时钟信号频率相同，在每个周期除消隐时间以外的时间相位相反，在消隐时间均为低电平，所述第二高电平高于第一高电平，所述第二低电平低于第一低电平。

4、如权利要求 3 所述的 GOA 驱动电路，其中，所述第二高电位的电位范围为 30V-35V；所述第二低电位的电位范围为-10V~-30V。

5、如权利要求 1 所述的 GOA 驱动电路，其中，所述下拉维持单元还包括第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管，所述第八薄膜晶体管的栅极与源极与第一高电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第二节点电连接，第十薄膜晶体管的源极与第二节点电连接，其漏极接入第一低电平，其栅极与第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节点电连接。

6、如权利要求 1 所述的 GOA 驱动电路，其中，所述上拉单元包括第三薄膜晶体管，所述第三薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极与第 N 级水平扫描线电连接。

7、如权利要求 1 所述的 GOA 驱动电路，其中，所述下传单元包括第二薄膜晶体管，所述第二薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极用于输出第 N 级下传信号。

8、如权利要求 1 所述的 GOA 驱动电路，其中，所述下拉单元包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管的源极与第一节点电连接，其漏极接第一低电平，所述第五薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接第一低电平，所述第四薄膜晶体管的栅极和所述第五薄膜晶

体管的栅极用于接第 N+1 级下传信号。

9、如权利要求 1 所述的 GOA 驱动电路，其中，所述上拉控制单元包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和源极接收第 N-1 级下传信号或者起始信号，其漏极与第一节点电连接。

10、一种液晶显示装置，其中，包括一种 GOA 驱动电路，该 GOA 驱动电路的一个周期包括第一时间和第二时间，该 GOA 驱动电路包括多个级联的 GOA 单元，按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线，该第 N 级 GOA 单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元、下传单元以及自举电容单元；所述上拉单元、下拉单元、下拉维持单元及自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接，所述上拉控制单元以及下传单元与第一节点电连接，其中 N 为正整数；其中，

所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管，所述第六薄膜晶体管的源极与第一节点电连接，其漏极接入第一低电平，其栅极与第二节点电连接，所述七薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接入第一低电平，其栅极与第二节点电连接，在第一时间的大部分时间所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行正偏；

该第 N 级 GOA 单元还包括负偏单元，其用于在第二时间对所述第六薄膜晶体管、第七薄膜晶体管的阈值电压进行负偏。

11、如权利要求 10 所述的液晶显示装置，其中，所述第二时间为消隐时间。

12、如权利要求 11 所述的液晶显示装置，其中，所述负偏单元包括第十二薄膜晶体管、第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管和第十七薄膜晶体管，其中，所述第十二薄膜晶体管的源极和栅极电连接第二高电平，其漏极电连接第三节点，所述第十三薄膜晶体管和第十四薄膜晶体管的源极电连接第三节点，所述第十三薄膜晶体管的栅极电连

接第一时钟信号，其漏极电连接第一低电平，所述第十四薄膜晶体管的栅极电连接第二时钟信号，其漏极电连接第一低电平，所述第十五薄膜晶体管的源极与第二节点电连接，其栅极与第三节点电连接，其漏极分别与第十六薄膜晶体管的源极、第十七薄膜晶体管的漏极电连接，所述第十六薄膜晶体管的栅极与第三节点电连接，其漏极电连接第二低电平，所述第十七薄膜晶体管的栅极与第二节点电连接，其源极电连接第一高电平，其中，所述第一时钟信号和所述第二时钟信号频率相同，在每个周期除消隐时间以外的时间相位相反，在消隐时间均为低电平，所述第二高电平高于第一高电平，所述第二低电平低于第一低电平。

10

13、如权利要求 12 所述的液晶显示装置，其中，所述第二高电平的电位范围为 30V-35V；所述第二低电平的电位范围为-10V~-30V。

14、如权利要求 10 所述的液晶显示装置，其中，所述下拉维持单元还包括第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管，所述第八薄膜晶体管的栅极与源极与第一高电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第二节点电连接，第十薄膜晶体管的源极与第二节点电连接，其漏极接入第一低电平，其栅极与第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节点电连接。

20

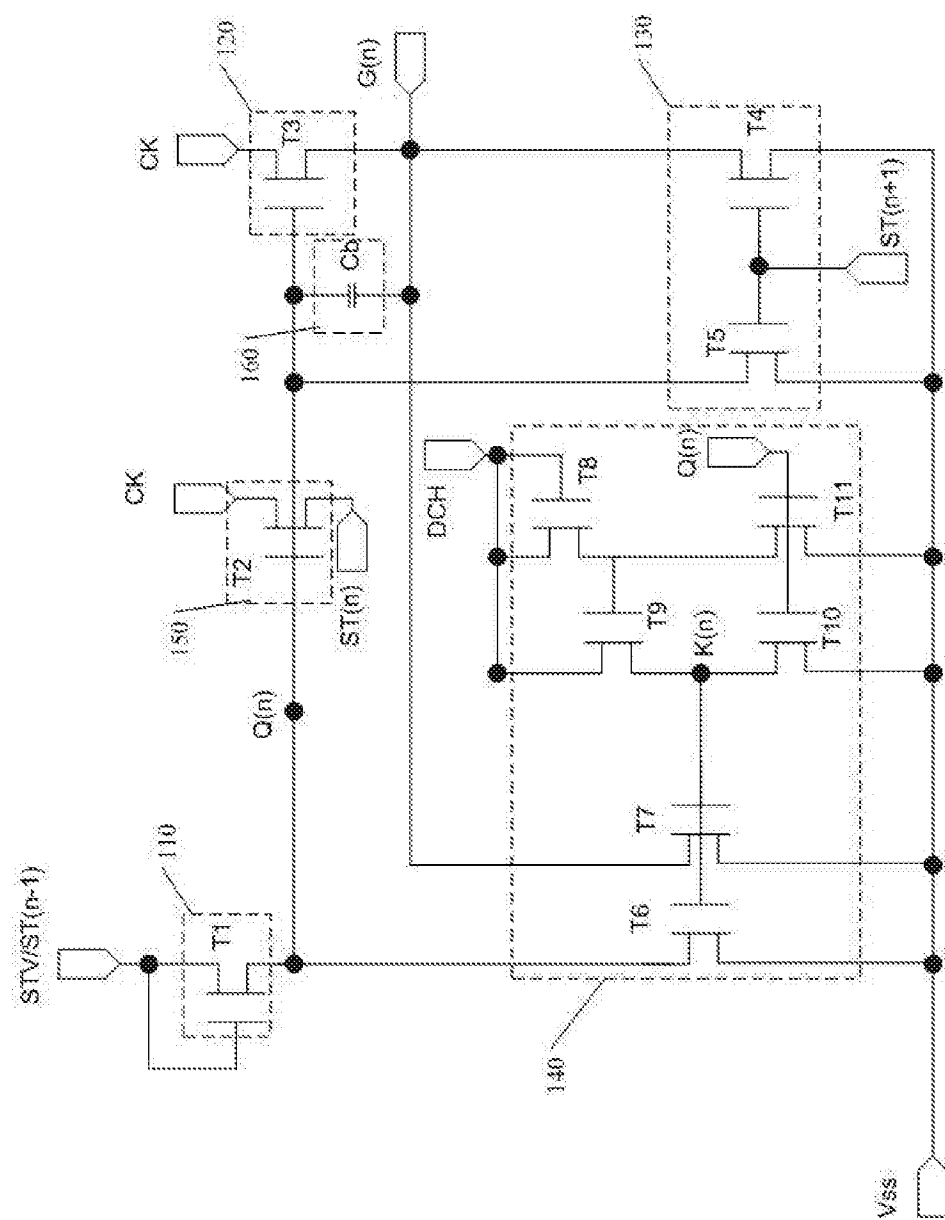
15、如权利要求 10 所述的液晶显示装置，其中，所述上拉单元包括第三薄膜晶体管，所述第三薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极与第 N 级水平扫描线电连接。

25

16、如权利要求 10 所述的液晶显示装置，其中，所述下传单元包括第二薄膜晶体管，所述第二薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极用于输出第 N 级下传信号。

17、如权利要求 10 所述的液晶显示装置，其中，所述下拉单元包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管的源极与第一节点电连接，其漏极接第一低电平，所述第五薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接第一低电平，所述第四薄膜晶体管的栅极和所述第五薄膜晶体管的栅极用于接第 N+1 级下传信号。

18、如权利要求 10 所述的液晶显示装置，其中，所述上拉控制单元包括第一薄膜晶体管，所述第一薄膜晶体管的栅极和源极接收第 N-1 级下传信号或者起始信号，其漏极与第一节点电连接。



一

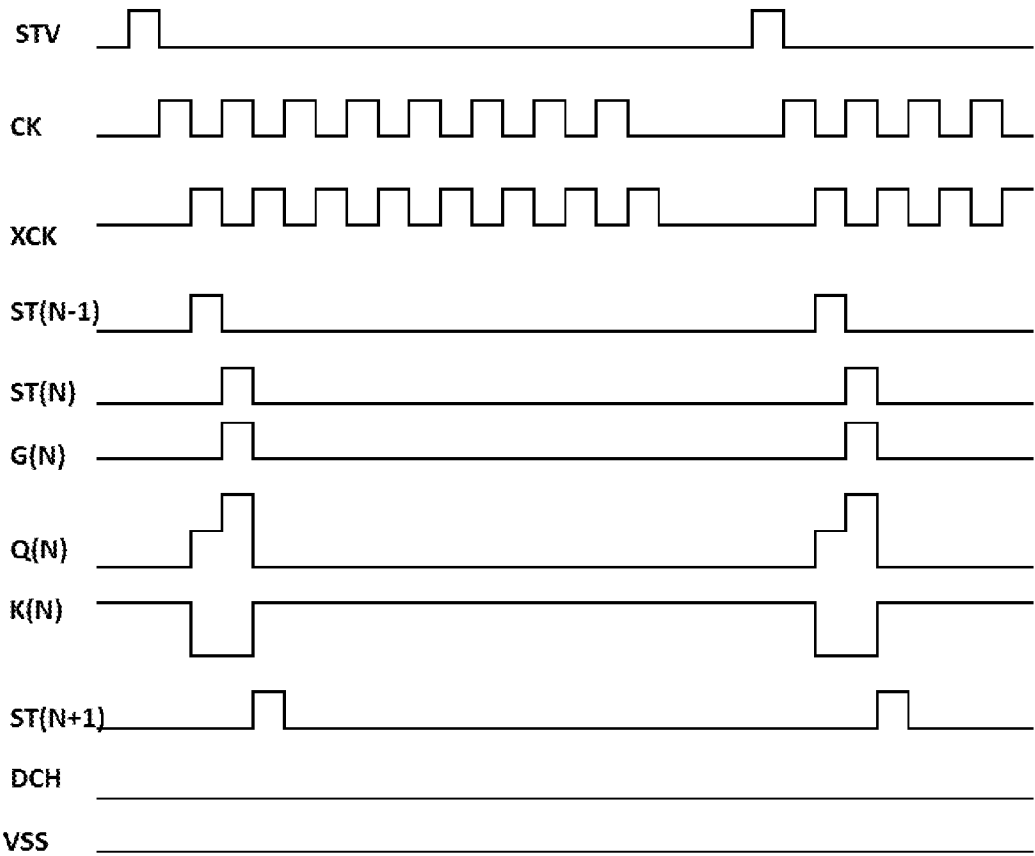


图 2

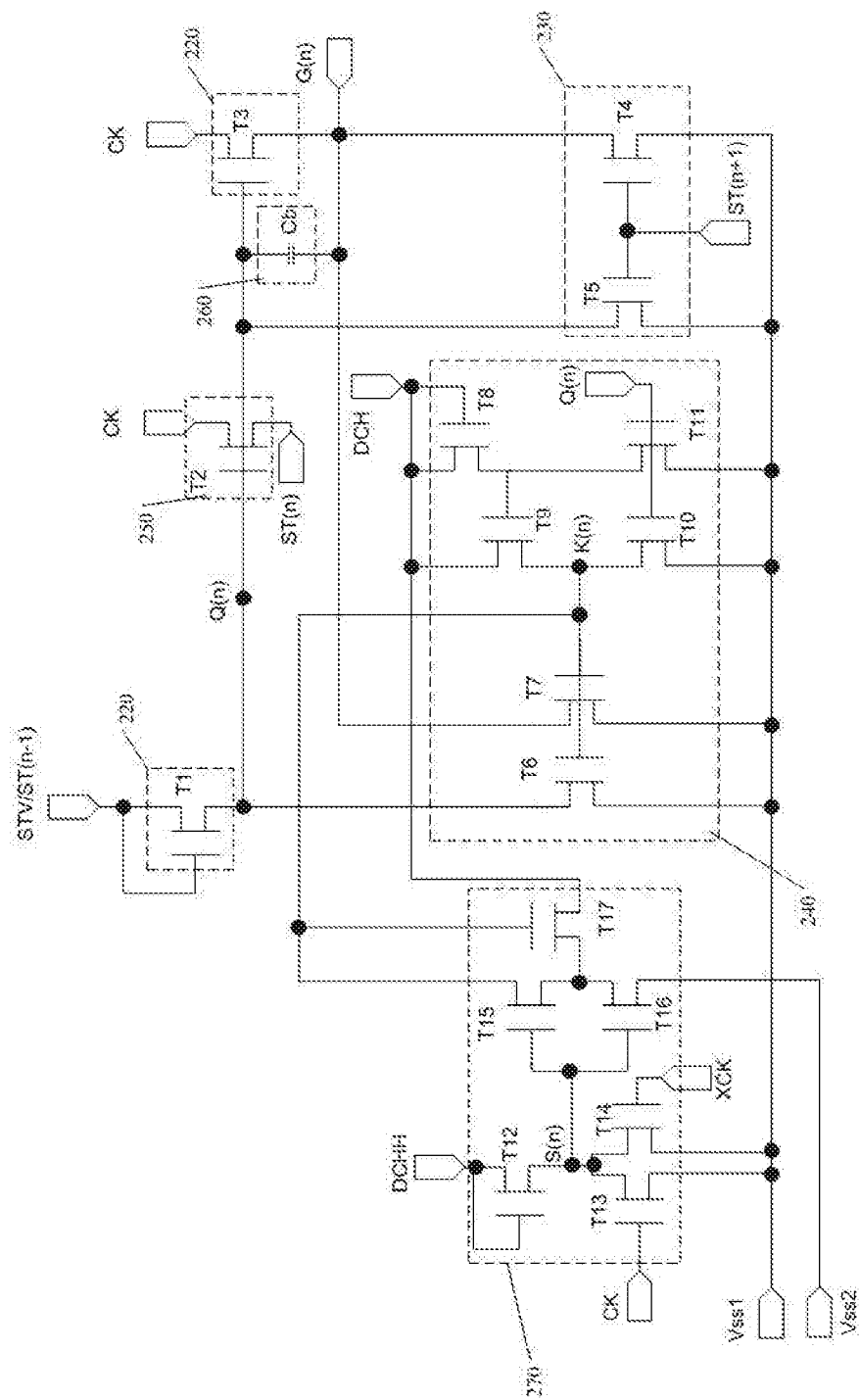


图 3

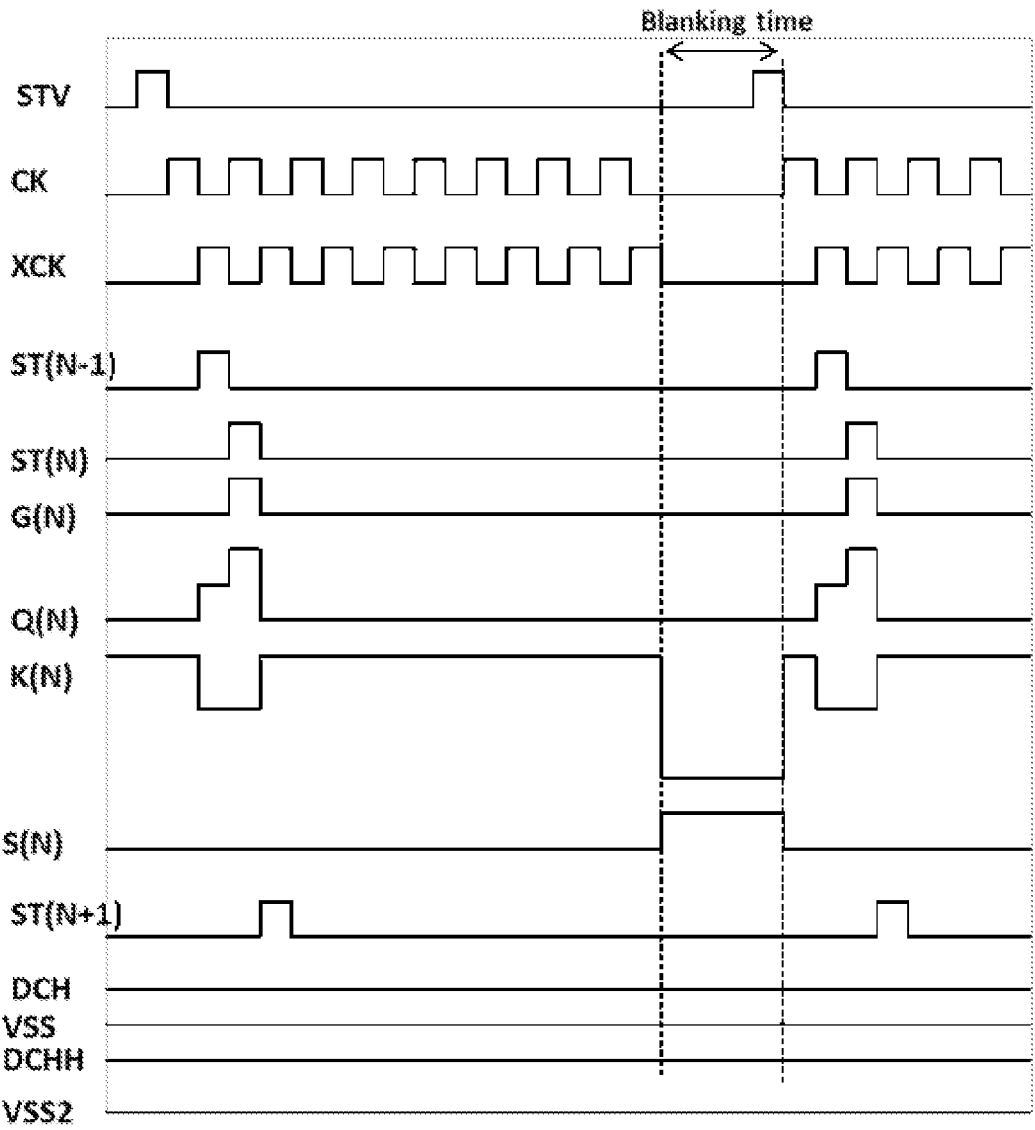


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/107542

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTEXT; CNABS; VEN: 阈值电压, 正向偏压, 下拉维持, 正偏, 负偏, 阈值, 薄膜晶体管, 失效, 自举电容, G0A, 时间, 上拉, upper, pull, down, maintaining, threshold, transistor, high, low, negative, bias

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107369422 A (SHENZHEN HUAXING PHOTOELECTRIC SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 21 November 2017 (21.11.2017), description, paragraphs [0006]-[0020], and figures 1-4	1-18
A	CN 106898290 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 June 2017 (27.06.2017), entire document	1-18
A	CN 104167191 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 November 2014 (26.11.2014), entire document	1-18
A	CN 106571123 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 19 April 2017 (19.04.2017), entire document	1-18
A	CN 104064159 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 September 2014 (24.09.2014), entire document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 May 2018	Date of mailing of the international search report 22 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Lisheng Telephone No. (86-10) 62089989

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/107542

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107369422 A	21 November 2017	None	
CN 106898290 A	27 June 2017	None	
CN 104167191 A	26 November 2014	US 2016005372 A1	07 January 2016
		WO 2016000280 A1	07 January 2016
		CN 104167191 B	17 August 2016
CN 106571123 A	19 April 2017	WO 2018072288 A1	26 April 2018
CN 104064159 A	24 September 2014	JP 2017530379 A	12 October 2017
		WO 2016008191 A1	21 January 2016
		CN 104064159 B	15 June 2016
		GB 201700519 D0	01 March 2017
		GB 2542991 A	05 April 2017
		US 2016284293 A1	29 September 2016
		US 9589520 B2	07 March 2017
		KR 20170030604 A	17 March 2017

国际检索报告

国际申请号

PCT/CN2017/107542

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT; CNABS; VEN: 阈值电压, 正向偏压, 下拉维持, 正偏, 负偏, 阈值, 薄膜晶体管, 失效, 自举电容, GOA, 时间, 上拉, upper, pull, down, maintaining, threshold, transistor, high, low, negative, bias																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 107369422 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 21日 (2017 - 11 - 21) 说明书第[0006]-[0020]段, 附图1-4</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 106898290 A (深圳市华星光电技术有限公司) 2017年 6月 27日 (2017 - 06 - 27) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 106571123 A (SHENZHEN CHINA STAR OPTOELECT) 2017年 4月 19日 (2017 - 04 - 19) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 104064159 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 107369422 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 21日 (2017 - 11 - 21) 说明书第[0006]-[0020]段, 附图1-4	1-18	A	CN 106898290 A (深圳市华星光电技术有限公司) 2017年 6月 27日 (2017 - 06 - 27) 全文	1-18	A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-18	A	CN 106571123 A (SHENZHEN CHINA STAR OPTOELECT) 2017年 4月 19日 (2017 - 04 - 19) 全文	1-18	A	CN 104064159 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 107369422 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 21日 (2017 - 11 - 21) 说明书第[0006]-[0020]段, 附图1-4	1-18																		
A	CN 106898290 A (深圳市华星光电技术有限公司) 2017年 6月 27日 (2017 - 06 - 27) 全文	1-18																		
A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-18																		
A	CN 106571123 A (SHENZHEN CHINA STAR OPTOELECT) 2017年 4月 19日 (2017 - 04 - 19) 全文	1-18																		
A	CN 104064159 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-18																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2018年 5月 14日		国际检索报告邮寄日期 2018年 5月 22日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 王立升 电话号码 62089989																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/107542

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107369422	A	2017年 11月 21日	无			
CN	106898290	A	2017年 6月 27日	无			
CN	104167191	A	2014年 11月 26日	US	2016005372	A1	2016年 1月 7日
				WO	2016000280	A1	2016年 1月 7日
				CN	104167191	B	2016年 8月 17日
CN	106571123	A	2017年 4月 19日	WO	2018072288	A1	2018年 4月 26日
CN	104064159	A	2014年 9月 24日	JP	2017530379	A	2017年 10月 12日
				WO	2016008191	A1	2016年 1月 21日
				CN	104064159	B	2016年 6月 15日
				GB	201700519	D0	2017年 3月 1日
				GB	2542991	A	2017年 4月 5日
				US	2016284293	A1	2016年 9月 29日
				US	9589520	B2	2017年 3月 7日
				KR	20170030604	A	2017年 3月 17日