

(21)申請案號：105134166

(22)申請日：中華民國 105 (2016) 年 10 月 21 日

(51)Int. Cl. : ***H01L21/8247(2006.01)***

(30)優先權：2015/10/30 美國 14/928,688

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：陳世憲 CHEN, SHIH-HSIEN (TW)；盧皓彥 LU, HAU-YAN (TW)；郭良泰 KUO, LIANG-TAI (TW)；柯鈞耀 KO, CHUN-YAO (TW)；徐英傑 TSUI, FELIX YING-KIT (US)

(74)代理人：陳長文；馮博生

申請實體審查：無 申請專利範圍項數：1 項 圖式數：5 共 34 頁

(54)名稱

非揮發性記憶體及其製造方法

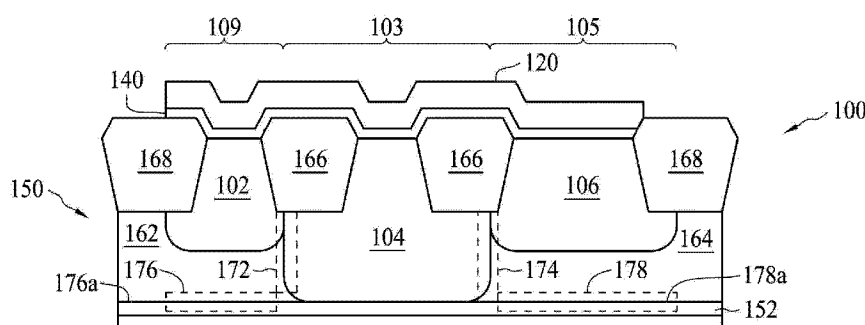
NON-VOLATILE MEMORY AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明實施例揭示一種非揮發性記憶體結構，其包括一半導體基板及該半導體基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體結構進一步包括：一第二摻雜劑類型之一第一井區域，其位於該第一層上方；該第二摻雜劑類型之一第二井區域，其位於該第一層上方且與該第一井區域間隔開；及該第一摻雜劑類型之一第三井區域，其安置於該第一井區域與該第二井區域之間且向下延伸至該第一層。

A non-volatile memory structure comprises a semiconductor substrate and a first layer of a first dopant type in the semiconductor substrate. The non-volatile memory structure further comprises a first well region of a second dopant type over the first layer, a second well region of the second dopant type over the first layer and spaced apart from the first well region, and a third well region of the first dopant type disposed between the first well region and the second well region and extending downward to the first layer.

指定代表圖：



【圖 1B】

符號簡單說明：

100 · · · 非揮發性記憶體單元

102 · · · 第一井區域

103 · · · 第一電容器

104 · · · 第二井區域

105 · · · 第二電容器

106 · · · 第三井區域

109 · · · 第二電晶體

- 120 . . . 閘極層/浮動閘極
- 140 . . . 絕緣層
- 150 . . . 半導體基板
- 152 . . . 第一層
- 162 . . . 第一摻雜區域
- 164 . . . 第二摻雜區域
- 166 . . . 隔離區域
- 168 . . . 隔離區域
- 172 . . . 界面 p-n 接面
- 174 . . . 界面 p-n 接面
- 176 . . . 界面 p-n 接面
- 176a . . . 表面
- 178 . . . 界面 p-n 接面
- 178a . . . 表面



201729353

申請日: 105/10/21

IPC分類: H01L 21/8247 (2006.01)

【發明摘要】**【中文發明名稱】**

非揮發性記憶體及其製造方法

【英文發明名稱】

NON-VOLATILE MEMORY AND MANUFACTURING METHOD
THEREOF

【中文】

本發明實施例揭示一種非揮發性記憶體結構，其包括一半導體基板及該半導體基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體結構進一步包括：一第二摻雜劑類型之一第一井區域，其位於該第一層上方；該第二摻雜劑類型之一第二井區域，其位於該第一層上方且與該第一井區域間隔開；及該第一摻雜劑類型之一第三井區域，其安置於該第一井區域與該第二井區域之間且向下延伸至該第一層。

【英文】

A non-volatile memory structure comprises a semiconductor substrate and a first layer of a first dopant type in the semiconductor substrate. The non-volatile memory structure further comprises a first well region of a second dopant type over the first layer, a second well region of the second dopant type over the first layer and spaced apart from the first well region, and a third well region of the first dopant type disposed between the first well region and the second well region and extending downward to the first layer.

【指定代表圖】

圖1B

【代表圖之符號簡單說明】

100	非揮發性記憶體單元
102	第一井區域
103	第一電容器
104	第二井區域
105	第二電容器
106	第三井區域
109	第二電晶體
120	閘極層/浮動閘極
140	絕緣層
150	半導體基板
152	第一層
162	第一摻雜區域
164	第二摻雜區域
166	隔離區域
168	隔離區域
172	界面p-n接面
174	界面p-n接面
176	界面p-n接面
176a	表面
178	界面p-n接面
178a	表面

【發明說明書】

【中文發明名稱】

非揮發性記憶體及其製造方法

【英文發明名稱】

NON-VOLATILE MEMORY AND MANUFACTURING METHOD
THEREOF

【技術領域】

本發明實施例係有關記憶體裝置及其形成方法。

【先前技術】

非揮發性記憶體係能夠在切斷電源時保存嵌入資料之一記憶體類型。另外，吾人已發現非揮發性記憶體在資料儲存及電子控制器之領域中具有諸多應用。由於裝置大小不斷縮小，所以據此需要降低非揮發性記憶體之功率消耗及製造成本。此外，亦需要非揮發性記憶體與一高效及經濟架構內之邏輯電路整合。因此，可期望改良既有結構及製造方法來解決以上需求。

【發明內容】

在一些實施例中，一種非揮發性記憶體結構包括一半導體基板及該半導體基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體結構進一步包括該第一層上方之一第二摻雜劑類型之一第一井區域、該第一摻雜劑類型之一第二井區域及該第一層上方且與該第一井區域間隔開之該第二摻雜劑類型之一第三井區域。該第二井區域安置於該第一井區域與該第三井區域之間且向下延伸至該第一層。該非揮發性記憶體結構進一步包括延伸於該第一井區域、該第二井區域及該第三井區域上方之一第一閘極層。

在一些實施例中，提供一種非揮發性記憶體單元。該非揮發性記憶體單元包括一半導體基板及該基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體單元進一步包括一第二摻雜劑類型之一第一井區域上之一第一電晶體、該第一摻雜劑類型之一第二井區域上之一第一電容器及該第二摻雜劑類型之一第三井區域上之一第二電容器。該第一井區域及該第三井區域由該第二井區域及該第一層環繞。

在一些實施例中，提供一種製造一非揮發性記憶體單元之方法。該方法包含：提供一半導體基板；使一第一摻雜劑類型之一第一層形成於該半導體基板中；使該第一摻雜劑類型之一第一井區域形成於該第一層上方且延伸至該第一層；及使一第二摻雜劑類型之一第二井區域及一第三井區域形成於該第一層上方。

【圖式簡單說明】

自結合附圖閱讀之以下詳細描述最佳理解本發明之態樣。應注意，根據行業中之標準實踐，各種特徵未按比例繪製。實際上，為使討論清楚，可任意增大或減小各種特徵之尺寸。

圖1A展示根據一些實施例之一非揮發性記憶體單元之一示意圖。

圖1B展示根據一些實施例之沿一線AA'取得之圖1A之非揮發性記憶體單元之一剖面圖。

圖1C係根據一些實施例之一非揮發性記憶體陣列之一俯視圖。

圖1D展示根據一些實施例之沿一線BB'取得之圖1C之非揮發性記憶體陣列之一剖面圖。

圖2A展示根據一些實施例之一非揮發性記憶體單元之一示意圖。

圖2B展示根據一些實施例之沿一線CC'取得之圖2A之非揮發性記憶體

體單元之一剖面圖。

圖3係根據一些實施例之一非揮發性記憶體陣列之一俯視圖。

圖4A係根據一些實施例之圖1A中之非揮發性記憶體單元之一程式化操作之一示意圖。

圖4B係根據一些實施例之非揮發性記憶體單元之一擦除操作之一示意圖。

圖5展示根據一些實施例之製造一非揮發性記憶體單元之一流程圖。

【實施方式】

以下揭示內容提供用於實施所提供之標的之不同特徵之諸多不同實施例或實例。下文將描述組件及配置之特定實例來簡化本發明。當然，此等僅為實例且不意欲具限制性。例如，在以下描述中，使一第一特徵形成於一第二特徵上方或一第二特徵上可包含其中形成直接接觸之該第一特徵及該第二特徵的實施例，且亦可包含其中可在該第一特徵與該第二特徵之間形成額外特徵使得該第一特徵及該第二特徵可不直接接觸的實施例。另外，本發明可在各種實例中重複參考元件符號及/或字母。此重複係為了簡單及清楚且其本身不指示所討論之各種實施例及/或組態之間之一關係。

此外，為便於描述，諸如「下面」、「下方」、「下」、「上方」、「上」及其類似者之空間相對術語在本文中可用於描述如圖中所繪示之一元件或特徵與另外(若干)元件或(若干)特徵之關係。空間相對術語除涵蓋圖中所描繪之定向之外，亦意欲涵蓋使用或操作中之裝置之不同定向。設備可依其他方式定向(旋轉90度或依其他定向)且亦可據此解譯本文所使用之空間相對描述詞。

非揮發性記憶體包括其中組態一浮動閘極且藉由一寫入操作提供或減少用作為資料之電荷的一雙閘極結構。另外，執行一讀取操作以根據該浮動閘極之充電狀態偵測電流變動。在一寫入操作中，通常使程式或擦除電壓呈高態以對電荷提供驅動能力。在設計及製造記憶體單元時，應注意防止用於一寫入操作之記憶體單元中之非所要短路或傳導路徑。此外，通常需要使用最少數目個製造操作來將非揮發性記憶體單元與其他邏輯電路整合以節省成本。

在本發明實施例中，討論其中當施加一高寫入電壓時管理潛在電流洩漏的一非揮發性記憶體單元。此外，在不引發額外處理步驟之情況下使記憶體單元與其他邏輯電路同時實施。因此，使用一可行整合架構來使所提出之記憶體單元結構之洩漏有效減輕。

圖1A展示一非揮發性記憶體單元100之一示意圖。非揮發性記憶體單元100包括一第一電晶體101、一第二電晶體109、一第一電容器103及一第二電容器105。第二電晶體109包括一第一閘極120a，其係一延伸閘極層120之一部分。此外，延伸閘極層120係由第二電晶體109、第一電容器103及第二電容器105共用且經組態以將正電荷或負電荷儲存為資訊資料的一浮動閘極。另外，第二電晶體109包括經組態以充當一選擇閘極且接收用於啟用第一電晶體101之一選擇信號的一第二閘極130。浮動閘極120或選擇閘極130可包含一導電材料，諸如多晶矽、鋁、銅、鈦、鉭、鎢、鉬、氮化鉭、矽化鎳、矽化鈷、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、金屬合金、其他適合材料及/或其等之一組合。

非揮發性記憶體單元100包括安置於一第一井區域102中且由第一電晶體101及第二電晶體109共用之一第一主動區域112。再者，第二電晶體

109之第一閘極區域120a安置於第一主動區域112上方。因此，第一主動區域112與第一電晶體101及第二電晶體109兩者重疊。第一電晶體101或第二電晶體109可為一P通道電晶體或一N通道電晶體，此取決於第一主動區域112之導電性或摻雜劑類型。在一實施例中，第一井區域102摻雜有一第一摻雜劑類型，諸如硼或BF₂之一P型摻雜劑。在其他實施例中，第一主動區域112摻雜有一第二摻雜劑類型，諸如磷或砷之一N型摻雜劑。第一主動區域112包括一源極區域、一汲極區域及其等之間之一通道區域。另外，第一主動區域112包括形成於其上，較佳地分別形成於源極區域及汲極區域上，之接點141及142。此外，第一主動區域112之通道區域(未標記元件符號)定位於第一主動區域112之汲極區域與源極區域之間之第一井區域102中之浮動閘極120a下方。

第一電容器103形成於一金屬氧化物半導體場效電晶體(MOSFET)結構中且包括安置於一第二井區域104中之一第二主動區域114。另外，第一電容器103包括形成於第二主動區域114之源極區域及汲極區域上之第二接點143及144。另外，第一電容器103包括浮動閘極120之第一閘極區域120a與一第三閘極區域120c之間之一第二閘極區域120b。在一實施例中，第二接點143及144藉由佈線或其他連接而電耦合以充當非揮發性記憶體單元100之一擦除閘極之一輸入端。

類似地，第二電容器105形成於一MOSFET結構中且包括安置於一第三井區域106中之一第三主動區域116。另外，第二電容器105亦包括形成於第三主動區域116之源極區域及汲極區域上之第三接點145及146。此外，第二電容器105包括第三閘極區域120c，其係浮動閘極120之一部分。在一實施例中，第三接點145及146藉由佈線或其他連接而電耦合以

充當非揮發性記憶體單元100之一程式化閘極之一輸入端。

在一實施例中，第二井區域104摻雜有不同於第一井區域102之摻雜劑類型的一摻雜劑類型。例如，第二井區域104摻雜有一N型摻雜劑。在另一實施例中，第三井區域106摻雜有相同於第一井區域102之摻雜劑類型的一摻雜劑類型，例如一P型摻雜劑。在一些實施例中，為了簡單及清楚，圖1B中繪示圖1A中未展示之一些元件，諸如隔離區域。

圖1B展示根據一些實施例之沿一線AA'取得之圖1A之非揮發性記憶體單元100之一剖面圖。參考圖1A及圖1B，非揮發性記憶體單元100包括一半導體基板150、一第一層152、一第一摻雜區域162、一第二摻雜區域164、隔離區域166及168及一絕緣層140。

半導體基板150包含：一元素半導體，諸如一結晶結構中之矽或鍺；一化合物半導體，諸如矽鍺、碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及/或亞銻酸銦；或其等之組合。在一些實施例中，半導體基板150亦包含一絕緣體上矽(SOI)基板。一些例示性基板包含一絕緣體層。該絕緣體層包含任何適合材料，其包含氧化矽、藍寶石、其他適合絕緣材料及/或其等之組合。

第一層152安置於半導體基板150中。在一實施例中，第一層152經形成為一內埋層或一深井區域。此外，第一層152經組態以充當一絕緣層，使得可由該絕緣層阻擋由安置於其他區域(圖中未展示)中之不同電路導致之雜訊。因此，可較佳地維持非揮發性記憶體單元100之電效能。在一實施例中，第一層152摻雜有不同於半導體基板150之一摻雜劑類型。例如，第一層152在一P型半導體基板150中摻雜有一N型摻雜劑。另外，第一層152形成於第一井區域102、第二井區域104或第三井區域106下方以

因此導致一深N井。

絕緣區域166經組態以在第一主動區域112與第二主動區域114之間及在第二主動區域114與第三主動區域116之間提供電隔離。此外，非揮發性記憶體單元100亦包含用於與相鄰非揮發性記憶體單元電隔離之隔離區域168。在一實施例中，隔離區域166及168包含淺溝槽隔離(STI)結構。在一實施例中，隔離區域166及168可相鄰於第一主動區域112、第二主動區域114或第三主動區域116。適合於隔離區域166及168之材料包含氧化矽、氮化矽、氮氧化矽、一氣隙或其等之一組合。

絕緣層140安置於浮動閘極120與下伏第一井區域102、第二井區域104及第三井區域106之各者之間。在一些實施例中，絕緣層140不組態為浮動閘極120下方之一連續層。例如，絕緣層140可安置於第一電晶體101及第二電晶體109之各自通道區域上方。在一些實施例中，絕緣層140安置於浮動閘極120與第一主動區域112、第二主動區域114及第三主動區域116之各者之間。

一例示性絕緣層140包含氧化矽(例如熱氧化物或化學氧化物)及/或氮氧化矽(SiON)。絕緣層140包含一介電材料，諸如氧化矽、氮化矽、氮氧化矽、高k介電材料、其他適合介電材料及/或其等之一組合。高k介電材料之實例包含HfO₂、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、氧化鋯、氧化鋁、二氧化鋯-氧化鋁(HfO₂ZrO₂-Al₂O₃)合金、其他適合高k介電材料及/或其等之一組合。

第一電容器103用於使用由絕緣層140間隔開之兩個導電板來儲存電荷，其中第二閘極區域120b充當一板且第二主動區域114充當另一板。類似地，第二電容器105用於使用由絕緣層140分離之兩個導電板來儲存電

荷，其中第三閘極區域120c充當一板且第三主動區域116充當另一板。

在本實施例中，第二井區域104摻雜有不同於其相鄰井區域102及106中之摻雜劑類型的一摻雜劑類型。在一實施例中，第二井區域104摻雜有一N型摻雜劑，而第一井區域102及第三井區域106摻雜有一P型摻雜劑。因此，一界面p-n接面172形成於第一井區域102與第二井區域104之間。類似地，一界面p-n接面174形成於第二井區域104與第三井區域106之間。

在一些實施例中，第一摻雜區域162及第二摻雜區域164經組態為具有P型摻雜劑之輕摻雜區域。在一些實施例中，第一摻雜區域162及第二摻雜區域164填充有相同於半導體基板150之一材料。此外，第二井區域104及第一層152摻雜有相同類型之摻雜劑，諸如一N型摻雜劑。因此，一界面p-n接面176沿第一層152之一表面176a形成於第一摻雜區域162與第一層152之間。類似地，一界面p-n接面178沿第一層152之一表面178a形成於第二摻雜區域164與第一層152之間。

在一實施例中，第一電容器103之擦除閘極經施加有高於施加至第一電容器101、第二電晶體109之端子或第二電容器105之程式化閘極之正電壓的一正電壓。因此，使p-n接面172、174、176及178反向偏壓。避免流動通過第一電容器103之電流穿過p-n接面172、174、176及178。因此，鑑於崩潰電壓(諸如18伏特)下之一正常操作要求，實質上阻止非所要電流自第二井區域104流入至第一井區域102或第三井區域106中。第一電晶體101、第二電晶體109或第二電容器105之端子電位因此不受非所要洩漏電流影響或偏離且可保持穩定。因此，在此高擦除電壓下維持非揮發性記憶體單元100之一正常寫入操作。

在一些實施例中，第二井區域104具有比第一井區域102或第三井區域106之深度深之一深度。再者，第二井區域104向下延伸至第一層152，使得第二井區域104之至少一部分到達第一層152。因此，第一摻雜區域162及第二摻雜區域164藉由第二井區域104而彼此間隔開。此外，至少一p-n接面(諸如接面172或174)安置於第一摻雜區域162與第二摻雜區域164之間。

替代地，第一井區域102由具有一不同摻雜劑類型之區域自其側面覆蓋。再者，第三井區域106由具有一不同摻雜劑類型之區域自其側面覆蓋。在該情況中，除隔離區域166及168之外，分別由第二井區域104或第一層152透過第一摻雜區域162及第二摻雜區域164而圍封第一井區域102或第三井區域106。

圖1C係根據一些實施例之一非揮發性記憶體陣列10之一俯視圖。參考圖1C，非揮發性記憶體單元陣列10包括複數個非揮發性記憶體單元，例如圖1A中之記憶體單元100。非揮發性記憶體陣列10進一步包括緊鄰於非揮發性記憶體單元100之另一非揮發性記憶體單元180，同時圖1C中僅展示非揮發性記憶體單元180之一部分。非揮發性記憶體單元100及180具有類似結構且安置於一陣列中。在一些實施例中，非揮發性記憶體陣列10可包括沿x軸或y軸方向配置之更多非揮發性記憶體單元。另外，非揮發性記憶體單元180包括類似於與第一電晶體、第二電晶體、電容器結構或井區域相關聯之第一井區域102之一例示性第四井區域202。

如圖1C中所展示，非揮發性記憶體單元100與一第五井區域204及一第六井區域124側面接觸。此外，第五井區域204及第六井區域124環繞第一井區域102、第二井區域104及第三井區域106。在一些實施例中，第五

井區域204及第六井區域124摻雜有相同於第二井區域104之摻雜劑類型。如先前所討論，具有相反摻雜劑類型之兩個相鄰井區域之配置將引起該兩個井區域之邊界處之一p-n接面。據此，由於具有一P型摻雜劑之第一井區域102及第三井區域106與N型井區域104及204鄰接，所以當第二井區域104接收一高正電壓且第一井區域102及第三井區域106接地時，形成於第二井區域104與第一井區域102及第三井區域106之間之反向偏壓p-n接面用於阻止非所要洩漏電流流入至第一電晶體101或第二電晶體109中。因此，使第一電晶體101或第二電晶體109上之端子之電位保持不受干擾。類似地，由於具有P型摻雜劑之第三井區域106與N型井區域104及204鄰接，所以當第二井區域104接收一高正電壓且第三井區域106接地時，形成於第二井區域104與第三井區域106之間之反向偏壓p-n接面用於阻止洩漏電流流入至第三井區域106中。因此，使第二電容器105之程式化閘極電壓保持不受干擾。在此等反向偏壓條件中，第一電晶體101、第二電晶體109及第二電容器105由第一電容器103及第一層152界限且電隔離。

在一些實施例中，第五井區域204及第六井區域124被視為第二井區域104之延伸部分。因此，第二井區域104覆蓋第一井區域102及第三井區域106之側面。在其他實施例中，亦參考圖1A及圖1B，隔離區域166可經組態以延伸而包圍第一主動區域112、第二主動區域114及第三主動區域116。類似地，隔離區域168可經組態以延伸而包圍第一主動區域112或第三主動區域116。在該情況中，第五井區域204可接觸隔離區域166或168下方之第一井區域102或第三井區域106。因此，因此所形成之p-n接面之面積將因向下延伸之隔離區域166及168而減小。

在一實施例中，非揮發性記憶體陣列10包括環繞第四井區域202之一

部分之一第七井區域206。在一些實施例中，第七井區域206摻雜有相同於第五井區域204或第六井區域124之摻雜劑類型，例如一N型摻雜劑。因此，第四井區域202在反向偏壓電壓下與非揮發性記憶體單元100電隔離。就用於洩漏電流管理之此配置而言，可依一所要方式控制非揮發性記憶體陣列10中之洩漏電流。具有施加至一特定記憶體單元之一高電壓之擦除操作無法有效影響相同記憶體單元或相鄰記憶體單元之其他端子上之電位。

圖1D展示根據一些實施例之沿一線BB'取得之圖1C之非揮發性記憶體陣列10之一剖面圖。參考圖1D，安置於非揮發性記憶體單元100之外周邊處之第六井區域124延伸至第一層152，此類似於第二井區域104之情況。再者，一p-n接面172a存在於第一井區域102及第一摻雜區域162之P型區域與N型第六井區域124之間之邊界處，且一p-n接面172b存在於第一井區域102及第一摻雜區域162之P型區域與N型第二井區域104之間之邊界處。此外，一p-n接面176存在於P型第一摻雜區域162與N型第一層152之間之邊界處。因而，第一井區域102及第一摻雜區域162實質上由p-n接面172a、172b及176環繞。

同樣地，一p-n接面174a存在於第三井區域106及第二摻雜區域164之P型區域與N型第二井區域104之間之邊界處，且一p-n接面174b存在於第三井區域106及第二摻雜區域164之P型區域與N型第六井區域124之間之邊界處。此外，一p-n接面178存在於P型第二摻雜區域164與N型第一層152之間之邊界處。因而，第三井區域106及第二摻雜區域164實質上由p-n接面174a、174b及178環繞。

如先前所討論，p-n接面出現於P型井區域與N型井區域之間之邊界

處。在用於解決一非揮發性記憶體單元之電流洩漏問題之一既有方法中，一額外深P井可經組態於第一N型內埋層與上覆井區域結構之間。因此，N型井區域將在介入深P井之幫助下不短接至下伏N型內埋層。然而，儘管可管理電流洩漏，但深P井之製程與邏輯電路之電流處理流程不相容，此係因為邏輯電路設計中並非總是採用深P型井。因此，歸因於諸如微影遮罩、蝕刻及植入操作之額外操作，製造成本及產品產率無法令人滿意。相比而言，結合N型井區域124及N型第一層152來提出之N型井區域104解決電流洩漏問題且無需引進任何額外電流停止層。因此，應用於邏輯裝置之先進程序流程可與用於非揮發性記憶體陣列之程序流程無縫整合。有效達成諸如改良程序整合及減少製造成本及循環之製造優點。

圖2A至圖2B展示根據一些實施例之一非揮發性記憶體單元200之示意俯視圖及沿一非揮發性記憶體單元200之一線CC'取得之剖面圖。參考圖2A且亦參考圖1A，第一井區域102與第二井區域104間隔達一距離W1。此外，第三井區域106與第二井區域104間隔達一距離W2。在一些實施例中，距離W1等於距離W2。在一實施例中，距離W1及距離W2之僅一者減小至0，因此，僅第一井區域102或第三井區域106連接至第二井區域104。

參考圖2B且亦參考圖1B，一p-n接面272形成於第一摻雜區域162與第二井區域104之間。類似地，一p-n接面274形成於第二摻雜區域164與第二井區域104之間。因此，第一井區域102或第三井區域106分別透過第一摻雜區域162或第二摻雜區域164而與第二井區域104及第一層152隔離。就p-n接面272及274之此配置而言，歸因於第二井區域104與第一井區域102或第三井區域106之間之一較大間隙而使非揮發性記憶體單元200

之崩潰電壓大於非揮發性記憶體單元100之崩潰電壓。因此，允許一較高擦除電壓。

圖3係根據一些實施例之一非揮發性記憶體陣列300之一俯視圖。非揮發性記憶體陣列300包含配置成一 4×2 陣列且各依類似於圖1A之非揮發性記憶體單元100之一方式組態之八個非揮發性記憶體單元mc1至mc8。另外，非揮發性記憶體陣列300包括第一井區域302、一第二井區域304、一第三井區域306及一第四井區域308。第二井區域304進一步被分割成安置於第一井區域302與第三井區域306之間之一子第二井區域304a、安置於第三井區域306與第四井區域308之間之一子第二井區域304b及安置於非揮發性記憶體陣列300之周邊上之子第二井區域304c。此外，非揮發性記憶體陣列300包括四個第一主動區域312、342、352及362、兩個第二主動區域314及344、及兩個第三主動區域316及346。再者，非揮發性記憶體陣列300包括八個選擇閘極320至327及八個浮動閘極330至337。

第一主動區域312及342安置於第一井區域302上，且第一主動區域352及362安置於第四井區域308上。再者，第三主動區域316及346安置於第三井區域306上。另外，記憶體單元mc1、mc2、mc3及mc4建構於第一井區域302、第二井區域304a及第三井區域306上。類似地，記憶體單元mc5、mc6、mc7及mc8建構於第四井區域308、第二井區域304b及第三井區域306上。

在非揮發性記憶體陣列300中之八個非揮發性記憶體單元mc1至mc8中，第一記憶體單元mc1及第二記憶體單元mc2共用第一主動區域312，第三記憶體單元mc3及第四記憶體單元mc4共用第一主動區域342，第五記憶體單元mc5及第六記憶體單元mc6共用第一主動區域352，且第七記

憶體單元mc7及第八記憶體單元mc8共用第一主動區域362。

各記憶體單元mc1至mc8包括一第一電容器及一第二電容器。參考圖3及圖1A，以第一記憶體單元mc1為例，第一電容器及第二電容器包括分別作為其第一板之一閘極區域320b、一閘極區域320c。另外，記憶體單元mc1、mc2、mc3及mc4將第二主動區域314共用為各記憶體單元mc1至mc4中之各自第一電容器之一第二板。再者，記憶體單元mc1、mc2、mc3及mc4將第三主動區域316共用為各記憶體單元mc1至mc4中之各自第二電容器之一第二板。依一類似方式，記憶體單元mc5、mc6、mc7及mc8將第二主動區域344共用為其各自第一電容器之第二板且將第三主動區域346共用為其各自第二電容器之第二板。

第二井區域304安置於第一井區域302與第三井區域306之間(經展示為一部分304a)及安置於第三井區域306與第四井區域308之間(經展示為一部分304b)。此外，第二井區域304自其側面環繞第一井區域302、第三井區域306及第四井區域308。在一實施例中，第二井區域304具有一N型摻雜劑，且第一井區域302、第三井區域306及第四井區域具有一P型摻雜劑。因此，界面p-n接面可形成於N型井區域與P型井區域之間。

圖4A係根據一些實施例之圖1A中之非揮發性記憶體單元100之一程式化操作之一示意圖。參考圖4A且亦參考圖1A及圖1B，非揮發性記憶體單元100包括耦合至選擇閘極130之一選擇閘極(SG)端子、耦合至第一電晶體101之源極區域之接點141的一源極線(SL)及連接至第一電晶體101之汲極區域之接點142的一位元線(BL)。此外，一程式化閘極(PG)端子連接至第二電容器105之接點145、146，且一擦除閘極(EG)端子連接至第一電容器103之接點143、144。另外，一基極(BULK)端子連接至半導體基板

150。

在本發明實施例中，一程式化操作藉由電場將負電子推動至浮動閘極120中。再者，一擦除操作將負電子自浮動閘極120拉出或將正電荷推動至浮動閘極120中以中和負電子。然而，熟習技術者應瞭解，可依其他方式提供不同定義。以下給出具有福勒-諾德漢(Fowler-Nordheim (FN))穿遂效應之各端子之一電壓設定之一彙總表。

表1：具有FN穿遂效應之記憶體單元電壓設定

操作	V _{SG}	V _{PG}	V _{EG}	V _{BL}	V _{SL}	V _{Bulk}
程式化	0	HV	HV	0	0	0
擦除	0	0	HV	0	0	0
讀取	V1	V2	0	V3	0	0

在非揮發性記憶體單元100之一程式化操作中，如表1中所展示，使程式化閘極PG及擦除閘極EG供應有一預定程式化電壓位準HV，同時使剩餘端子保持接地。同時，使用於其他非選定記憶體單元之位元線電壓供應有為約 $V_{BLN}=HV/2$ 之一預定電壓位準以維持選定記憶體單元以及其他未選定記憶體單元之適當操作。當施加至第一電容器103及第二電容器105之電壓位準HV足夠高時，引起FN穿遂效應發生，使得負電子穿遂通過絕緣層140而進入浮動閘極120。另外，需要足夠大之程式化電壓位準HV來誘發實現FN穿遂效應之一電場。例如，典型電場強度係至少約10 MV/cm。此外，程式化電壓位準HV與絕緣層140之厚度相關。一較厚絕緣層140將對應於一較高程式化電壓位準HV。在一實施例中，程式化電壓係介於約10伏特至約20伏特之間，諸如，若絕緣層140經設計以用於依約5伏特至約6伏特操作之邏輯裝置，則程式化電壓係約16伏特。在其他實施例中，程式化電壓係介於約5伏特至約10伏特之間，諸如，若絕緣層

140經設計以用於依約2.5伏特至約3.3伏特操作之邏輯裝置，則程式化電壓係約7伏特。

圖4B係根據一些實施例之非揮發性記憶體單元100之一擦除操作之一示意圖。在一擦除操作中，如表1中所展示，僅使擦除閘極EG供應有預定電壓位準HV，同時使包含程式化閘極PG之剩餘端子保持接地。因此，施加至第一電容器103之電壓位準HV V_{EG} 產生一大電壓降以據此引起FN穿遂效應發生，使得負電子穿遂離開浮動閘極120。替代地，使正電荷穿遂至浮動閘極120中。因此，有效減少淨電荷之數量。

如先前所討論，擦除閘極EG透過第一電容器103耦合至下伏N型第二井區域104。此外，第二井區域104延伸至第一層152。在一擦除操作中，正電壓間隙HV沿N型第二井區域104及第一層152與P型井區域102及106之間之邊界產生反向偏壓p-n接面。因此，將電流限制於第二井區域104及第一層152內之區域。因此，使用低於接面之崩潰電壓之擦除閘極電壓HV來有效管理洩漏電流問題。

在一讀取操作中，根據表1判定非揮發性記憶體單元100之端子。第一電晶體101經接通且經組態以感測其通道區域中之一電流值。用於選擇閘極之預定電壓 $V_{SG}=V1$ 取決於電晶體效能及速率要求。在一實施例中，判定選擇閘極電壓V1被設定為操作供應電壓(VDD)，諸如2.5伏特、3.3伏特或5伏特。再者，分別施加至程式化閘極PG及位元線BL之電壓(即， $V_{pG}=V2$ 及 $V_{BL}=V3$)經預定以確保讀取操作之適當功能。在一些實施例中，判定程式化閘極電壓V2係介於約0伏特至非揮發性記憶體單元100之約VDD之間。另外，在一些實施例中，將位元線電壓 $V_{BL}=V3$ 判定為約1伏特。剩餘端子接地。

在一些實施例中，非揮發性記憶體單元100可經組態以在一替代設定中操作，諸如通道熱電子(CHE)效應。與FN穿遂效應不同，當利用CHE效應時，將流動通過MOS電晶體之通道區域之載子拉入或拉出浮動閘極120。另外，具有CHE效應之一讀取操作之施加電壓類似於具有FN穿遂效應之讀取操作之施加電壓。下表2彙總非揮發性記憶體單元100之端子之一替代操作電壓設定。

表2：替代記憶體單元電壓設定

操作	V _{SG}	V _{PG}	V _{EG}	V _{BL}	V _{SL}	V _{Bulk}
程式化	V4	V5	V5	V6	0	0
擦除	0	0	0	V7	0	0

在一程式化操作中，如表2中所展示，接通第一電晶體101，其中將電壓V_{SG}及V_{BL}分別判定為V4及V6。此外，將電壓V4判定為非揮發性記憶體單元100之操作供應電壓(VDD)，諸如2.5伏特、3.3伏特或5伏特。另外，取決於諸如電流值及記憶體單元速率之記憶體單元特性，將汲極電壓V_{BL}=V6及程式化閘極(PG)及擦除閘極(EG)電壓判定為介於4伏特至7伏特之間。使剩餘端子保持接地。因此，誘發一通道電流。再者，將通道區域中之熱電子注入至浮動閘極120中且將其儲存於浮動閘極120內。

在一擦除操作中，如表2中所展示，僅使位元線端子BL供應有一預定電壓位準V_{BL}=V7，同時使剩餘端子保持接地。將位元線電壓V7判定為低於接面之崩潰電壓之一最大位準。因此，一能帶間熱電洞注入效應經誘發使得正電荷穿遂至浮動閘極120中。因此，歸因於電荷中和而有效減少淨電荷之數量。

圖5展示根據一些實施例之製造一非揮發性記憶體單元之一流程圖。

在操作502中，提供一半導體基板。在一實施例中，該半導體基板屬於P型。

在操作504中，使第一摻雜劑類型之一第一層形成於該半導體基板中。在一實施例中，該第一摻雜劑類型係一N型。藉由諸如植入之任何適合程序處理該第一層。

接著，在操作506中，使第一摻雜劑類型之一第一井區域形成於該第一層上方及該第一層附近以因此導致一深N井。在一實施例中，該第一井向下延伸至該第一層。在另一實施例中，由該第一井區域及該第一層將該半導體基板隔離成至少兩個部分。藉由一適合程序(諸如具有約 $5 \times 10^{13}/\text{cm}^2$ 植入劑量之離子植入)形成該第一井區域。在一實施例中，該第一井區域具有高於該第一層之一第二摻雜濃度之一第一摻雜濃度。

在操作508中，使由一第二摻雜劑類型(諸如一P型)構成之一第二井區域及一第三井區域兩者形成於該第一層上方。使該第二井區域及該第三井區域形成有小於該第一井區域之深度的一深度。在一些實施例中，由填充有該半導體基板之一間隙將該第二井區域之一底部部分或該第三井區域之一底部部分與該第一層間隔開。在一實施例中，使該第二井區域或該第三井區域形成有(例如)約 $2 \times 10^{13}/\text{cm}^2$ 之一離子植入劑量。

在操作510中，使一絕緣層形成於該第一井區域、該第二井區域及該第三井區域上方。可藉由諸如沈積之一適合程序形成該絕緣層。該絕緣層由諸如氧化矽、氮化矽及氮氧化矽之介電材料製成。

在操作512中，形成延伸於該絕緣層上方之一閘極區域。

在一些實施例中，一種非揮發性記憶體結構包括一半導體基板及該半導體基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體結構進

一步包括該第一層上方之一第二摻雜劑類型之一第一井區域、該第一摻雜劑類型之一第二井區域及該第一層上方且與該第一井區域間隔開之該第二摻雜劑類型之一第三井區域。該第二井區域安置於該第一井區域與該第三井區域之間且向下延伸至該第一層。該非揮發性記憶體結構進一步包括延伸於該第一井區域、該第二井區域及該第三井區域上方之一第一閘極層。

在一些實施例中，提供一種非揮發性記憶體單元。該非揮發性記憶體單元包括一半導體基板及該基板中之一第一摻雜劑類型之一第一層。該非揮發性記憶體單元進一步包括一第二摻雜劑類型之一第一井區域上之一第一電晶體、該第一摻雜劑類型之一第二井區域上之一第一電容器及該第二摻雜劑類型之一第三井區域上之一第二電容器。該第一井區域及該第三井區域由該第二井區域及該第一層環繞。

在一些實施例中，提供一種製造一非揮發性記憶體單元之方法。該方法包含：提供一半導體基板；使一第一摻雜劑類型之一第一層形成於該半導體基板中；使該第一摻雜劑類型之一第一井區域形成於該第一層上方且延伸至該第一層；及使一第二摻雜劑類型之一第二井區域及一第三井區域形成於該第一層上方。

上文已概述若干實施例之特徵，使得熟習技術者可較佳理解本發明之態樣。熟習技術者應瞭解，其可易於將本發明用作為設計或修改其他程序及結構以實施相同目的及/或達成本文所引入之實施例之相同優點的一基礎。熟習技術者亦應意識到，此等等效建構不應背離本發明之精神及範疇，且其可在不背離本發明之精神及範疇之情況下對本文作出各種改變、替代及變更。

【符號說明】

10	非揮發性記憶體單元陣列
100	非揮發性記憶體單元
101	第一電晶體
102	第一井區域
103	第一電容器
104	第二井區域
105	第二電容器
106	第三井區域
109	第二電晶體
112	第一主動區域
114	第二主動區域
116	第三主動區域
120	閘極層/浮動閘極
120a	第一閘極區域/浮動閘極/第一閘極
120b	第二閘極區域
120c	第三閘極區域
124	第六井區域
130	選擇閘極/第二閘極
140	絕緣層
141	接點
142	接點
143	第二接點
144	第二接點

145	第三接點
146	第三接點
150	半導體基板
152	第一層
162	第一摻雜區域
164	第二摻雜區域
166	隔離區域
168	隔離區域
172	界面p-n接面
172a	p-n接面
172b	p-n接面
174	界面p-n接面
174a	p-n接面
174b	p-n接面
176	界面p-n接面
176a	表面
178	界面p-n接面
178a	表面
180	非揮發性記憶體單元
202	第四井區域
204	第五井區域
206	第七井區域
272	p-n接面

274	p-n接面
300	非揮發性記憶體陣列
302	第一井區域
304	第二井區域
304a	子第二井區域
304b	子第二井區域
304c	子第二井區域
306	第三井區域
308	第四井區域
312	第一主動區域
314	第二主動區域
316	第三主動區域
320至327	選擇閘極
320b	閘極區域
320c	閘極區域
330至337	浮動閘極
342	第一主動區域
344	第二主動區域
346	第三主動區域
352	第一主動區域
362	第一主動區域
502	操作
504	操作

506	操作
508	操作
510	操作
512	操作
BL	位元線
EG	擦除閘極
mc1至mc8	非揮發性記憶體單元
PG	程式化閘極
SG	選擇閘極
SL	源極線
W1	距離
W2	距離

【發明申請專利範圍】

【第1項】

一種非揮發性記憶體結構，其包括：

一半導體基板；

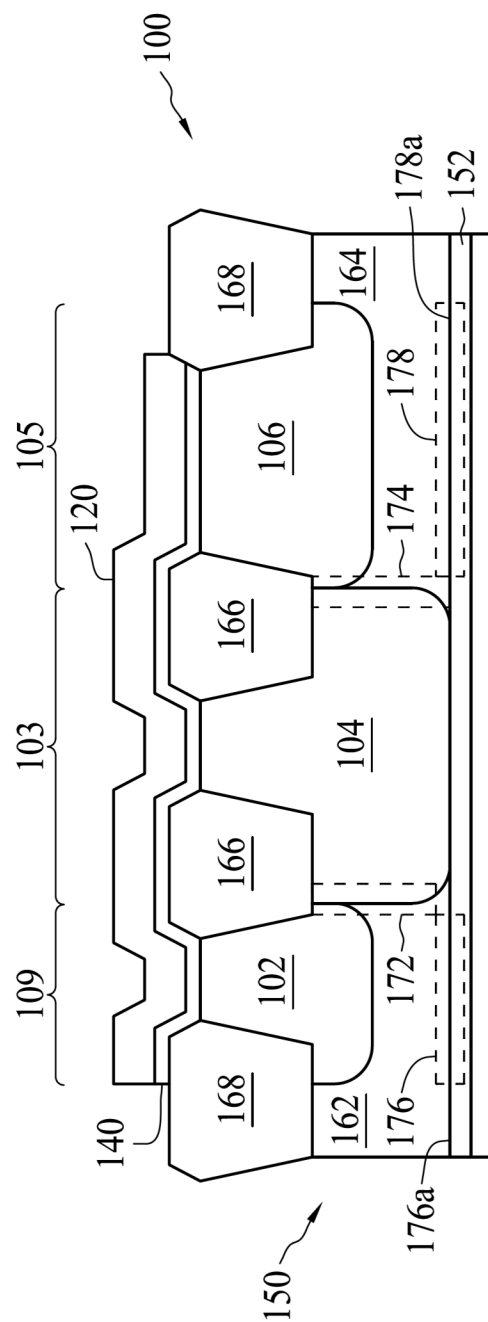
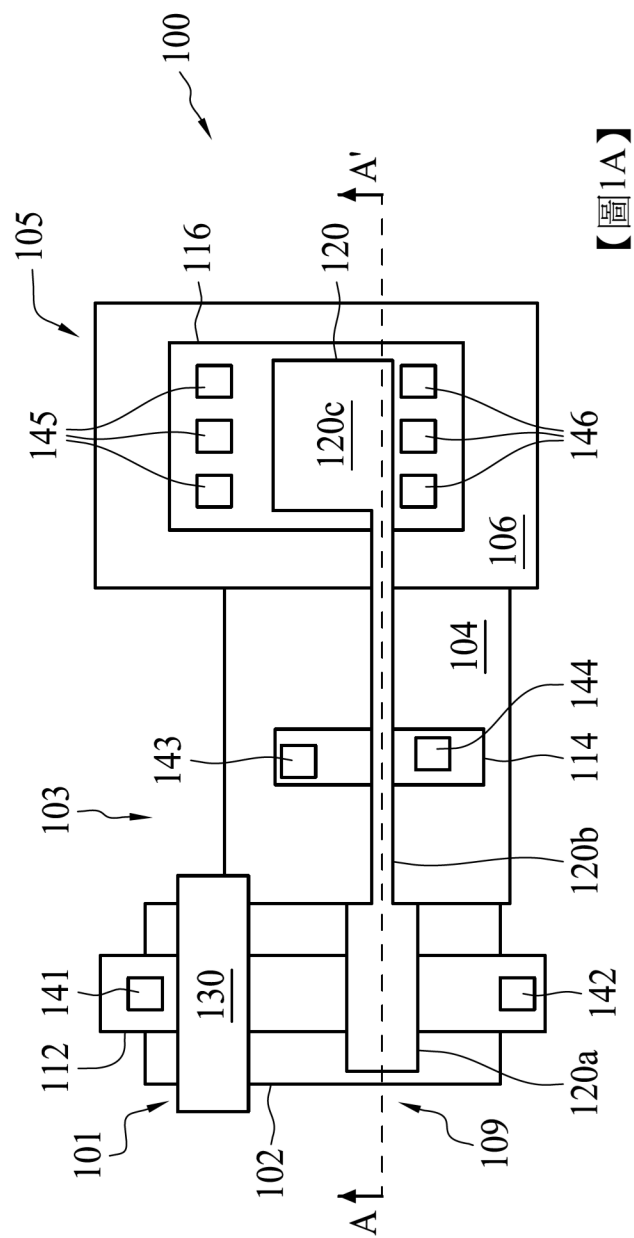
一第一摻雜劑類型之一第一層，其位於該半導體基板中；

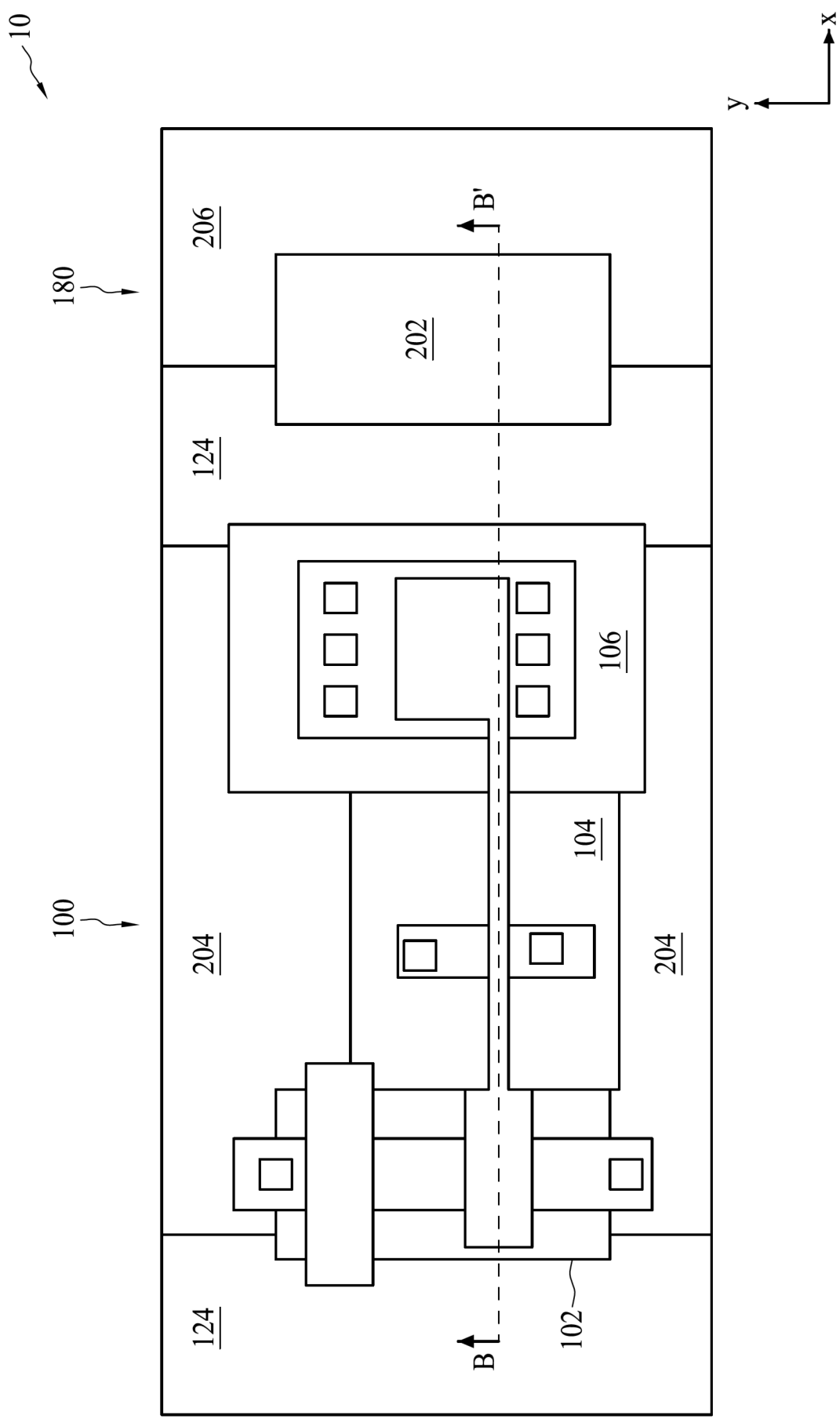
一第二摻雜劑類型之一第一井區域，其位於該第一層上方；

該第一摻雜劑類型之一第二井區域；

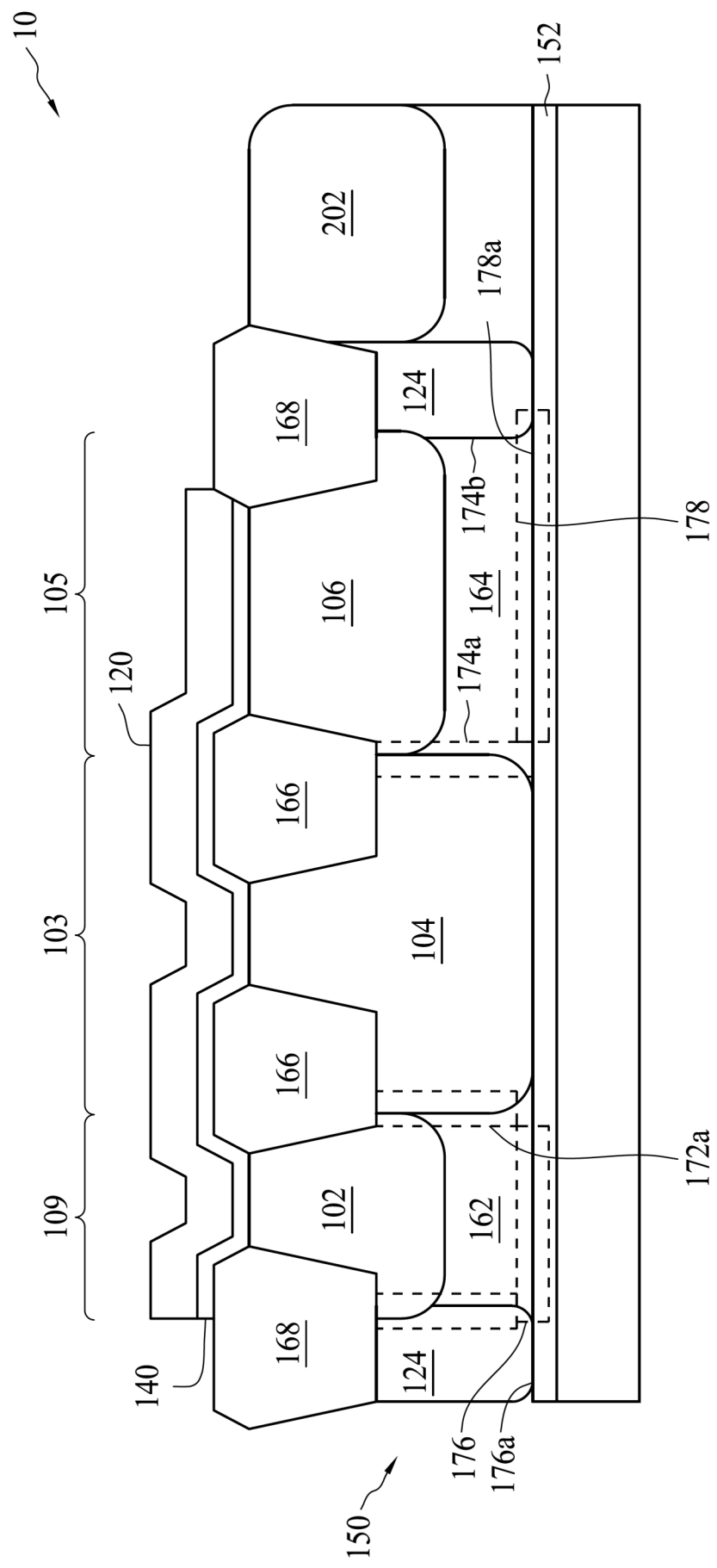
該第二摻雜劑類型之一第三井區域，其位於該第一層上方且與該第一井區域間隔開，該第二井區域安置於該第一井區域與該第三井區域之間且向下延伸至該第一層；及

一第一閘極層，其延伸於該第一井區域、該第二井區域及該第三井區域上方。

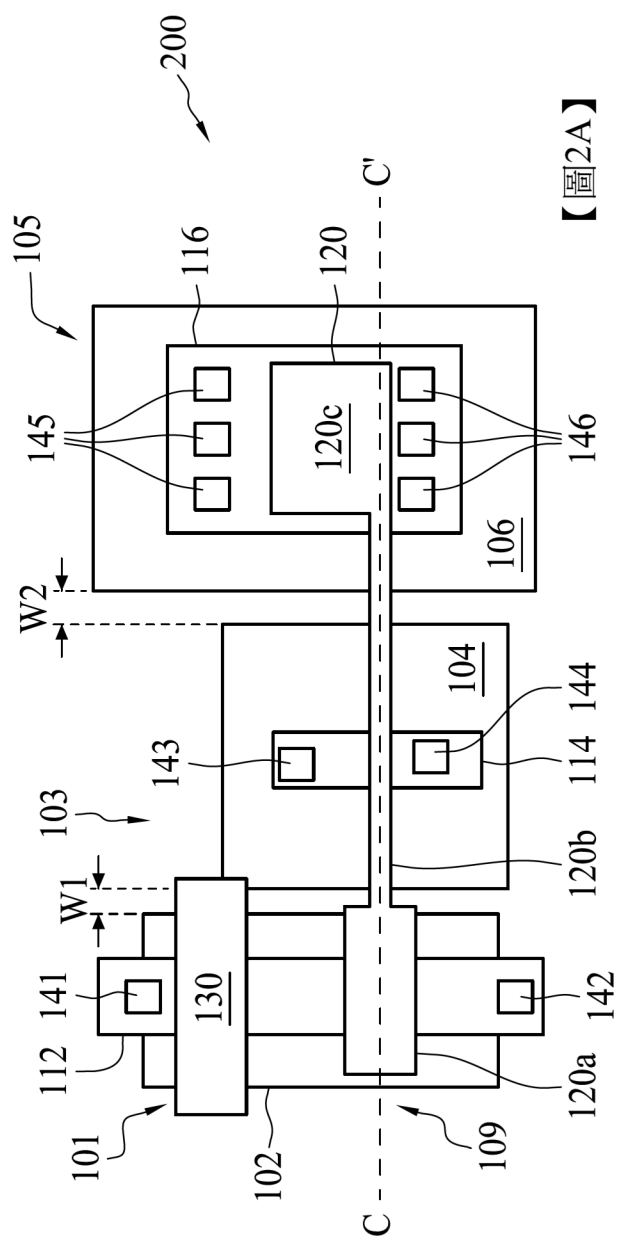




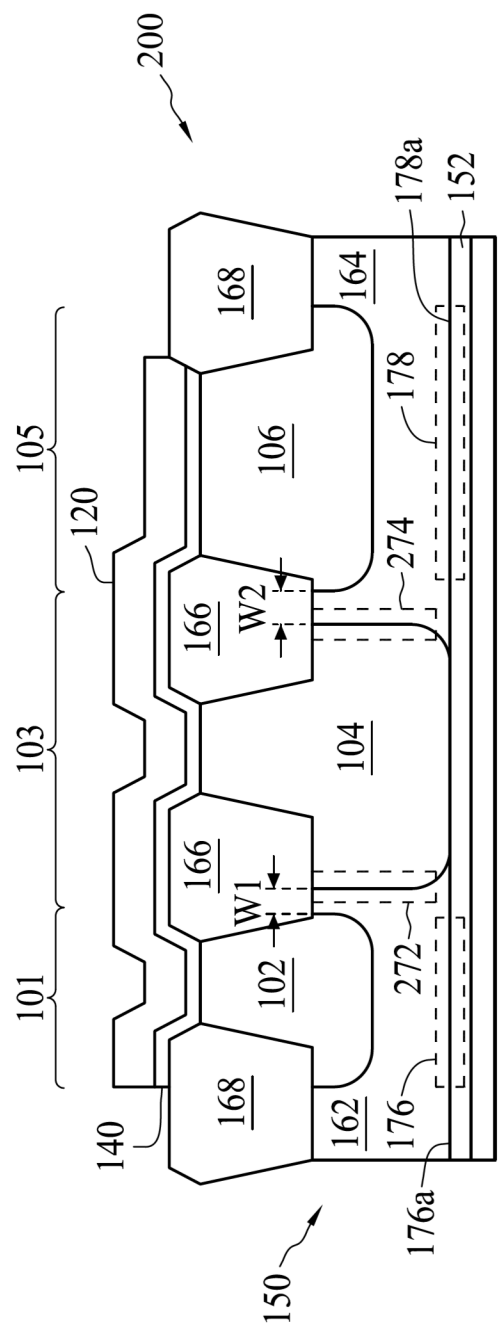
【圖1C】



【圖1D】

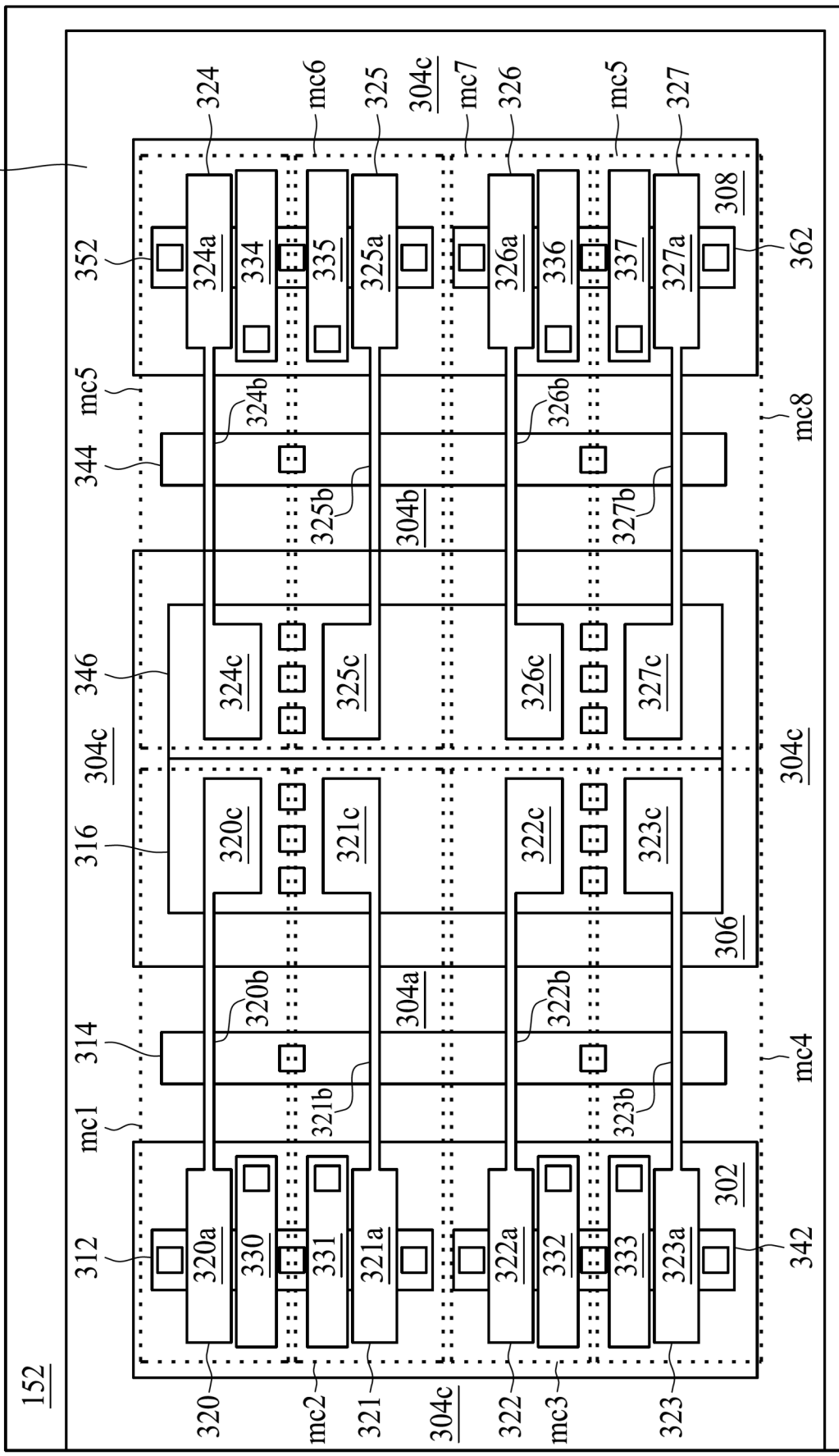


【圖2A】

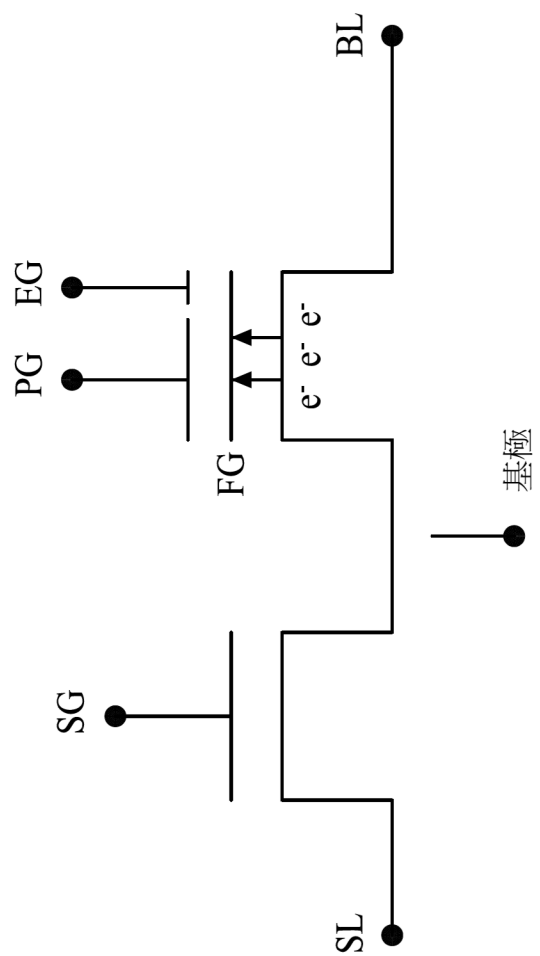


【圖2B】

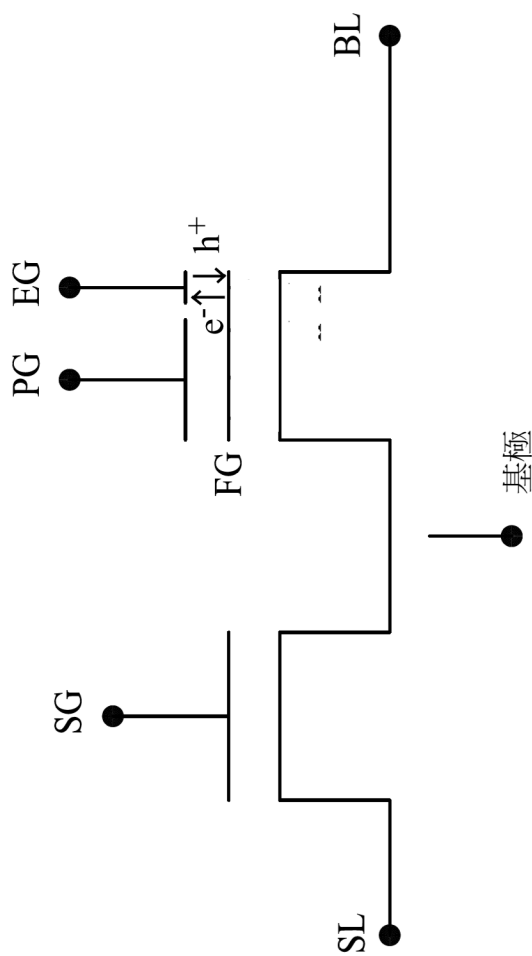
300
304



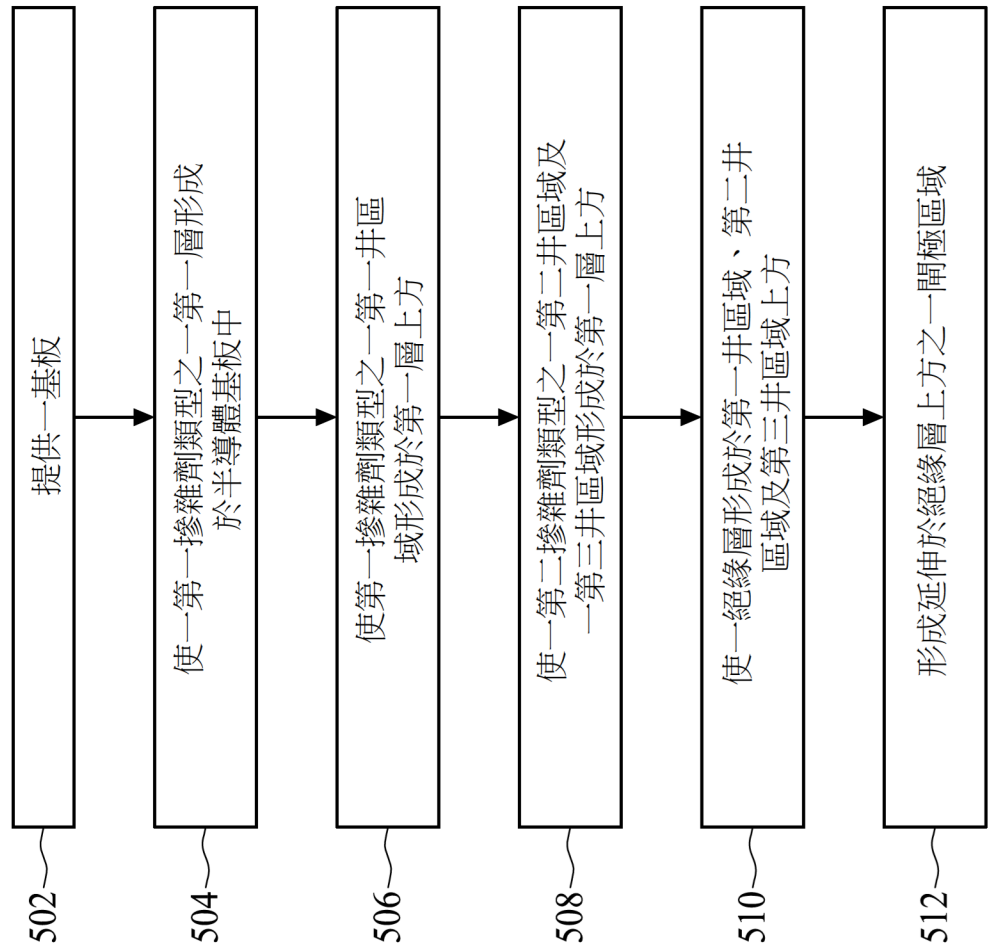
【圖3】



【圖4A】



【圖4B】



【圖5】