



Patent dodatkowy
do patentu nr _____

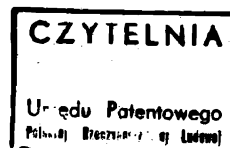
Zgłoszono: 30.03.79 (P. 214545)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 15.12.80

Opis patentowy opublikowano: 10.09.1984

Int. Cl.³ G01R 19/04



Twórca wynalazku: Miron Galewski

Uprawniony z patentu: Politechnika Gdańska, Gdańsk (Polska)

Sposób cyfrowego pomiaru wartości maksymalnej przebiegów powtarzalnych

1

Dziedzina techniki. Przedmiotem wynalazku jest sposób cyfrowego pomiaru wartości maksymalnej przebiegów powtarzalnych, zapewniający dużą dokładność i szybkość pomiaru. Wynalazek dotyczy metrologii, a w szczególności metrologii elektronicznej.

Stan techniki. Pomiary wartości maksymalnej przebiegów powtarzalnych polegają głównie na zapamiętywaniu wartości maksymalnej np. w układzie diodowo-pojemnościowym, a następnie pomiaru zapamiętanego napięcia analogowo lub cyfrowo.

Konwencjonalne sposoby pomiaru wartości maksymalnej nie są zbyt dokładne, a w wersji cyfrowej wymagają dość rozbudowanych układów i stosunkowo długiego czasu przetwarzania.

Nie są znane sposoby cyfrowego pomiaru wartości maksymalnej, zapewniające dużą dokładność i możliwości pomiaru bardzo krótkich impulsów.

Istota wynalazku. Celem wynalazku jest opracowanie sposobu cyfrowego pomiaru wartości maksymalnej przebiegu powtarzalnego, który by zapewniał dużą dokładność i mierzalność krótkich impulsów, przy znacznej prostocie układu.

Cel ten został osiągnięty przez sposób według wynalazku, w którym wytwarza się pierwsze binarne napięcie pomocnicze, wyznaczające okres lub jego krotność, przebiegu badanego, a następnie wykorzystuje się to napięcie jako sygnał taktujący w klasycznym układzie kompensującym, przy czym na wyjściu układu pamiętającego klasycznego ukła-

2

du kompensacyjnego wytwarza się drugie binarne napięcie pomocnicze, zależne od wyróżnionego stanu wyjścia układu porównującego z tym, że drugie napięcie pomocnicze może zmieniać się tylko w danym okresie, a ponadto drugie napięcie pomocnicze jest wprowadzane w stan początkowy przy każdej zmianie pierwszego napięcia pomocniczego, przy czym wynik cyfrowy otrzymany na wyjściu układu logicznego stanowi proporcjonalną miarę wartości maksymalnej.

Dzięki takiemu działaniu układ kompensujący wytwarza kolejną wartość napięcia porównawczego w kolejnych okresach przebiegu badanego, a więc pomiar n-bitowy wymaga n okresów przebiegu badanego z tym, że czas trwania impulsu badanego jest ograniczony tylko szybkością komparatora, pozostałe układy mogą być stosunkowo wolne. Sposób ten łączy w sobie wysoką dokładność pomiaru, charakterystyczną dla metody kompensacyjnej, z dużą szybkością działania cechującą układy bezpośredniego kodowania.

Przykład wykonania wynalazku. Przedmiot wynalazku jest uwidoczniiony w przykładowym wykonaniu na rysunku, na którym fig. 1 przedstawia schemat blokowy rozwiązania, a fig. 2 — przebiegi dla 3-bitowego przetwarzania.

Sygnał badany U_x jest doprowadzony do wejścia układu wyznaczania okresu **UWO** oraz układu porównującego **K**. Wyjście układu porównującego **K** jest połączone z wejściem układu pamiętającego **UP**,

którego wyjście połączone jest z wejściem układu logicznego UL, wytwarzającego binarny sygnał wyjściowy Y oraz analogowy sygnał porównawczy U_r . Wyjście układu wyznaczania okresu UWO połączone jest z wejściem ustawiającym układu pamiętającego UP oraz z wejściem taktującym układu logicznego UL.

Układ wyznaczania okresu UWO wytwarza pierwsze binarne napięcie pomocnicze W1 o czasie trwania stanu wyróżnionego proporcjonalnym do okresu przebiegu badanego U_x . W pierwszym okresie przebiegu badanego U_x układ logiczny UL wytwarza napięcie porównawcze pierwsze $U_{r1} = \frac{U_{rm}}{2}$

gdzie U_{rm} — maksymalna wartość U_r . Napięcie porównawcze pierwsze U_{r1} podawane jest na jedno wejście układu porównującego K, natomiast na drugie wejście tego układu podawane jest napięcie badane U_x .

W momencie, gdy wartość napięcia badanego U_x jest większa od napięcia porównawczego pierwszego U_{r1} , układ pamiętający UP wytwarza drugie binarne napięcie pomocnicze W2, które podawane jest na wejście układu logicznego UL. Zmiana binarnego napięcia pomocniczego W1 a więc przyjęcie kolejnego okresu powoduje ustawienie wartości początkowej drugiego napięcia pomocniczego W2, oraz wytworzenie kolejnego napięcia porównawczego drugiego $U_{r2} = U_{rm} \left(\frac{1}{2} + \frac{1}{4} \right)$ przez układ logiczny UL. W tym drugim okresie napięcie badane U_x nie przekracza wartości U_{r2} , a więc wartość początkowa napięcia pomocniczego W2 nie zmienia się. W kolejnym, trzecim okresie układ logiczny UL wytwarza napięcie porównawcze trzecie $U_{r3} = U_{rm}$

$\left(\frac{1}{2} + \frac{1}{8} \right)$. Napięcie badane U_x w tym okresie przekracza wartość napięcia porównawczego trzeciego U_{r3} , a ponieważ jest to ostatni etap przetwarzania, na wyjściu cyfrowym Y układu logicznego UL pojawia się wynik cyfrowy, odpowiadający napięciu $U_{r3} = \frac{5}{8} U_{rm}$, a więc będący proporcjonalną miarą wartości maksymalnej.

Sposób, według wynalazku, jest przeznaczony dla wszelkich pracowni, realizujących badania wielkości elektrycznych, a także w przemyśle np. przy kontroli produkcji elementów półprzewodnikowych.

Zastrzeżenie patentowe

Sposób cyfrowego pomiaru wartości maksymalnej przebiegów powtarzalnych metodą kompensacyjną, **znamienny tym**, że wytwarza się pierwsze binarne napięcie pomocnicze (W1), wyznaczające okres lub jego krotność, przebiegu badanego, a następnie wykorzystuje się to napięcie jako sygnał taktujący w klasycznym układzie kompensującym, przy czym na wyjściu układu pamiętającego (UP) klasycznego układu kompensacyjnego wytwarza się drugie binarne napięcie pomocnicze (W2), zależne od wyróżnionego stanu wyjścia układu porównującego (K) z tym, że drugie napięcie pomocnicze (W2) może zmieniać się tylko w danym okresie, a ponadto drugie napięcie pomocnicze (W2) jest wprowadzane w stan początkowy przy każdej zmianie pierwszego napięcia pomocniczego (W1), przy czym wynik cyfrowy otrzymany na wyjściu (Y) układu logicznego (UL) stanowi proporcjonalną miarę wartości maksymalnej.

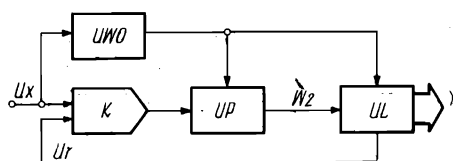


Fig. 1

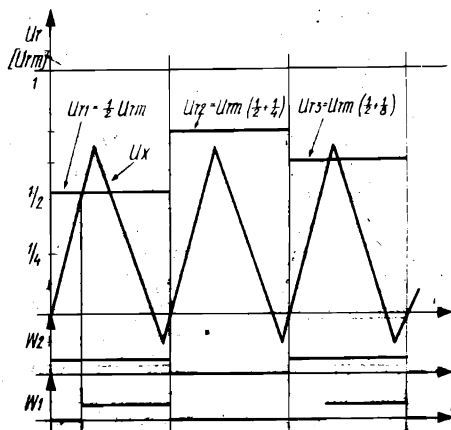


Fig. 2