

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7675741号
(P7675741)

(45)発行日 令和7年5月13日(2025.5.13)

(24)登録日 令和7年5月1日(2025.5.1)

(51)国際特許分類	F I
H 1 0 F 39/18 (2025.01)	H 1 0 F 39/18 A
H 1 0 F 39/10 (2025.01)	H 1 0 F 39/10 K
G 0 1 T 1/24 (2006.01)	G 0 1 T 1/24

請求項の数 22 (全21頁)

(21)出願番号	特願2022-561203(P2022-561203)	(73)特許権者	500049141 ケーエルエー コーポレーション アメリカ合衆国 カリフォルニア ミルピ タス ワン テクノロジー ドライブ
(86)(22)出願日	令和3年4月8日(2021.4.8)	(74)代理人	110001210 弁理士法人Y K I 国際特許事務所
(65)公表番号	特表2023-521743(P2023-521743 A)	(72)発明者	ハッダディ アッバス アメリカ合衆国 カリフォルニア サン ノゼ サンタナ ロウ 3 3 4 アパートメ ント 3 4 0
(43)公表日	令和5年5月25日(2023.5.25)	(72)発明者	ヤラマンチリ シシル アメリカ合衆国 カリフォルニア ミルピ タス モンタギュー エクスプレスウェイ 7 6 5 アpartment 4 0 4
(86)国際出願番号	PCT/US2021/026293	(72)発明者	フィールデン ジョン
(87)国際公開番号	WO2021/207435		
(87)国際公開日	令和3年10月14日(2021.10.14)		
審査請求日	令和6年3月7日(2024.3.7)		
(31)優先権主張番号	63/006,724		
(32)優先日	令和2年4月8日(2020.4.8)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	17/197,292		
(32)優先日	令和3年3月10日(2021.3.10)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 裏面照射型センサおよびシリコンオンインシュレータウエハを使用するセンサの製造方法

(57)【特許請求の範囲】

【請求項1】

露出した第1の表面と、介在絶縁体層によってハンドリング基板に取り付けられた反対側の第2の表面とを有する上部シリコン基板を含むシリコンオンインシュレータ(SOI)ウエハ上にイメージセンサを製造する方法であって、

第1のホウ素層を利用して、前記上部シリコン基板内に第1のホウ素ドーピング濃度レベルを生成するステップと、

前記上部シリコン基板の第1の表面上にエピタキシャル層を生成するステップと、

前記エピタキシャル層の第1の表面上に回路素子を形成するステップと、

前記上部シリコン基板の第2の表面が露出するように、前記ハンドリング基板および前記介在絶縁体層を除去するステップと、

前記上部シリコン基板の露出した第2の表面上に純粋なホウ素層を形成するステップと、を有し、

前記ホウ素層の利用および前記エピタキシャル層の生成は、前記上部シリコン基板から前記エピタキシャル層へのホウ素拡散が、前記上部シリコン基板内に配置された最大ホウ素濃度レベルから前記エピタキシャル層の第1の表面に隣接する最小ホウ素ドーピング濃度レベルまで単調に減少するホウ素ドーピング濃度勾配を生成するように実行される、方法。

【請求項2】

前記第1のホウ素ドーピング濃度レベルを生成するために非晶質ホウ素層を利用するこ

10

20

とは、

前記上部シリコン基板の第1の表面上に第1のホウ素層を形成するステップと、

前記第1のホウ素層からのホウ素拡散が前記上部シリコン基板内に初期ホウ素ドーピング濃度レベルを生成し、前記第1のホウ素層が上部シリコン基板の第1の表面から完全に除去されるようにSOIウェハを処理するステップと、
を含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記第1のホウ素層を形成するステップは、CVDプロセスを用いて600°C～800°Cの範囲の温度でホウ素を堆積させるステップを含むことを特徴とする請求項2に記載の方法。

【請求項4】

前記初期ホウ素ドーピング濃度レベルを生成するための処理は、800°C～900°Cの範囲の温度でドライブインアニールを実行することを特徴とする請求項2に記載の方法。

【請求項5】

前記第1のホウ素層を除去するための処理は、800°C～900°Cの範囲の温度で水素雰囲気中にSOIウェハを維持することを特徴とする請求項2に記載の方法。

【請求項6】

前記処理は、前記初期ホウ素ドーピング濃度レベルを生成することと、前記第1のホウ素層を除去することとを同時に含むことを特徴とする請求項5に記載の方法。

【請求項7】

前記第1のホウ素層の形成、前記ドライブインアニールの実行、前記第1のホウ素層の除去、および前記エピタキシャル層の生成の各々は、前記SOIウェハがCVDチャンバ内に維持されている間に行われることを特徴とする請求項4に記載の方法。

【請求項8】

さらに、前記純粋なホウ素層の表面上に反射防止層を堆積させるステップを含むことを特徴とする請求項1に記載の方法。

【請求項9】

さらに、前記ハンドリング基板および前記介在絶縁体層を除去する前に、前記回路素子上のエピタキシャル層上に保護層を形成することを特徴とする請求項1に記載の方法。

【請求項10】

さらに、前記ハンドリング基板および前記介在絶縁体層を除去する前に、第2のハンドリング基板を前記回路素子上のエピタキシャル層に取り付けるステップを含むことを特徴とする請求項1に記載の方法。

【請求項11】

さらに、前記ハンドリング基板および前記介在絶縁体層を除去することは、前記上部シリコン基板の一部を除去することを特徴とする請求項1に記載の方法。

【請求項12】

露出した第1の表面と、介在絶縁体層によってハンドリング基板に取り付けられた反対側の第2の表面とを有する上部シリコン基板を含むシリコンオンインシュレータ(SOI)ウェハ上にイメージセンサを製造する方法であって、

第1のホウ素層を利用して、前記上部シリコン基板内に第1のホウ素ドーピング濃度レベルを生成するステップと、

前記上部シリコン基板からのホウ素拡散が、前記上部シリコン基板の前記第1の表面に隣接して配置された最大ホウ素濃度レベルから、前記第2の表面に隣接して配置された最小ホウ素ドーピング濃度レベルまで、単調に減少するホウ素ドーピング濃度勾配を生成するように、前記上部シリコン基板の前記第1の表面上にエピタキシャル層を生成するステップと、

10

20

30

40

50

前記エピタキシャル層の第 2 の表面上に回路素子を形成するステップと、

前記エピタキシャル層の第 3 の表面が露出するように、前記ハンドリング基板、前記介在絶縁体層、および前記上部シリコン基板を除去するステップと、

前記エピタキシャル層の露出した第 3 の表面上に純粋なホウ素層を形成するステップと、を有することを特徴とする方法。

【請求項 1 3】

非晶質ホウ素層を利用して前記第 1 のホウ素ドーピング濃度レベルを生成することは、

前記上部シリコン基板の第 1 の表面上に第 1 のホウ素層を形成するステップと、

前記第 1 のホウ素層からのホウ素拡散が前記上部シリコン基板内に初期ホウ素ドーピング濃度レベルを生成し、前記第 1 のホウ素層が前記上部シリコン基板の第 1 の表面から完全

10

に除去されるように S O I ウェハを処理するステップと、

を含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 1 のホウ素層を形成するステップは、C V D プロセスを用いて 6 0 0 ° C ~ 8 0 0 ° C の範囲の温度でホウ素を堆積させるステップを含むことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 5】

前記初期ホウ素ドーピング濃度レベルを生成するための処理は、8 0 0 ° C ~ 9 0 0 ° C の範囲の温度でドライブインアニールを実行することを特徴とする請求項 1 3 に記載の方法。

20

【請求項 1 6】

前記第 1 のホウ素層を除去するための処理は、8 0 0 ° C ~ 9 0 0 ° C の範囲の温度で水素雰囲気中に S O I ウェハを維持することを特徴とする請求項 1 3 に記載の方法。

【請求項 1 7】

前記処理は、前記初期ホウ素ドーピング濃度レベルを生成することと、前記第 1 のホウ素層を除去することとを同時に含むことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 8】

前記第 1 のホウ素層の形成、前記ドライブインアニールの実行、前記第 1 のホウ素層の除去、および前記エピタキシャル層の生成の各々は、前記 S O I ウェハが C V D チャンバ

30

内に維持される間に行われることを特徴とする請求項 1 5 に記載の方法。

【請求項 1 9】

さらに、前記純粋なホウ素層の表面上に反射防止層のうちの 1 つを堆積させることを含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 2 0】

深紫外線 (D U V) 放射、真空紫外線 (V U V) 放射、極紫外線 (E U V) 放射、および荷電粒子のうちの少なくとも 1 つを感知するためのイメージセンサであって、

第 1 の表面と反対側の第 2 の表面とを有する単結晶シリコン基板と、

単結晶シリコン基板の第 1 の表面との界面を形成する第 3 の表面を有するエピタキシャル層であって、前記第 3 の表面の反対側に配置された第 4 の表面を有するエピタキシャル層と、

40

前記エピタキシャル層の第 4 の表面上に形成される回路素子および金属配線と、

前記単結晶シリコン基板の第 2 の表面上に形成される純粋なホウ素層であって、前記単結晶シリコン基板および前記エピタキシャル層は、ホウ素原子の濃度が、前記単結晶シリコン基板の第 2 の表面で生じる最も高いホウ素濃度レベルから前記エピタキシャル層の第 4 の表面で最も低いホウ素濃度レベルまで単調に減少するように構成されたホウ素濃度勾配を含む、純粋なホウ素層と、

を有するイメージセンサ。

【請求項 2 1】

前記第 1 の表面と前記第 2 の表面との間で測定される前記単結晶シリコン基板の厚さは

50

、5 nm ~ 100 nmの範囲であり、前記第3の表面と前記第4の表面との間で測定される前記エピタキシャル層の厚さは、10 μm ~ 40 μmの範囲であり、前記純粋なホウ素層は、2 nm ~ 20 nmの範囲の厚さを有することを特徴とする請求項20に記載のイメージセンサ。

【請求項22】

さらに、前記回路素子上のエピタキシャル層に取り付けられるハンドリングウェハを含むことを特徴とする請求項20に記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、深紫外線(DUV)及び真空紫外線(VUV)波長の放射線を検知するのに適した画像センサ、及びそのような画像センサを作製するための方法に関する。

【背景技術】

【0002】

本出願は、米国仮特許出願63/006,724("BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR USING A SILICON ON INSULATING WAFER"、2020年4月8日)からの優先権を主張し、参照により本明細書に組み込まれる。本出願はまた、すべてChernらの「Back-illuminated sensor with boron layer」と題する米国特許出願16/562,396("BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR"、2019年9月5日)および米国特許第9,496,425号、第9,818,887号、第10,121,914号、及び第10,446,696号に関する。これらの特許および出願は、参照により本明細書に組み込まれる。

【0003】

集積回路産業は、集積回路、フォトマスク、レチクル、太陽電池、電荷結合デバイスなどのますます小さい特徴を解像するため、ならびにそのサイズがそれらの特徴サイズのオーダーであるかまたはそれより小さい欠陥を検出するために、ますます高い分解能を有する検査ツールを必要とする。

【0004】

短い波長、例えば、約250 nmより短い波長で動作する検査システムは、多くの場合、そのような分解能を提供することができる。特にフォトマスクまたはレチクル検査では、リソグラフィに使用される波長と同じまたは近い波長、すなわち、現世代リソグラフィでは193.4 nm近く、将来のEUVリソグラフィでは13.5 nmに近い波長を使用して検査することが望ましい。パターンによって引き起こされる検査光の位相シフトは、リソグラフィ中に引き起こされるものと同様または非常に類似するであろう。半導体パターン化ウェハを検査するために、近UV、DUV、および/またはVUV範囲の波長を含む波長範囲等の比較的広範囲の波長にわたって動作する検査システムは、広範囲の波長が、個々の波長において反射率の大きい変化を引き起こし得る、層厚さまたはパターン寸法の小さい変化に対する感度を低減させることができるため、有利であり得る。

【0005】

フォトマスク、レチクル、および半導体ウェハ上の小さな欠陥または粒子を検出するために、高い信号対雑音比が必要とされる。高い光子束密度は、高速で検査するとき高い信号対雑音比を保証するために必要とされるが、それは、検出される光子の数の統計的変動(ポアソン雑音)が信号対雑音比の基本的な限界であるためである。多くの場合、ピクセル当たり約100,000以上の光子が必要である。検査システムは、典型的には、わずかな停止で毎日24時間使用されるため、センサは、わずか数ヶ月の動作後に大線量の放射線に暴露される。

【0006】

真空波長250 nmの光子のエネルギーは約5 eVである。二酸化ケイ素のバンドギャップは約10 eVである。そのような波長の光子は二酸化ケイ素によって吸収できないよ

10

20

30

40

50

うに見えるかもしれないが、二酸化ケイ素構造はケイ素結晶のものと完全に一致できないので、ケイ素表面上で成長する二酸化ケイ素は、ケイ素との界面にいくらかのダングリングボンドを有しなければならない。さらに、二酸化ケイ素は非晶質であるため、材料内にダングリングボンドが存在する。実際には、D U V 波長、特に約 250 nm より短い波長を有する光子を吸収することができる、酸化物内ならびに下にある半導体との界面における欠陥および不純物の密度は無視できないであろう。さらに、高い放射束密度の下では、2つの高エネルギー光子は、非常に短い時間間隔（ナノ秒またはピコ秒）内に同じ位置の近くに到達し得、これは、電子が、2つの吸収事象によって、急速に連続して、または2光子吸収によって、二酸化ケイ素の伝導帯に励起されることをもたらし得る。

【0007】

検査、計測、および関連する用途に使用されるセンサのさらなる要件は、高感度である。上記で説明したように、高い信号対雑音比が必要とされる。センサが入射光子の大部分を信号に変換しない場合、より効率的なセンサを有する検査または計測システムと比較して、同じ検査または測定速度を維持するために、より高い強度の光源が必要とされる。より高い強度の光源は、検査または測定される機器、光学系および試料をより高い光強度に曝露し、場合によっては経時的に損傷または劣化を引き起こす。より高い強度の光源はまた、より高価であり、または特にD U V およびV U V 波長では、利用可能ではない場合がある。シリコンは、その上に入射する高い割合のD U V およびV U V 光を反射する。例えば、波長が193 nm 付近では、その表面上に2 nm の酸化物層（自然酸化物層など）を有するシリコンは、その上に入射する光の約65%を反射する。シリコン表面上に約21 nm の酸化物層を成長させると、反射率は193 nm 付近の波長で40%近くまで低下する。40%の反射率を有する検出器は、65%の反射率を有する検出器よりも著しく効率的であるが、より低い反射率、したがってより高い効率が望ましい。

【0008】

D U V およびV U V 波長は、シリコンによって強く吸収される。そのような波長は、ほとんどの場合、シリコンの表面の約10 nm または数十 nm 以内に吸収され得る。D U V またはV U V 波長で動作するセンサの効率は、吸収された光子によって生成された電子のどれくらい大きい割合が、電子が再結合する前に収集され得るかに依存する。二酸化ケイ素は、低密度の欠陥を有するケイ素と高品質の界面を形成することができる。反射防止コーティングに通常使用されるものの多くを含むほとんどの他の材料は、シリコン上に直接堆積される場合、シリコンの表面において非常に高い密度の電氣的欠陥をもたらす。シリコンの表面上の高密度の電氣的欠陥は、可視波長で動作することが意図されるセンサにとって問題ではないことがあり、その理由は、そのような波長は、典型的には、吸収される前に約100 nm 以上シリコンの中へ進行し得、したがって、シリコン表面上の電氣的欠陥によってほとんど影響を受け得ないからである。しかしながら、D U V およびV U V 波長は、シリコン表面の非常に近くで吸収されるため、表面上の電氣的欠陥および/または表面上の層内にトラップされた電荷は、シリコン表面またはその付近で再結合して失われる、生成された電子のかなりの部分をもたらす、低効率センサをもたらす得る。

【0009】

すべてChernらの米国特許第9,496,425号、第9,818,887号および第10,121,914号は、少なくとも画像センサの露出後面上に堆積されたホウ素層を含む画像センサ構造および画像センサの製造方法を記載している。約400~450°Cの範囲および約700~800°Cの範囲を含む、ホウ素の堆積のための異なる温度範囲が開示されている。本発明者らは、約600°C~約900°Cの堆積温度などのホウ素のより高い堆積温度の1つの利点は、そのような温度でホウ素がシリコン中に拡散し、感光性裏面上に非常に薄く、高濃度にp型ドーピングされたシリコン層を提供することであることを発見した。このp型ドーピングシリコン層は、電子を表面からシリコン層へと加速させる静電界を表面付近に生成するので、D U V およびV U V 放射に対する高い量子効率を確保するために重要である。p型シリコンはまた、シリコンの裏面の導電率を増加させ、これは、センサの表面上の電極上の信号のスイッチングによって誘発される接地電流のための

10

20

30

40

50

帰還経路が必要とされるため、画像センサの高速動作のために重要である。

【 0 0 1 0 】

しかしながら、450 °Cより高い処理温度は、450 °CがCMOSデバイスの製造に通常使用されるアルミニウムおよび銅などの金属の融点に近いので、従来のCMOS回路を含む半導体ウェハ上で使用することができない。450 °Cより高い温度などの高温では、これらの金属は膨張し、軟らかくなり、層間剥離する可能性がある。さらに、高温では、銅は、CMOS回路の電気的特性を改変するシリコンを通して容易に拡散することができる。ウェハ上に金属が堆積される前にウェハを薄くすることにより、前述の特許に記載されているように、600 ~ 900 °Cの温度で裏面上にホウ素層を堆積させることができ、ホウ素層の堆積中または堆積後にホウ素を表面に拡散させることができる。その後、金属相互接続を前面上に形成することができる。ウェハの画像センサ領域が、例えば約25 μm以下の厚さに薄化された後、薄化領域は著しく反る可能性があり、数十ミクロン以上の山谷非平坦性を有し得る。したがって、非平坦性によって引き起こされるあらゆるミスアライメントにもかかわらず、ラインおよびビアが接続することを確実にするために、幅が複数ミクロン以上の比較的広い金属相互接続ラインおよびビアを使用することが必要である。そのような幅広の金属相互接続およびビアは、それらのラインおよびビアに関連する単位面積当たりのキャパシタンスを増加させる。さらに、広い相互接続およびビアは、大面積センサ上の全ての信号を約100万以上のピクセルと相互接続することを困難または不可能にし得る。いくつかの場合において、金属相互接続を接続するためにポリシリコンジャンパが必要とされ得るが、ポリシリコンは、任意の金属よりもはるかに高い抵抗率を有し、したがって、そのようなジャンパの使用は、センサの最大動作速度を制限し得る。

10

20

【先行技術文献】

【特許文献】

【 0 0 1 1 】

【文献】米国特許出願公開第2007 / 0020893号

【文献】米国特許出願公開第2016 / 0290932号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 2 】

したがって、上記の欠点のいくつかまたは全てを克服しつつ、劣化することなく高エネルギー光子を効率的に検出することができるイメージセンサが必要とされている。特に、比較的平坦なウェハ（すなわち、約10 μm以下の平坦度を有する）上に金属相互接続の形成を可能にしながら、裏面にホウ素層およびホウ素ドーピングを有する裏面薄型イメージセンサを製造する方法は、より微細なデザインルール（例えば、0.35 μm以上のプロセスに対応するデザインルールである）の使用を可能にする。そのような方法は、フローティングディフュージョンなどの重要な特徴に接続するより狭い金属線を可能にし、より小さいフローティングディフュージョンキャパシタンスおよびより高い電荷電圧変換効率を可能にする。より細かいデザインルールはまた、センサの単位面積当たりのより多くの相互接続線を可能にし、画像センサ上の回路の接続においてより多くの柔軟性を可能にする。

30

40

【課題を解決するための手段】

【 0 0 1 3 】

SOIウェハ上にDUV、VUV、EUV、X線及び/又は荷電粒子（電子など）を撮像するための高量子効率（高QE）の画像センサ及び画像センサの製造方法を説明する。これらの画像センサは、高放射線束下での長寿命動作が可能である。これらの方法は、感光能動及び/又は受動回路素子を半導体材料（好ましくはシリコン）の層内に形成すると共に、センサの電気素子間に金属相互接続を形成するプロセスステップを含む。これらの画像センサは、微細金属相互接続およびビア（約0.35 μm又はそれより微細なデザインルールに適合するものなど）を含むことができ、一方、非晶質ホウ素層でコーティング

50

された裏面を有し、ホウ素層に直接隣接する高ドーピングp型シリコン層を有する。金属相互接続は、タンゲステン、アルミニウム、銅、または既知のCMOSプロセスにおいて相互接続を製造する際に使用される他の金属を含み得る。

【0014】

画像センサを製造する例示的な方法は、シリコンオンインシュレータ(SOI)ウェハの薄い上部シリコン基板を高度にpドーピングするためにホウ素層を利用することによって始まる。次いで、上部シリコン基板におけるp型ドーパント(例えば、ホウ素)原子の最大濃度レベル(すなわち、エピタキシャル層の底部付近である)およびエピタキシャル層の上面付近のp型ドーパント原子の最小濃度レベルを有する単調減少p型ドーパント濃度勾配(ドーピングプロファイル)を生成する方法で、上部シリコン基板上にエピタキシャル層を生成する。薄い上部シリコン基板のドーピングは、例えば、上部シリコン基板上に非晶質ホウ素層を形成し、高温(すなわち、800°C以上)でホウ素ドライブインアニールを行い、その後、ドライブインアニール中またはドライブインアニール後に(すなわち、エピタキシャル層を形成する前に)ホウ素層を除去することによって行われる。所望のドーピング勾配を有するエピタキシャル層を生成することは、高度にpドーピングされた薄い上部シリコンからエピタキシャルシリコンへのホウ素拡散がエピタキシャルシリコン中に所望のp型ドーパント濃度勾配を生成するように、真性または軽度にpドーピングされたエピタキシャルシリコンを上部シリコン基板上に高温(すなわち、少なくとも800°C)で成長させることを含む。次いで、回路要素が、例えば、標準CMOS製造プロセスを使用して、エピタキシャル層の上部(比較的到低pドーピング)表面上に形成され、次いで、金属相互接続(ラインおよびビア)が形成され、これらの回路要素とともに接続する。次いで、SOIウェハの厚いハンドリング基板および介在絶縁体層を薄くして(すなわち、少なくとも部分的に除去して)、上部シリコン基板またはエピタキシャル層のいずれかの裏面(下側)を露出させて、アクティブセンサ裏面領域に入射する光に対する画像センサの感度を高める。いくつかの実施形態では、上部シリコン基板のいくつかまたはすべては、露出された裏面領域のp型ドーピングレベルを最大にするために、薄化プロセス中に除去される。一実施形態では、ハンドリング基板、絶縁体/酸化物、および上部シリコン基板の除去は、公知のドライエッチング、ウェットエッチング、および/または機械的研磨技法を使用して行われる。次いで、永久的な(第2の)非晶質純ホウ素層が、露出した裏面領域上に直接形成され、1つ以上の任意の反射防止層が第2の非晶質ホウ素層の表面上に形成される。

【0015】

代替実施形態では、荷電粒子(例えば、電子)、EUV、またはX線の検出を容易にするために、薄い金属コーティングがホウ素層上に堆積されてもよい。そのような薄い金属コーティングはまた、迷光に対するセンサの感受性を低減し得、センサの表面を保護し得、センサ表面からの炭素および有機分子等の汚染物質のその場での洗浄を促進し得る。

【0016】

イメージセンサを製造する別の方法は、上述の単調減少するドーピング濃度勾配を有するエピタキシャル層を生成し、次いで、上述のプロセスを使用してエピタキシャル層上に回路素子および配線を形成することを含む。次いで、任意の保護層が回路素子の上/上部に形成され、次いで、第2のハンドリングウェハが回路素子および相互接続部の上に接合される。次いで、SOIウェハの少なくとも一部分(すなわち、ハンドリング基板全体、絶縁体/酸化物層、および上部シリコン基板の一部または全部である)を除去して、残りの上部シリコン基板またはエピタキシャル層材料のいずれかによって形成された裏面センサ表面を露出させ、露出した裏面センサ表面は、単調減少するドーピング濃度勾配(すなわち、ホウ素ドーピング濃度レベルは、露出した裏面センサ表面から回路素子が形成されたエピタキシャル層の上面まで単調に減少する)の最大ホウ素ドーピング濃度レベルを画定する。続いて形成された純粋なホウ素層は、次いで、化学蒸着(CVD)または分子線エピタキシー(MBE)によって450°C以下の温度で堆積され、次いで、任意選択の保護層が形成される。次いで、1つ以上の反射防止コーティング層が、回路要素および相

10

20

30

40

50

互接続への熱関連損傷を防止するために、原子層堆積（ALD）または450°C未満で実行され得る他のプロセスによって形成される。

【0017】

本明細書で説明される画像センサは、CCD（電荷結合素子）またはCMOS（相補型金属酸化物半導体）技術を使用して製作され得る。画像センサは、2次元（2D）エリアセンサ、または1次元（1D）ラインセンサであってもよい。

【図面の簡単な説明】

【0018】

【図1】本発明に従って製造された例示的なイメージセンサを示す断面図である。

【図2】一実施形態による画像センサを製造するための例示的な方法を示す流れ図である。 10

【図3A】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。

【図3B】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。

【図3C】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。

【図3D】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。

【図3E】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。 20

【図3F】図2の方法に従って画像センサを製造するために利用される例示的なプロセスを示す断面側面図である。

【図4】別の実施形態による画像センサを製造するための例示的な方法を示す流れ図である。

【図5A】図4の方法に従って画像センサを製造するために利用される例示的なプロセスを示す側断面図である。

【図5B】図4の方法に従って画像センサを製造するために利用される例示的なプロセスを示す側断面図である。

【図5C】図4の方法に従って画像センサを製造するために利用される例示的なプロセスを示す側断面図である。 30

【図5D】図4の方法に従って画像センサを製造するために利用される例示的なプロセスを示す側断面図である。

【図5E】図4の方法に従って画像センサを製造するために利用される例示的なプロセスを示す側断面図である。

【図6A】本発明の別の実施形態による、画像センサを加工するために利用される例示的なプロセスを図示する、断面側面図である。

【図6B】本発明の別の実施形態による、画像センサを加工するために利用される例示的なプロセスを図示する、断面側面図である。

【図6C】本発明の別の実施形態による、画像センサを加工するために利用される例示的なプロセスを図示する、断面側面図である。 40

【発明を実施するための形態】

【0019】

特許請求される主題は、ある実施形態に関して説明されるが、本明細書に記載される利益および特徴の全てを提供しない実施形態を含む、他の実施形態もまた、本開示の範囲内である。様々な構造的、論理的、プロセスステップ、および電子的変更が、本開示の範囲から逸脱することなく行われ得る。したがって、本開示の範囲は、添付の特許請求の範囲を参照することによってのみ定義される。

【0020】

以下の説明は、当業者が、特定の用途およびその要件の文脈において提供される本開示を作製および使用することを可能にするために提示される。本明細書で使用されるように 50

、「上部」、「底部」、「前部」、「前側」、「後側」、「上」、「下」、「上方」、「上方」、「下方」などの方向を示す用語は、説明の目的で相対的な位置を提供することを意図しており、絶対的な基準系を示すことを意図していない。好ましい実施形態に対する様々な変更は、当業者には明らかであり、本明細書で定義される一般的な原理は、他の実施形態に適用され得る。したがって、本開示は、図示および説明した実施形態に限定されるものではなく、本明細書で開示した原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

【0021】

図1は、本発明の例示的な実施形態による、深紫外線(DUV)放射、真空紫外線(VUV)放射、極紫外線(EUV)放射、または荷電粒子を感知するように構成された画像センサ100の一部を示す断面側面図である。イメージセンサ100は、概して、シリコン基板103と、シリコン基板103の上面103U上に配置されたエピタキシャル層104と、エピタキシャル層104の上面104U上に配置された少なくとも1つの回路素子110および関連する配線120と、シリコン基板103の下面103L上に配置された純ホウ素層106とを含む。任意選択の反射防止コーティング103が、純粋なボロン(ホウ素)層106の下側(裏側または外向き)表面106L上に配置される。

10

【0022】

シリコン基板103は、エピタキシャル層104の下面104Lとシリコン-基板/エピタキシャル層界面を形成する上面103Uと、純粋なホウ素層106の上面106Uとシリコン/ホウ素界面を形成するシリコン基板103の下面103Lとを有する比較的高濃度にpドープされた非結晶シリコン層である。一実施形態では、シリコン基板103の厚さT1は、5nm~100nmの範囲にある。

20

【0023】

エピタキシャル層104は、以下で説明する製造技術を使用して上面103U上に他の方法で形成される、ホモエピタキシャル成長された単結晶シリコンの層である。一実施形態では、エピタキシャル層104は、10μm~40μmの範囲の厚さT2を有する。

【0024】

回路素子110および相互接続120は、既知の半導体製造技術を用いてエピタキシャル層104の上面104U上に(すなわち、その中および/またはその上に)形成され、センサデバイス(例えば、フォトダイオードなどの光感知デバイス)および関連する制御トランジスタを含む。本明細書で使用する場合、「回路素子」という語句は、電荷結合素子およびフォトダイオードなどの感光性デバイス、トランジスタ、ダイオード、抵抗器およびキャパシタなどの他の半導体デバイスを指し、「相互接続」という用語は、半導体デバイス間で信号を通過させる電氣的相互接続(しばしば金属線およびビアと呼ばれる)を指す。本明細書で言及される回路要素は、フォトリソグラフィ、堆積、エッチング、拡散、イオン注入、およびアニールを含むが、それらに限定されない、標準半導体製造プロセスを使用して形成される。図1に示す例示的な実施形態では、回路素子110は、上面104Uからエピタキシャル層104の対応する部分へと延在する離間したnドープ拡散領域111-11、111-12および111-13と、ゲート酸化物層を介在させることによって上面104Uからそれぞれ分離された多結晶シリコン(ポリシリコン)ゲート構造113-21および113-22とを含む。

30

40

【0025】

相互接続120は、第1の誘電体領域122内/上に形成される第1の金属線121と、第2の誘電体層124内に形成される第2の金属線123と、第1の金属ビア125と、第2の金属ビア127とを含み、これらはすべて、回路素子110上に形成され、既知の技法を使用して回路素子110の関連する領域に動作可能に電氣的に接続される。第1の金属線121は、回路素子110上に堆積された1つまたは複数の誘電体層122内またはその上に形成され、第1の金属ビア125は、既知のビア形成技法を使用して誘電体層122を通して延在する。第2の金属線123は、第1の金属線121の上に配置された1つまたは複数の第2の誘電体層124に形成され、第2の金属ビア127は、誘電体

50

層 1 1 2 および 1 2 2 の一方または両方を通して延在する。一実施形態では、保護層（図 1 には図示せず）は、第 1 の金属線 1 2 1 と第 2 の金属線 1 2 3 との間に形成され、すべての第 2 の金属ビア 1 2 7 は、タングステン、アルミニウム、および銅のうちの少なくとも 1 つを含み、この保護層を通して延在する。図 1 に示す回路素子 1 1 0 を形成する例示的な拡散領域及びゲート構造は、例示的な金属相互接続 1 2 0 と共に、例示的な回路素子構造を説明する目的でのみ提供される例示的な金属相互接続と共に、例示的な目的で任意に構成され、機能センサデバイスを表すことも、添付の特許請求の範囲を限定することも意図していない。

【 0 0 2 6 】

純粋なホウ素層 1 0 6 および任意選択の反射防止コーティング 1 0 3 は、回路素子 1 1 0 および相互接続 1 2 0 の形成後に実行される裏面処理中に、以下で説明する技法を使用して形成される。純粋なホウ素層 1 0 6 は、80%以上のホウ素濃度を含み、相互拡散されたケイ素原子および酸素原子が主に残りの20%以下を構成する。一実施形態では、純粋なホウ素層 1 0 6 は、2 nm ~ 20 nm の範囲の厚さ T 3 を有する。1 つの特定の実施形態では、純粋なホウ素層 1 0 6 の厚さ T 3 は、3 nm ~ 10 nm の範囲であり、任意選択の保護層（例えば、薄い金属層（図示せず））および 1 つまたは複数の反射防止コーティング（たとえば、二酸化ケイ素）層 1 0 8 が、純粋なホウ素層 1 0 6 の下側（外向き）表面 1 0 6 L 上に堆積される。本発明に従って製造される画像センサに関するさらなる構造および詳細は、以下の例示的な製造方法の説明において提供される。

【 0 0 2 7 】

図 1 の右側を参照すると、本発明の一態様によれば、シリコン基板 1 0 3 およびエピタキシャル層 1 0 4 は、以下で説明する方法を使用して処理されて、図示の実施形態ではシリコン基板 1 0 3 の下面 1 0 3 L と一致する裏面センサ表面で生じる最大濃度レベル n_{p-max} を有する p 型（例えばホウ素）ドーパント濃度勾配 d_{np} を示す。そして、最大濃度レベル n_{p-max} から最小ドーピング濃度レベル n_{p-min} まで Y 軸方向に単調減少する；エピタキシャル層 1 0 4 の上面 1 0 4 U に生じる。一実施形態では、最大濃度レベル n_{p-max} は、約 10^{18} cm^{-3} （すなわち、 10^{18} ホウ素原子 / 立方センチメートル）~ 10^{21} cm^{-3} の範囲にあり、最小ドーピング濃度レベル n_{p-min} は、約 10^3 cm^{-3} ~ 10^{14} cm^{-3} の範囲にある。一実施形態では、シリコン基板 1 0 3 内に生成されるドーパント濃度勾配 d_{np} の部分は、実質的に平坦である（すなわち、下面 1 0 4 L および上面 1 0 3 U によって画定されるシリコン基板 / エピタキシャル層界面で生じる中間ドーパントレベル n_{p_int} が、下面 1 0 3 L における最大濃度レベル n_{p-max} に実質的に等しくなるように）。

図 2 は、シリコンオンインシュレータ（SOI）ウェハを使用して画像センサを製造するための例示的な方法 2 0 0 を示し、図 3 A ~ 図 3 F は、方法 2 0 0 の実行中の様々なプロセス段階における例示的な SOI ウェハを示す。図 3 A を参照すると、製造プロセスの開始時に、SOI ウェハ 3 0 0 は、露出した上部（第 1 の）表面 3 0 3 U と、介在絶縁体（酸化物）層 3 0 2 によって比較的厚いハンドリング基板 3 0 1 に取り付けられた反対側の下部（第 2 の）表面 3 0 3 L とを有する比較的薄い上部（前面）シリコン基板 3 0 3 を含む。SOI ウェハ 3 0 0 は、標準的な組成および厚さを有するハンドリングウェハ 3 0 1 および酸化物層 3 0 2 を用いて、製造プロセスの開始前に製造または調達される。好ましい実施形態では、SOI ウェハ 3 0 0 は、上部シリコン基板 3 0 3 が 5 ~ 100 nm の範囲の厚さを有し、真性または軽度に p 型ドーパされた単結晶シリコンのいずれかからなることを特徴とする。

【 0 0 2 8 】

ブロック 2 0 1（図 2）を参照すると、ホウ素層は、ホウ素拡散プロセスによって SOI ウェハの上部シリコン基板に高いホウ素ドーピング濃度レベル（すなわち、 10^{18} cm^{-3} 以上）を生成するために利用される。図 3 A および図 3 B に示す実施形態では、SOI ウェハ 3 0 0 の上部シリコン基板において所望の高ホウ素ドーピング濃度レベルを生成するためのホウ素層 3 1 0 の利用は、第 1 のホウ素層 3 1 0（図 3 A を参照して示され説

10

20

30

40

50

明される)を形成することと、次いで、ホウ素ドライブインおよびホウ素除去の両方を順次または同時に実行するためにSOIウェハ300(図3Bを参照して示され説明される)を処理することを含む。

【0029】

図3Aを参照すると、ホウ素層310は、上面303U上に形成され、2nm~10nmの範囲の厚さT4を有する純粋な非晶質ホウ素(本明細書で定義されるような)を含む。好ましい実施形態では、SOIウェハ300がCVDチャンバ内に配置され、600°C~800°Cの範囲の高温に加熱されている間に、ホウ素層310が化学気相成長(CVD)プロセスを使用して形成される。他の実施形態では、得られるホウ素堆積が純粋かつ清浄であるならば、他のプロセスを利用してホウ素層310(例えば、スパッタリングまたは分子線エピタキシー(MBE))を生成してもよい。

10

【0030】

図3Bは、所望の高ホウ素ドーピング濃度レベルを生成するため、および上面303Uからホウ素層310を完全に除去するために使用される処理中または処理後のSOIウェハ300を示す。上部シリコン基板は、図3Bにおいて参照番号303Aを使用して識別され、添え字「A」は、ホウ素拡散プロセスから生じる高度にpドーピングされたシリコンを図3Aの最初に軽くドーピングされた上部シリコン基板303と区別するために利用されることに留意されたい。好ましい実施形態では、ホウ素拡散は、800°C~900°Cの範囲の温度で行われるCVDホウ素ドライブインアニールプロセスを用いてインサイチュ(例えば、ホウ素層310を形成するために利用されるのと同じCVDチャンバを使用する)で行われる。他の実施形態では、ホウ素は、H₂またはH₂雰囲気中で任意の清浄なチャンバを使用して高温で駆動することができる。好ましい実施形態では、ホウ素除去はまた、800°C~900°Cの範囲の温度の水素環境中でホウ素堆積(すなわち、ホウ素ドライブインと同時にされる)の直後にインサイチュで実行され、それによってホウ素は上面303Uを通して上部シリコン基板303Aに拡散するが、ホウ素層310の露出部分は水素と反応し、ホウ素層の表面を離れる。これらの条件下で、ホウ素層310の典型的な除去速度は、30~60分(すなわち、より薄いホウ素層は30分未満を必要とし、より厚い層は1時間超を必要とする)の期間で3nm~5nmである。ホウ素層310が完全に消失した後、上部シリコン基板303Aは、高濃度にドーピングされ(例えば、 $10^{18} \sim 10^{21} \text{ cm}^{-3}$)の範囲のホウ素濃度レベルを有し、ドーパントプロファイルは比較的均一である。ホウ素層の形成および処理(すなわち、ドライブインおよび除去)の両方をインサイチュで行うことによって得られる効果は、エピタキシャル成長(図3Cを参照して以下で説明する)をホウ素層除去の完了直後に行うことができることである(すなわち、追加の洗浄プロセスを必要としない)。代替の実施形態では、SOIウェハ300は堆積/拡散チャンバから除去され、ホウ素層310は硝酸浸漬(または他の酸化浸漬)を使用して除去され、次いで、上面303Uから酸化物洗浄を実行した後にエピタキシャル成長が実行される。

20

30

【0031】

ブロック202(図2)を参照すると、エピタキシャルシリコン層は、次いで、エピタキシャル層に単調に減少するホウ素濃度勾配(例えば、勾配 d_{np} は、図1を参照して上記に示され、説明される)を提供する様式で、上部シリコン基板の上/上部に生成される。一実施形態では、真性または軽度にpドーピングされたエピタキシャルシリコンは、所望の単調減少ホウ素濃度勾配を生成する速度で、上部シリコン基板からエピタキシャル層材料の中へのホウ素拡散を増強する条件下で、高濃度ドーピング上部シリコン基板の上部表面上に成長される。図3Cは、エピタキシャル層304が上面303Uの上/上部に形成され、その間に二次ホウ素拡散が所望のドーピング勾配(例えば、図1を参照して説明した勾配 d_{np} である)を生成した後のSOIウェハを示す。添え字「B」は、二次ホウ素拡散後の上部シリコン基板303Bと高濃度にpドーピングされた上部シリコン基板303A(図3B)との間の差を示すために使用されることに留意されたい。1つの好ましい実施形態では、エピタキシャル層304は、CVDプロセスにおいて800°C~1250°Cの範

40

50

囲の温度でシランまたはクロロシランガス（例えば、 SiH_4 、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 または SiH_3Cl ）の少なくとも1つを水素で分解することによって、ホウ素層を除去した直後にインサイチュで成長させる。CVDプロセス中にエピタキシャル層における低p型ドーピングのために、ジボランをガス混合物に添加することができる。いくつかの実施形態では、シリコンエピタキシーは、分子線エピタキシー（MBE）を使用して実施することができる。いくつかの実施形態では、エピタキシャルシリコン成長後に800°Cより高い温度でドライブインアニールを実施して、p型ドーパント（例えば、ホウ素）原子を高濃度pドープ上部シリコン基板からエピタキシャル層304に移動（拡散）させて、上部シリコン基板303Bからエピタキシャル層304への所望の単調減少ドーピング濃度勾配を生じさせることができる。

10

【0032】

次いで、ブロック203（図2）および図3Dを参照すると、表側回路構造（要素）110および関連する相互接続120が、リソグラフィ、堆積、エッチング、イオン注入、およびアニールなどの標準的な半導体製造プロセスを使用してエピタキシャル層304の上/上部に製造される。これらの要素および相互接続に関する目的および追加の詳細は、図1を参照して上記で提供されているので、ここでは簡潔にするために詳細を省略する。電荷結合素子（CCD）および/またはCMOSセンサ素子およびデバイスはまた、ブロック203の製造プロセス中に作成されてもよい。前面要素およびデバイスは、SOIウエハの前面上のエピタキシャル層304内に作成され、したがって、前面回路要素と呼ばれる。前面処理の間、ポリ-Si相互接続および金属相互接続の形成はまた、他の高温プロセスとともに行われてもよい。相互接続120は、裏面薄化プロセス（後述）の前にウエハ上に形成されるので、これらの相互接続は、通常サブミクロンCMOS処理技術を使用して形成することができ、高密度金属相互接続の複数の層を含むことができる。配線は、Al、Cu、または他の金属によって形成されてもよい。

20

【0033】

ブロック204（図2）を参照すると、随意的保護層が、回路要素を覆って形成され、後続処理の間、回路要素を保護する（以下で説明される）。図3Eの上部分を参照すると、保護層320は、相互接続120の上に形成されるものとして示されている。いくつかの実施形態では、保護層320は、多くの他の材料の中でもとりわけ、プラズマ化学気相堆積（PECVD）を使用して堆積された窒化ケイ素層を含んでもよい。

30

【0034】

次に、ブロック205（図2）および図3Eを参照すると、裏面薄化プロセスを実行して、ハンドリングシリコン基板の少なくとも一部分および酸化層の少なくとも一部分を除去（薄化）して、画像センサの光活性領域の上部シリコン基板303Bの下面303Lを露出させる。描写される実施形態では、この除去（薄化）プロセスは、研削および/またはエッチングハンドリングおよび酸化層材料によって行われ、上部シリコン基板303Bの露出した下面303Lの周囲に残留ハンドリングウエハ部分301Aおよび残留酸化層部分302Aを保持しながら、裏面センサ表面（すなわち、裏面照射型イメージセンサの感光領域である）を表す下面303Lの一部分を露出させる。エッチングは、KOHやTMAHなどのアルカリ溶液を用いたウェットエッチング法により行うことができる。ハンドリング基板と酸化層との間のシリコン基板-酸化層界面は、ウェットエッチングのための自然エッチング停止部として作用する。酸化層は、フッ化水素酸および/または緩衝酸化エッチングを使用して除去することができる。上部シリコン基板と酸化層との間の上部シリコン-酸化層界面は、酸化エッチングのための自然エッチング停止部として作用する。あるいは、シリコン層および酸化層は、とりわけ SF_6 、 O_2 、および C_4F_3 などのエッチングガスを用いた反応性イオンエッチング（RIE）および/または誘導結合プラズマ反応性イオンエッチング（ICP-RIE）などのドライエッチング法を使用して除去することもできる。図6A~図6Cを参照して以下で説明するように、上部シリコン基板のいくつかまたはすべては、薄化プロセス中に除去されてもよく、それによって裏面センサ表面はエピタキシャル層304によって形成される。

40

50

【 0 0 3 5 】

次いで、ブロック 2 0 6 (図 2) および図 3 F を参照すると、純粋なホウ素層 3 0 6 および任意選択の反射防止層 (図示せず) が、上部シリコン基板 3 0 3 B の露出した下面 3 0 3 L の上に堆積される (または、代替として、頂部シリコン基板 3 0 3 B が除去されたエピタキシャル層 3 0 4 の露出した下面) 。好ましい実施形態では、下面 3 0 3 L は、ホウ素堆積を行う前に洗浄され準備される。一実施形態では、この洗浄は、R C A 1 および 2 の洗浄後に表面酸化物を除去するために、希釈 H F または緩衝酸化エッチングを用いた標準的な R C A 1 および 2 の洗浄プロセスを使用して行うことができる。好ましい実施形態では、高純度ホウ素堆積は、C V D プロセスにおける前面金属相互接続へのいかなる損傷も回避するために、低温 (すなわち、4 5 0 ° C 未満、例えば 3 0 0 ° C ~ 4 5 0 ° C の範囲の温度である) でジボランと水素との組み合わせを使用して行われる。ホウ素層 3 0 6 の厚さは、完成したイメージセンサの動作の目標波長範囲およびピンホールを回避するために必要な最小厚さに基づいて決定される。典型的な厚さは、2 ~ 2 0 n m の範囲であり得る。ウェハが高温に保たれる時間は、前面金属相互接続の損傷を回避するために最小限に保たなければならない。

10

【 0 0 3 6 】

ブロック 2 0 8 (図 2 の下部) に示されるように、完成した画像センサは、次いで、いくつかの実施形態ではパッケージ化される。パッケージは、基板へのチップのフリップチップボンディングまたはワイヤボンディングを含み得る。パッケージは、対象の波長を透過する窓を含んでもよく、または真空シールへのインターフェースのためのフランジまたはシールを備えてもよい。電子衝撃画像センサの実施形態では、パッケージは、光電陰極ならびに封止された真空管などの他の構成要素を含むことができる。

20

【 0 0 3 7 】

図 4 は、シリコンオンインシュレータ (S O I) ウェハから開始するイメージセンサを製造するための代替の例示的な方法 4 0 0 を示し、図 5 A ~ 図 5 E は、方法 4 0 0 の実行中の様々なプロセス段階における例示的な S O I ウェハを示す。簡潔にするために、プロセス 2 0 0 (図 2 および図 3 A ~ 図 3 C) を参照して上述したものと実質的に同じである、方法 4 0 0 によって生成されるプロセスおよび構造は、図 5 A ~ 図 5 E に組み込まれる。例えば、図 5 A は、ブロック 2 0 1 および 2 0 2 (図 2) ならびにブロック 4 0 1 および 4 0 2 (図 4) に関連するプロセスの完了後の S O I ウェハ 3 0 0 の処理された層を示し、上部 S i 層 3 0 3 B は、介在酸化物 (絶縁体) 層 3 0 2 によって S i ハンドリング基板 3 0 1 に接続される。エピタキシャル層 3 0 4 は、上述の単調に変化するドーピング濃度勾配を生成するように、上部シリコン基板 3 0 3 B 上に形成される。図 3 A および図 3 B を参照して上記で提供された説明は、ブロック 4 0 1 および 4 0 2 に関連して実行される同様の例示的なプロセスを説明するものとして理解され、したがって、ここでは繰り返さない。同様に、図 5 A は、ブロック 2 0 3 (図 2) およびブロック 4 0 3 (図 4) に従ってエピタキシャル層 3 0 4 の上面 3 0 4 U 上に形成される回路要素 1 1 0 および相互接続 1 2 0 を描写する。

30

【 0 0 3 8 】

ブロック 4 0 4 (図 4) および図 5 A を参照すると、前面保護材料 (例えば、窒化シリコン) が、図 3 C を参照して上述された方法でエピタキシャル層 3 0 4 上に以前に製造された相互接続 1 2 0 の上の上面 1 2 0 U 上に、既知の製造プロセス (例えば、P E C V D) を使用して堆積されるかまたは他の方法で形成される。

40

【 0 0 3 9 】

次いで、ブロック 4 0 5 (図 4) および図 5 B を参照すると、ハンドリングウェハ (第 2 のハンドリング基板) 5 0 1 は、既知の技法を使用して前面 (例えば、保護層 5 1 0 の上面 5 1 0 U までである) に取り付けられ、それによって、ハンドリングウェハ 5 0 1 は、エピタキシャル層 3 0 4 上に形成された素子および相互接続をさらに保護し、以下で説明する裏面処理ステージのためのベースウェハとして機能する。例示的な実施形態では、ハンドリングウェハ 5 0 1 は、シリコンウェハ、石英ウェハ、または別の好適な材料で作

50

製されたウェハを含む。いくつかの実施形態では、ハンドリングウェハ 501 は、上面 120U (すなわち、介在保護層 510 を省くことによって行われる) に直接取り付けられてもよい。代替的な実施形態 (図示せず) では、保護層 510 は、ハンドリングウェハ 501 (すなわち、第 2 ハンドリング基板を省略してもよい) の代わりに、またはそれに加えて使用することができる。一実施形態では、付加的なビア構造 (図示せず) が、回路要素 110 への表側接続を促進するように、ハンドリングウェハ 501 を通して形成される。

【0040】

次いで、ブロック 406 (図 4) および図 5C を参照すると、裏面センサ表面 (例えば、上部シリコン基板 303B の下面 303L) が露出されるように、裏面処理が実施されて、出発 SOI ウェハのハンドリング基板および酸化物層を (少なくとも部分的に) 除去する。一実施形態では、除去プロセスは、後続のホウ素層形成に備えて下面 303L の洗浄および処理を含む、図 3E を参照して上記で説明される研削および/またはエッチングプロセスの組み合わせを使用して行われる。この工程では、上部シリコン基板 303B の一部または全部を、例えばエッチングまたは研磨によって除去することができる。

10

【0041】

次に、ブロック 407 (図 4) 及び図 5D を参照すると、例えば、図 3F を参照して上述したプロセスを使用して、上部シリコン基板 303B の下面 303L 上に純粋なホウ素層 506 が形成される。

【0042】

ブロック 408 (図 4) および図 5E を参照すると、反射防止材料が、純粋なホウ素層 506 の下面 506L 上に堆積または別様に形成され、1 つ以上の反射防止層 508 を生成する。層のうちの少なくとも 1 つは、ALD プロセスまたは 450 °C 未満の温度を必要とする他のプロセスを使用して堆積され得る。別の実施形態では、薄い金属コーティングがホウ素層 506 (すなわち、反射防止層 508 の代わりに、またはそれに加えてである) 上に堆積されてもよい。薄い金属コーティングは、センサが荷電粒子 (電子など)、EUV または X 線を検出するために使用される場合に特に有用であり得る。そのような薄い金属コーティングは、迷光に対するセンサの感受性を低減し得、センサの表面を保護し得、センサ表面からの炭素および有機分子等の汚染物質のその場での洗浄を促進し得る。

20

【0043】

ブロック 409 (図 4) に示されるように、図 5E に示される完成した画像センサは、次いで、上記で説明されるパッケージング技法のうちのいずれかを使用してパッケージングされることができる。

30

【0044】

図 6A ~ 図 6C は、上部シリコン基板内に生成されるドーピングプロファイルが、図 3E および図 5C を参照して上述した裏面薄化プロセス中に上部シリコン基板 (すなわち、元の SOI ウェハのハンドリング基板及び酸化物層と共に) の一部または全部の除去を必要とする例示的な条件を示す。すなわち、図 1 を簡潔に参照すると、例示的な理想的な上部シリコンドーピングプロファイルは、最大ホウ素濃度レベル n_{p-max} と中間ドーピング濃度 n_{p-int} との間に延在する勾配 d_{np} の部分によって示され、最大ホウ素濃度レベル n_{p-max} は下面 103U で生じ、ドーピング濃度は下面 103U と上部シリコン/エピタキシャル層界面との間で単調に減少する (または平坦なままである)。この理想的な上部シリコンドーピングプロファイルが生成されるとき、裏面薄化プロセスは、SOI ウェハのハンドリングサブステートおよび酸化物層が除去された後に終了され得る (すなわち、上部シリコン基板のいずれも除去する必要がない)。しかしながら、実際には、最大ホウ素濃度レベルは、上部シリコン基板の上面と下面との間のどこかで生じ、これは、図 6B および図 6C を参照して以下で説明するように、上部シリコン基板の少なくともいくつかの除去を必要とする。

40

【0045】

図 6A は、上部シリコン基板 603 内の高いホウ素ドーピング濃度レベルまでホウ素層 (図示せず) が利用された後、介在絶縁体 (酸化物) 層 602 によってハンドリング基板

50

601に取り付けられる上部シリコン基板603を有するSOIウェハ上に形成された部分的に完成したセンサ600Aを示す。そして、エピタキシャル層604が上部シリコン基板603上に形成された後、前記上部シリコン基板603からのホウ素拡散は、エピタキシャル層604において、上部シリコン基板603の上面603Uに隣接して配置された元の最大ホウ素濃度レベル $n_{p-max10}$ からエピタキシャル層604の上面604Uに隣接して配置された最小ホウ素ドーピング濃度レベル n_{p-min1} まで単調に減少するホウ素ドーピング濃度勾配 d_{npi} を生成する。しかしながら、最大ホウ素濃度レベル $n_{p-max10}$ は、上部シリコン基板603の上面603Uと元の下面603L0との間に位置するレベルで生じ、これは、ホウ素ドーピング濃度勾配 d_{npi} が、場合によっては最適なセンサ性能に必要とされるように、上部シリコン基板603の元の下面603L0とエピタキシャル層604の上面604Uとの間で単調に減少しないことを意味することに留意されたい。

10

【0046】

具体的には、上面603Uで生じる第1中間ホウ素濃度レベル $n_{p-int11}$ と元の下面603L0で生じる第2のホウ素濃度 $n_{p-int12}$ は最大ホウ素濃度レベル $n_{p-max10}$ より小さくなる。例えば、上部シリコン基板603からシリコン酸化膜602への下方のホウ素拡散により「ディップ」（すなわち、最大ホウ素濃度レベル $n_{p-max10}$ と第2のホウ素濃度レベル $n_{p-int12}$ との間の濃度勾配レベルのわずかな減少）が発生し、このディップが生じるY軸の位置は、例えば、エピタキシャルシリコン成長時のホウ素のピーク濃度レベルや温度に依存する。

20

【0047】

図6Bを参照すると、ドーピング濃度勾配 d_{npi} を「固定」するために、薄化プロセスが、最大ホウ素濃度レベル $n_{p-max10}$ と元の下面603L0との間に位置する上部シリコン層603の少なくとも部分（すなわち、ハンドル基板601および酸化物層602の全体に沿っている）の除去を含み、それによって最大ホウ素濃度レベル $n_{p-max10}$ が修正された下面603L1と一致するように、裏面処理を実行する必要がある。すなわち、上部シリコン層603の下部を除去することは、最大ホウ素濃度レベル $n_{p-max10}$ が裏面センサ表面（すなわち、修正された下面603L1）において生じ、上面604Uに向かってY軸方向に単調に減少するように、ドーピング濃度勾配 d_{npi} を効果的に調節する。上述のように、裏面処理は直ちに、修正された下面603L1へのホウ素の堆積と、図2のブロック206~208および図4のブロック407~409を参照して上述した追加のプロセスとに続く。

30

【0048】

図6Cは、ドーピング濃度勾配 d_{npi} を固定するための代替手法を示し、裏面処理は、薄化プロセスが上部シリコン層603の全体（すなわち、ハンドリング基板601および酸化物層602の全体に沿っている）の除去を含むように実行され、それによって、エピタキシャル層604の下面604Lを露出させることによって新しい裏面センサ表面が画定される。したがって、ドーピング濃度勾配 d_{npi} は、ホウ素濃度レベル $n_{p-int11}$ に等しく、新しい裏面センサ表面（すなわち、下面604L）から上面604UまでY軸方向に単調に減少する新しい最大ホウ素濃度レベル $n_{p-max11}$ を有するという点で「固定」される。上部シリコン層603が完全に除去されると、露出した下面604L上にホウ素が堆積され、図2のブロック206~208および図4のブロック407~409を参照して上述した追加のプロセスが実行される。

40

【0049】

上記実施例は、本明細書に開示される本発明の範囲を限定することを意味しない。これらは、SOIウェハの上部シリコン基板が所望のp型ドーパント濃度勾配の両方を含むようにどのように処理され、次いでその感光性表面上にホウ素層でコーティングされ得るかの単なる例示を意味する。上部シリコン基板は、ホウ素に隣接してその最大値を有するp型ドーパントの濃度勾配を含むので、イメージセンサは、短い波長の光、または数nmまたは数十nmしか上部シリコンおよびエピタキシャル層に浸透しない低エネルギー荷電粒

50

子に対しても高い効率を有する。

【 0 0 5 0 】

上記で説明した本発明の構造および方法の様々な実施形態は、本発明の原理の単なる例示であり、本発明の範囲を説明した特定の実施形態に限定することを意図するものではない。例えば、追加のステップが、図 2 および図 4 に示されるフローチャートに追加されてもよく、または示されるステップのうちの一つかが、示されるものとは異なる順序で行われてもよい。したがって、本発明は、以下の特許請求の範囲およびその均等物によってのみ限定される。

10

20

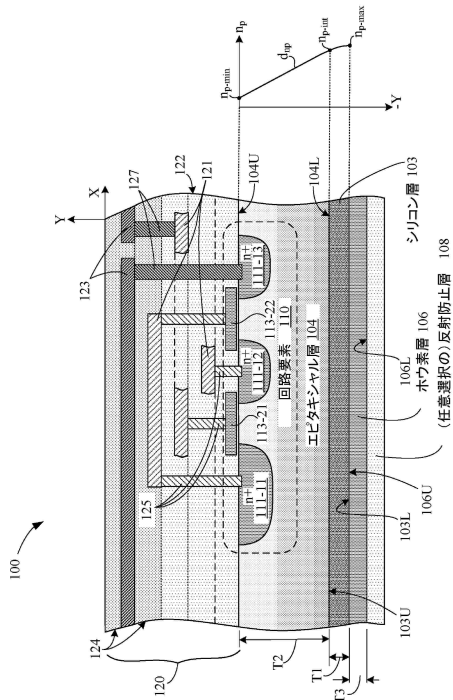
30

40

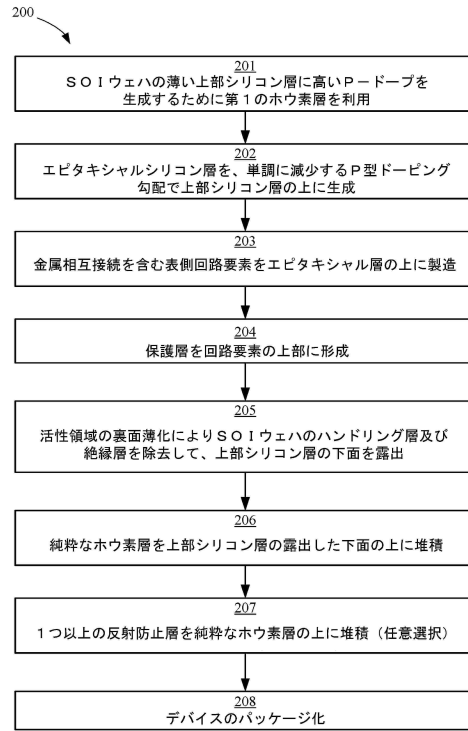
50

【図面】

【図 1】



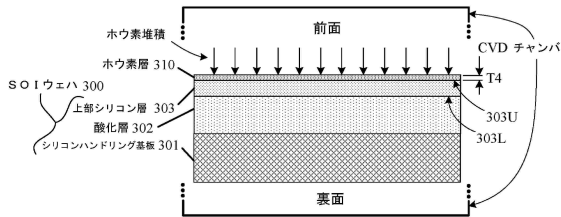
【図 2】



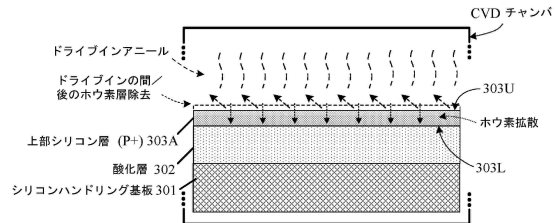
10

20

【図 3 A】



【図 3 B】

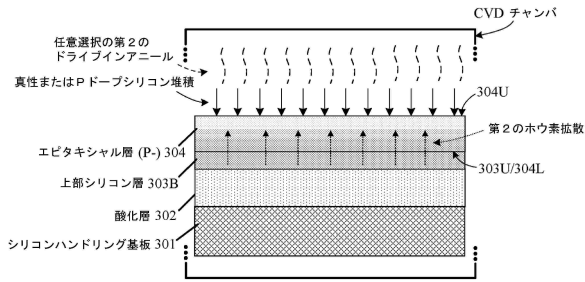


30

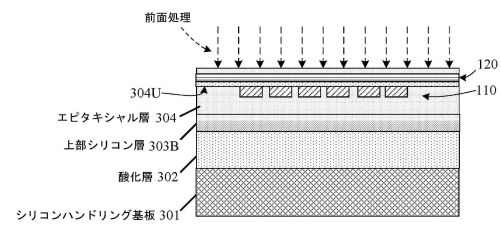
40

50

【図 3 C】

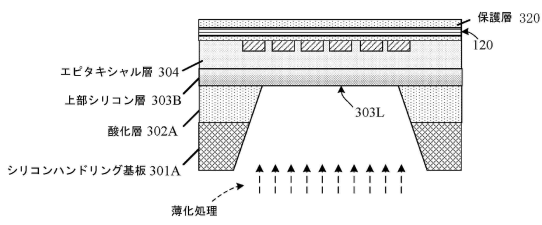


【図 3 D】

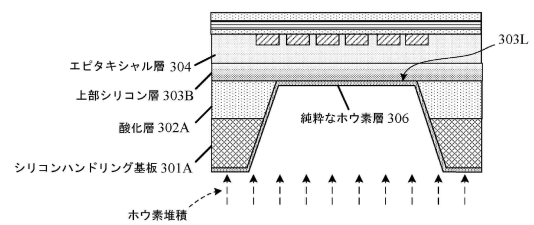


10

【図 3 E】

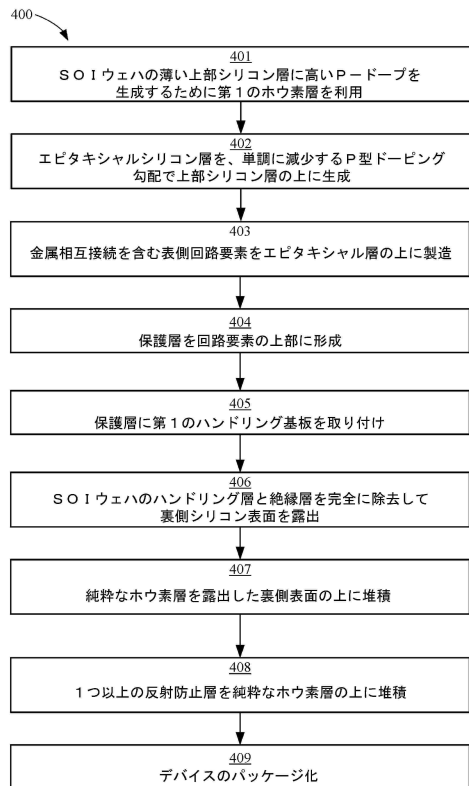


【図 3 F】

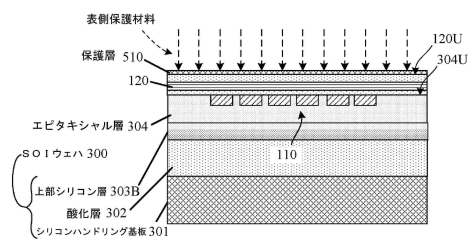


20

【図 4】



【図 5 A】

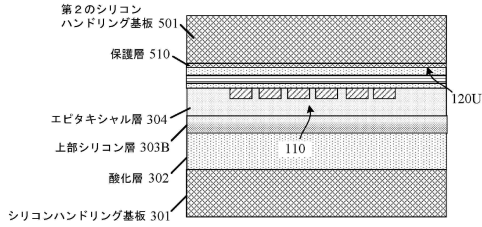


30

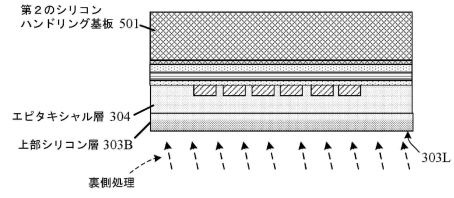
40

50

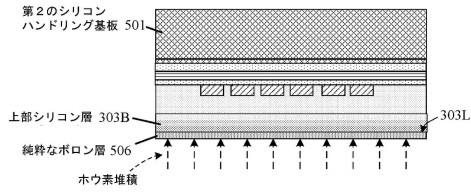
【図 5 B】



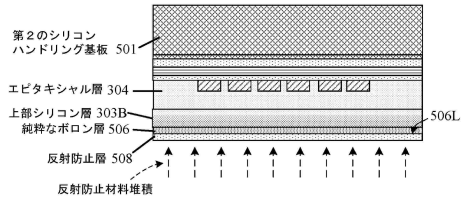
【図 5 C】



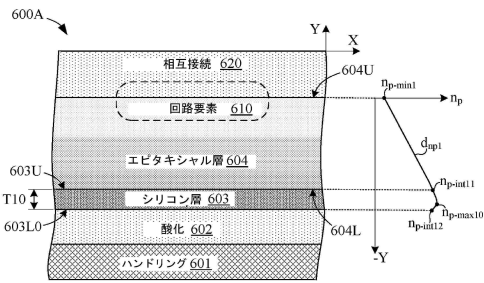
【図 5 D】



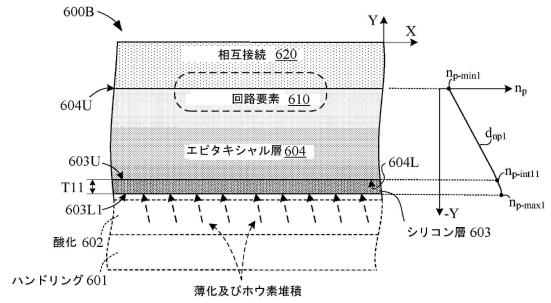
【図 5 E】



【図 6 A】



【図 6 B】



10

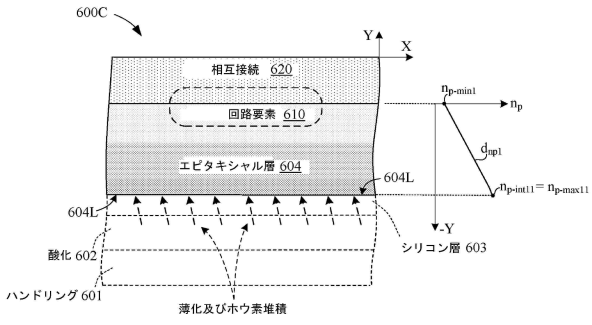
20

30

40

50

【図 6 C】



10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

アメリカ合衆国 カリフォルニア ロス アルトス ヴィクトリア コート 2020

(72)発明者 チュアン ユン - ホ アレックス

アメリカ合衆国 カリフォルニア クパチーノ サウス ステリング ロード 10734

審査官 加藤 俊哉

(56)参考文献 特開2007-013177(JP, A)

特開2007-036250(JP, A)

特表2017-509142(JP, A)

特表2015-520939(JP, A)

特表2018-521457(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H10F 39/18

H10F 39/10

G01T 1/24