

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-205797

(P2011-205797A)

(43) 公開日 平成23年10月13日(2011.10.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO2M 3/07 (2006.01)	HO2M 3/07	5F038
HO1L 21/822 (2006.01)	HO1L 27/04	G 5H730
HO1L 27/04 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2010-70788 (P2010-70788)
 (22) 出願日 平成22年3月25日 (2010.3.25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明

最終頁に続く

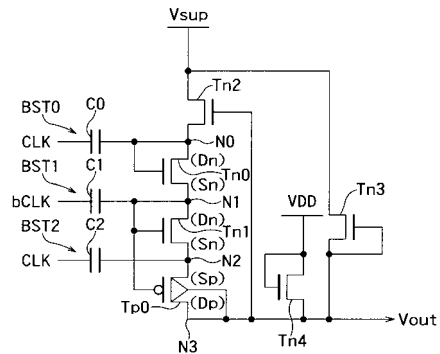
(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】チップ面積の増大を抑制しつつ、昇圧電圧の損失を低減させて、昇圧効率が良く、かつ、昇圧速度の高い昇圧回路を提供する。

【解決手段】昇圧回路は、P型の基板上に形成され電圧源と出力との間にダイオードとして機能するように接続されたN型の第1のMISトランジスタと、第1のMISトランジスタの電圧源側の第1のノードに接続され該第1のノードに第1のクロックを伝達する第1のキャパシタと、第1のMISトランジスタの出力側の第2のノードに接続され第1のクロックをゲートで受けるP型の第2のMISトランジスタと、第2のノードに接続され第2のノードに第1のクロックとは逆相の第2のクロックを伝達する第2のキャパシタとを備え、第1のMISトランジスタは第1のクロックによって昇圧された第1のノードの電圧を第2のノードへ転送し、第2のMISトランジスタは第2のクロックによって昇圧された第2のノードの電圧を出力側へ転送する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 導電型の基板上に形成され、電圧源と出力との間にダイオードとして機能するように接続された第 2 導電型の第 1 の M I S トランジスタと、

前記第 1 の M I S トランジスタの前記電圧源側の第 1 のノードに接続され、該第 1 のノードに第 1 のクロックを伝達する第 1 のキャパシタと、

前記第 1 の M I S トランジスタの前記出力側の第 2 のノードに接続され、前記第 1 のクロックをゲートで受ける第 1 導電型の第 2 の M I S トランジスタと、

前記第 2 のノードに接続され、前記第 2 のノードに前記第 1 のクロックとは逆相の第 2 のクロックを伝達する第 2 のキャパシタとを備え、

前記第 1 の M I S トランジスタは、前記第 1 のクロックによって昇圧された前記第 1 のノードの電圧を前記第 2 のノードへ転送し、

前記第 2 の M I S トランジスタは、前記第 2 のクロックによって昇圧された前記第 2 のノードの電圧を前記出力側へ転送することを特徴とする昇圧回路。

【請求項 2】

前記第 2 の M I S トランジスタのゲートは、前記第 1 のノードに接続されていることを特徴とする請求項 1 に記載の昇圧回路。

【請求項 3】

前記第 2 の M I S トランジスタは、前記電圧源からの電圧を昇圧する最後の昇圧段であることを特徴とする請求項 1 または請求項 2 に記載の昇圧回路。

【請求項 4】

前記第 2 の M I S トランジスタのチャネル部は前記出力の電圧を受けることを特徴とする請求項 1 から請求項 3 のいずれかに記載の昇圧回路。

【請求項 5】

前記第 1 の M I S トランジスタのゲートは、前記第 1 のノードに接続されていることを特徴とする請求項 1 に記載の昇圧回路。

【請求項 6】

前記第 2 の M I S トランジスタのチャネル部は、前記第 2 のノードの電圧と前記出力の電圧とのいずれか高い電圧を受けることを特徴とする請求項 1 から請求項 3 のいずれかに記載の昇圧回路。

【請求項 7】

第 1 導電型の基板上に形成され、電圧源と出力との間にダイオードとして機能するように接続された第 2 導電型の第 1 の M I S トランジスタと、

前記第 1 の M I S トランジスタの前記電圧源側の第 1 のノードに接続され、該第 1 のノードに第 1 のクロックを伝達する第 1 のキャパシタと、

前記第 1 の M I S トランジスタの前記出力側の第 2 のノードに接続され、前記第 1 のクロックをゲートで受ける第 1 導電型の第 2 の M I S トランジスタと、

前記第 2 のノードに接続され、前記第 2 のノードに前記第 1 のクロックとは逆相の第 2 のクロックを伝達する第 2 のキャパシタと、

前記第 2 の M I S トランジスタの前記電圧源側の第 3 のノードに接続され、前記第 2 のクロックをゲートで受ける第 1 導電型の第 3 の M I S トランジスタと、

前記第 3 のノードに接続され、前記第 3 のノードに前記第 1 のクロックを伝達する第 3 のキャパシタとを備え、

前記第 1 の M I S トランジスタは、前記第 1 のクロックによって昇圧された前記第 1 のノードの電圧を前記第 2 のノードへ転送し、

前記第 2 の M I S トランジスタは、前記第 2 のクロックによって昇圧された前記第 2 のノードの電圧を前記第 3 のノードへ転送し、

前記第 3 の M I S トランジスタは、前記第 1 のクロックによって昇圧された前記第 3 のノードの電圧を前記出力側へ転送することを特徴とする昇圧回路。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、昇圧回路に関する。

【背景技術】

【0002】

従来からディクソントタイプの昇圧回路が半導体装置の電源等に頻繁に使用されている。ディクソントタイプの昇圧回路には、N MOS (N-type Metal-Oxide Semiconductor) 型昇圧回路およびP MOS 型昇圧回路がある。例えば、N MOS 型昇圧回路は、ダイオード接続された複数のN型MOSと、N型MOSのドレインに接続された複数のキャパシタとを備える。各N型MOSと各キャパシタとのペアはそれぞれ昇圧段を成す。複数の昇圧段は、キャパシタを介してクロック信号を受け取ることによって昇圧動作を行う。このとき、各昇圧段の電圧は、クロック信号の振幅(電圧)からN型MOSの閾値電圧を降圧した電圧だけ昇圧され、次の昇圧段に転送される。各昇圧段における昇圧電圧の低下(損失)は、昇圧効率の低下、および、昇圧速度の遅延の原因となる。このような問題に対処するために、キャパシタの面積を大きくすることが考えられる。しかし、キャパシタの面積を大きくすると、半導体装置のチップ面積が増大し、並びに、キャパシタを充電するための消費電流が増大してしまう。

10

【0003】

一方、P MOS 型昇圧回路では、昇圧回路においてN型MOSに代えてP型MOSが用いられる。P型MOSは、通常、P型基板に形成されたN型ウェルの表面に形成される。この場合、各昇圧段において、昇圧された高電圧によってP型MOSが誤動作し、電荷が逆流する可能性がある。従って、ゲート電圧によってP型MOSのオン/オフ制御を確実にし、電荷の逆流を防止するために、ゲート電圧制御回路が必要となる。また、ウェルとソースまたはドレイン拡散層との間の接合部にフォワードバイアスが印加されないように、ウェル電圧を制御するウェル電圧制御回路がさらに必要となる。従って、P MOS 型昇圧回路においても、半導体装置のチップ面積が増大し、並びに、消費電流が増大するという問題が生じる。

20

【0004】

尚、N型基板を使用した場合であっても、N MOS 型昇圧回路およびP MOS 型昇圧回路の状況が逆になるだけであり、上記問題は依然として残る。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-228679号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

チップ面積の増大を抑制しつつ、昇圧電圧の損失を低減させることによって、昇圧効率が良く、かつ、昇圧速度の高い昇圧回路を提供する。

【課題を解決するための手段】

40

【0007】

本発明に係る実施形態に従った昇圧回路は、第1導電型の基板上に形成され、電圧源と出力との間にダイオードとして機能するように接続された第2導電型の第1のM I S トランジスタと、前記第1のM I S トランジスタの前記電圧源側の第1のノードに接続され、該第1のノードに第1のクロックを伝達する第1のキャパシタと、前記第1のM I S トランジスタの前記出力側の第2のノードに接続され、前記第1のクロックをゲートで受ける第1導電型の第2のM I S トランジスタと、

前記第2のノードに接続され、前記第2のノードに前記第1のクロックとは逆相の第2のクロックを伝達する第2のキャパシタとを備え、

前記第1のM I S トランジスタは、前記第1のクロックによって昇圧された前記第1の

50

ノードの電圧を前記第 2 のノードへ転送し、

前記第 2 の M I S トランジスタは、前記第 2 のクロックによって昇圧された前記第 2 のノードの電圧を前記出力側へ転送することを特徴とする。

【0008】

本発明に係る実施形態に従った昇圧回路は、第 1 導電型の基板上に形成され、電圧源と出力との間にダイオードとして機能するように接続された第 2 導電型の第 1 の M I S トランジスタと、前記第 1 の M I S トランジスタの前記電圧源側の第 1 のノードに接続され、該第 1 のノードに第 1 のクロックを伝達する第 1 のキャパシタと、前記第 1 の M I S トランジスタの前記出力側の第 2 のノードに接続され、前記第 1 のクロックをゲートで受ける第 1 導電型の第 2 の M I S トランジスタと、前記第 2 のノードに接続され、前記第 2 のノードに前記第 1 のクロックとは逆相の第 2 のクロックを伝達する第 2 のキャパシタと、前記第 2 の M I S トランジスタの前記電圧源側の第 3 のノードに接続され、前記第 2 のクロックをゲートで受ける第 1 導電型の第 3 の M I S トランジスタと、前記第 3 のノードに接続され、前記第 3 のノードに前記第 1 のクロックを伝達する第 3 のキャパシタとを備え、

10

前記第 1 の M I S トランジスタは、前記第 1 のクロックによって昇圧された前記第 1 のノードの電圧を前記第 2 のノードへ転送し、

前記第 2 の M I S トランジスタは、前記第 2 のクロックによって昇圧された前記第 2 のノードの電圧を前記第 3 のノードへ転送し、

前記第 3 の M I S トランジスタは、前記第 1 のクロックによって昇圧された前記第 3 のノードの電圧を前記出力側へ転送することを特徴とする。

20

【発明の効果】

【0009】

本発明による昇圧回路は、チップ面積の増大を抑制しつつ、昇圧電圧の損失を低減させることによって、昇圧効率が良く、かつ、昇圧速度を高くすることができる。

【図面の簡単な説明】

【0010】

【図 1】本発明に係る第 1 の実施形態に従った昇圧回路の構成を示す回路図。

【図 2】N 型 M I S トランジスタ T n i および P 型 M I S トランジスタ T p i の各断面図。

【図 3】第 1 の実施形態による昇圧回路の最終昇圧段 B S T 3 の動作を示すグラフ。

30

【図 4】比較例による昇圧回路と、本実施形態による昇圧回路とのシミュレーション結果を示すグラフ。

【図 5】P 型 M I S トランジスタを最終昇圧段よりも前の段に設けた昇圧回路の動作を示すグラフ。

【図 6】第 2 の実施形態による昇圧回路の構成を示す回路図。

【図 7】第 3 の実施形態による昇圧回路の構成を示す回路図。

【図 8】第 4 の実施形態による昇圧回路の構成を示す回路図。

【図 9】第 5 の実施形態による昇圧回路の構成を示す回路図。

【発明を実施するための形態】

【0011】

40

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態による昇圧回路は、いわゆる、ディクソンタイプの昇圧回路に適用され、様々な半導体装置の電源等において供給電圧 V_{sup} を昇圧して出力するために使用され得る。

【0012】

(第 1 の実施形態)

図 1 は、本発明に係る第 1 の実施形態に従った昇圧回路の構成を示す回路図である。この昇圧回路は、例えば、N A N D 型フラッシュメモリの電源に用いることができる。

【0013】

本実施形態による昇圧回路は、N 型 M I S (Metal-Insulator Semiconductor) トラン

50

ジスタ $T_{n0} \sim T_{n4}$ と、P型MISトランジスタ T_{p0} と、キャパシタ $C_0 \sim C_2$ とを備えている。図2(A)および図2(B)は、N型MISトランジスタ T_{ni} およびP型MISトランジスタ T_{pi} (i は整数)の各断面図を示す。

【0014】

N型MISトランジスタ T_{n0} (以下、トランジスタ T_{n0} ともいう)は、ノード N_0 とノード N_1 との間に接続されており、そのゲート G_n は、ドレイン D_n と共通にノード N_0 に接続されている。即ち、トランジスタ T_{n0} は、ノード N_0 と N_1 との間にダイオードとして機能するように接続されている。以下、この接続をダイオード接続ともいう。トランジスタ T_{n0} のアノード側の拡散層(ドレイン D_n)がノード N_0 に接続されており、トランジスタ T_{n0} のカソード側の拡散層(ソース S_n)がノード N_1 に接続されている。

10

【0015】

キャパシタ C_0 の一端は、クロック信号 CLK を受け、キャパシタ C_0 の一端はノード N_0 に接続されている。即ち、キャパシタ C_0 は、トランジスタ T_{n0} のアノード側のノード N_0 に接続され、ノード N_0 にクロック信号 CLK を伝達するように構成されている。ノード N_0 は、キャパシタ C_0 を介してクロック信号 CLK を受け取る。

【0016】

トランジスタ T_{n0} およびキャパシタ C_0 のペアが供給電圧 V_{sup} を最初に昇圧する昇圧段 BST_0 を構成している。

【0017】

第1のMISトランジスタとしてのN型MISトランジスタ T_{n1} (以下、トランジスタ T_{n1} ともいう)は、ノード N_1 とノード N_2 との間に接続されており、そのゲート G_n は、ドレインと共通にノード N_1 に接続されている。即ち、トランジスタ T_{n1} は、ノード N_1 と N_2 との間にダイオードとして機能するように接続されている。トランジスタ T_{n1} のアノード側の拡散層(ドレイン D_n)がノード N_1 に接続されており、トランジスタ T_{n1} のカソード側の拡散層(ソース S_n)がノード N_2 に接続されている。

20

【0018】

第1のキャパシタとしてのキャパシタ C_1 の一端は、クロック信号 CLK_1 とは逆相のクロック信号 $bCLK$ を受け、キャパシタ C_1 の一端はノード N_1 に接続されている。即ち、キャパシタ C_1 は、トランジスタ T_{n1} のアノード側のノード N_1 に接続され、ノード N_1 にクロック信号 $bCLK$ を伝達するように構成されている。ノード N_1 は、キャパシタ C_1 を介してクロック信号 $bCLK$ を受ける。ここでは、クロック信号 $bCLK$ は、クロック信号 CLK の逆相の信号である。クロック信号 CLK が第2のクロックを示すものとして表現され、クロック信号 $bCLK$ が第1のクロックを示すものとして表現されている。

30

【0019】

トランジスタ T_{n1} およびキャパシタ C_1 のペアが二段目の昇圧段 BST_1 を構成している。

【0020】

第2のMISトランジスタとしてのP型MISトランジスタ T_{p0} (以下、トランジスタ T_{p0} ともいう)は、ノード N_2 とノード N_3 との間に接続されている。トランジスタ T_{p0} のゲート G_p は、トランジスタ T_{n1} のゲートと共通にクロック信号 CLK_2 を受け取る。即ち、トランジスタ T_{p0} は、トランジスタ T_{n1} のカソード側のノード N_2 に接続され、第1のクロックとしてのクロック信号 $bCLK$ をゲートで受ける。

40

【0021】

第2のキャパシタとしてのキャパシタ C_2 の一端は、クロック信号 CLK を受け、キャパシタ C_2 の一端はノード N_2 に接続されている。即ち、キャパシタ C_2 は、クロック信号 CLK をノード N_2 へ伝達するように構成されている。

【0022】

トランジスタ T_{p0} およびキャパシタ C_2 のペアは、最終の昇圧段 BST_2 を構成して

50

いる。

【0023】

以上の3つの昇圧段BST0～BST2は、供給電圧源(Vsup)側のノードN0と出力(Vout)側のノードN3との間に直列に接続されている。昇圧段BST0～BST2はそれぞれクロックCLKまたはbCLKを受けてノードN0～N2の電圧を昇圧する。より詳細には、昇圧段BST0はクロック信号CLKによってノードN0の電圧Vn0を昇圧し、トランジスタTn0は昇圧された電圧Vn0をノードN1へ転送する。昇圧段BST1はクロック信号bCLKによってノードN1の電圧Vn1を昇圧し、トランジスタTn1は昇圧された電圧Vn1をノードN2へ転送する。さらに、昇圧段BST2はクロックCLKによってノードN2の電圧Vn2を昇圧し、トランジスタTp0は昇圧された電圧Vn2を出力へ転送する。

10

【0024】

クロック信号CLKとbCLKとは逆相の信号であるので、最終昇圧段BST2のノードN2がクロック信号CLKによって昇圧されたときに、トランジスタTp0はクロック信号bCLKによってオン状態となる。これにより、ノードN2の電圧Vn2は、昇圧されてノードN3へ転送される。

【0025】

ダイオード接続されたトランジスタTn0およびTn1では、昇圧された電圧は、トランジスタTn0またはTn1の閾値電圧分だけ降圧されて次の昇圧段へ転送される。例えば、トランジスタTn0およびTn1の閾値電圧をそれぞれVtn0およびVtn1とし、ノードN0～N2の電圧をそれぞれVn0～Vn2とする。この場合、昇圧段BST0は、クロック信号CLKによって昇圧されたノードN0の電圧Vn0から閾値電圧Vtn0だけ降圧した電圧(Vn0 - Vtn0)を、ノードN1へ転送する。次に、昇圧段BST1は、クロック信号bCLKによってノードN1の電圧(Vn0 - Vtn0)を昇圧し、その昇圧された電圧Vn1から閾値電圧Vtn1だけ降圧した電圧(Vn1 - Vtn1)をノードN2へ転送する。

20

【0026】

最終昇圧段BST3においては、クロックCLKが高レベルに立ち上がったときに、ノードN2の電圧Vn2は、(Vn1 - Vtn1)を昇圧した電圧になる。このとき、クロックbCLKが低レベルに低下しているので、トランジスタTp0のゲート電圧はソースSpの電圧よりも十分に低くなり、トランジスタTp0は、昇圧された電圧Vn2を降圧することなくノードN3へ転送する。このとき、トランジスタTp0のゲート電圧は、ソース電圧よりもトランジスタTp0の閾値電圧以上に低い。従って、本実施形態は、最終昇圧段BST3のトランジスタTp0においてノードN2の電圧Vn2が、昇圧された電圧から閾値電圧だけ低下することを防止することができる。

30

【0027】

N型MISトランジスタTn2(以下、トランジスタTn2ともいう)は、ノードN0と供給電圧源(Vsup)との間に接続されており、そのゲートGnは出力(Vout)に接続されている。出力電圧VoutはトランジスタTn2へフィードバックされ、トランジスタTn2は出力電圧Voutの電圧レベルに基づいて供給電圧源とノードN0との間を接続/切断する。

40

【0028】

N型MISトランジスタTn3(以下、トランジスタTn3ともいう)は、出力(Vout)と供給電圧源(Vsup)との間に、ダイオードとして機能するように接続されている。トランジスタTn3のドレイン(アノード側)が出力(Vout)に接続され、トランジスタTn3のソース(カソード側)が供給電圧源(Vsup)に接続されている。トランジスタTn3は、出力電圧Voutの最大値を(Vsup + Vtn3)にするリミッタとして機能する。ここで、Vtn3は、トランジスタTn3の閾値電圧である。

【0029】

N型MISトランジスタTn4(以下、トランジスタTn4ともいう)は、電源VDD

50

と出力 (V_{out}) との間に、ダイオード接続されている。トランジスタ T_{n4} は、最終昇圧段 $BST3$ のトランジスタ T_{p0} のドレイン電圧 (ノード $N3$ の電圧) を VDD までチャージする。昇圧動作開始時においてトランジスタ T_{p0} のドレイン電圧を予め或る程度上げておくことによって、トランジスタ T_{p0} のソース電圧およびウェル電圧が昇圧動作によって上昇しても、トランジスタ T_{p0} の P^+ 型ドレインと N 型ウェル $N-well$ との間にフォワードバイアスが印加されないようにすることができる。ここで、 VDD は、 0 以上 V_{sup} 以下の任意の電圧でよい。

【0030】

図3は、第1の実施形態による昇圧回路の最終昇圧段 $BST3$ の動作を示すグラフである。実線はノード $N2$ の電圧を示し、破線はノード $N3$ の電圧を示す。尚、ノード $N2$ の電圧は、便宜的に理想的な矩形波として示している。

10

【0031】

時点 t_1 において、クロック信号 CLK が立ち上がり、これにより、ノード $N2$ の電圧 V_{n2} は昇圧される。同時に、クロック信号 $bCLK$ は低レベルに立ち下がるので、トランジスタ T_{p0} は、昇圧されたノード $N2$ の電圧 V_{n2} を降圧することなく、ノード $N3$ へ転送する。

【0032】

時点 t_2 において、クロック信号 CLK が立ち下がり、クロック信号 $nCLK$ が立ち上がる。このとき、ノード $N2$ の電圧 V_{n2} は、クロック信号 CLK の立ち下がりに伴い低下する。また、クロック信号 $nCLK$ の立ち上がりによってトランジスタ T_{p0} はオフ状態になり、なおかつ、ノード $N3$ はクロック信号を受けないので、ノード $N3$ の電圧 (V_{out}) は電圧 V_{n2} に維持される。これにより、トランジスタ T_{p0} のソース電圧 (V_{n2}) はドレイン電圧 (V_{out}) より低くなるが、トランジスタ T_{p0} のボディ (ウェル $N-well$) が、 V_{n2} よりも高い出力電圧 V_{out} に維持されるため、トランジスタ T_{p0} の P^+ 型ソース S_p と N 型ウェル $N-well$ との間にはフォワードバイアスが印加されない。よって、トランジスタ T_{p0} の P^+ 型ソース、 N 型ウェル $N-well$ および P 型基板から成る PNP バイポーラトランジスタはオンせず、ソースから基板への電流は流れない。トランジスタ T_{p0} のドレイン D_p も N 型ウェル $N-well$ と同じ電圧 V_{out} に維持されているので、トランジスタ T_{p0} のドレイン D_p から基板 $P-sub$ への電流も流れない。これは、 $t_2 \sim t_3$ において、トランジスタ T_{p0} における電圧降下 (損失) がほとんど無いことを意味する。

20

30

【0033】

次に、時点 t_3 において、再度、クロック信号 CLK が高レベルに立ち上がる。このとき、 t_1 の場合と同様に、トランジスタ T_{p0} は、オン状態になり、昇圧されたノード $N2$ の電圧 V_{n2} をノード $N3$ へ転送する。ノード $N3$ の電圧 V_{out} は、電圧 V_{n2} に従って上昇する。 t_4 以降、昇圧回路は、 $t_2 \sim t_4$ の昇圧動作を繰り返すことにより、出力電圧 V_{out} は、($V_{sup} + V_{tn3}$) まで昇圧される。

【0034】

本実施形態によれば、昇圧回路の複数の昇圧段のうち一部の昇圧段に P 型 MIS トランジスタを用い、その他の昇圧段に N 型 MIS トランジスタを用いている。即ち、本実施形態による昇圧回路は、 P 型 MIS トランジスタを用いた昇圧段および N 型 MIS トランジスタを用いた昇圧段の両方で混成されている。 N 型 MIS トランジスタを用いた各昇圧段においては、 N 型 MIS トランジスタはダイオード接続されているため、その N 型 MIS トランジスタの閾値電圧分だけ昇圧電圧に損失が生じる。しかし、 P 型 MIS トランジスタを用いた最終昇圧段では、閾値電圧による損失が無く、昇圧電圧をそのまま出力側へ転送することができる。最終昇圧段における電圧損失が解消される分、昇圧回路の昇圧効率が向上する。

40

【0035】

図4は、全昇圧段を N 型 MIS トランジスタで構成した比較例による昇圧回路と、本実施形態による P 型 MIS トランジスタを用いた昇圧段および N 型 MIS トランジスタを用

50

いた昇圧段の両方で混成された昇圧回路とのシミュレーション結果を示すグラフである。このグラフには、クロック信号に従って出力電圧 V_{out} が次第に上昇していく様子が示されている。

【0036】

比較例 (*Ref*) では、全昇圧段において閾値電圧分の電圧損失が生じているため、昇圧効率が比較的悪く、昇圧速度が比較的遅い。これに対し、本実施形態 (*L1*) では、最終段における閾値電圧分の電圧損失が無い場合、昇圧効率が比較例よりも良く、昇圧速度が比較例よりも速い。

【0037】

本実施形態のように1つの昇圧段のみにP型MISトランジスタを用いる場合、昇圧回路内の総昇圧段数が少ないほど、本実施形態の上記効果は大きい。例えば、NAND型フラッシュメモリに使用される昇圧回路は、昇圧段の個数は3~5個である。このように、昇圧段数が少ないと、1つの昇圧段における電圧損失を防止することによって、昇圧効率および昇圧速度を大きく改善することができる。具体的には、図1に示すように、昇圧段の個数が3個であり、かつ、最終昇圧段にP型MISトランジスタを用いた場合、本実施形態は、3つの昇圧段の総てにN型MISトランジスタを用いた昇圧回路に比べて電圧損失のほぼ3分の1を解消することができる。

【0038】

さらに、最終昇圧段にP型MISトランジスタ T_{p0} を用いることによって、トランジスタ T_{p0} のドレイン D_p (ノード N_3) における昇圧動作がない。もし、P型MISトランジスタ T_{p0} を最終昇圧段 BST_2 よりも前の段に設けた場合、トランジスタ T_{p0} のソース S_p だけでなくドレイン D_p もクロック信号を受けて交互に昇圧動作を行う。図5は、P型MISトランジスタを最終昇圧段よりも前の段に設けた昇圧回路の動作を示すグラフである。P型MISトランジスタを最終昇圧段よりも前の段に設けた場合、図5に示すように、 t_2 において、ソース電圧がクロックの立下りを受けて低下し、逆に、ドレイン電圧はクロックの立ち上がりを受けて上昇している。従って、トランジスタ T_{p0} のソース-ドレイン間の電位差 V_{ds} は非常に大きくなる。ドレイン電圧の瞬間的な上昇は、ウェル $N-well$ がドレイン D_p に接続されていたとしても、 P^+ ドレイン D_p とN型ウェル $N-well$ との間にフォワードバイアスを印加する原因となり得る。 P^+ ドレイン D_p とN型ウェル $N-well$ との間の接合部にフォワードバイアスが印加されると、ドレイン D_p から基板 $P-sub$ に電流が流れるおそれがある。

【0039】

これに対し、本実施形態では、P型MISトランジスタ T_{p0} を用いた昇圧段を最終段とすることによって、図3の t_2 に示すように、トランジスタ T_{p0} のドレイン D_p (ノード N_3) における昇圧動作を無くすることができる。トランジスタ T_{p0} のドレイン D_p (ノード N_3) における昇圧動作がないと、ドレイン電圧およびウェル電圧は、 $t_1 \sim t_3$ において等電圧に維持される。このため、 P^+ ドレイン D_p とN型ウェル $N-well$ との間にフォワードバイアスが印加されることがなくなる。

【0040】

また、トランジスタ T_{p0} のソース電圧は t_2 において低下しているため、 P^+ ソース S_p とN型ウェル $N-well$ との間の接合部には、バックバイアスが印加される。よって、 t_2 において、トランジスタ T_{p0} のソース S_p およびドレイン D_p から基板 $P-sub$ へ電流が流れることもない。

【0041】

さらに、P型MISトランジスタ T_{p0} を最終昇圧段 BST_2 よりも前の昇圧段に設けた場合、図5に示す t_3 において、トランジスタ T_{p0} のドレイン電圧は、次の昇圧段へ電荷が移動することによる電圧降下と、クロック信号の立下りによる電圧降下(カップリングによる電圧降下)とによって、低電圧に落ちる瞬間がある。このとき、トランジスタ T_{p0} のソース電圧は、クロック信号の立ち上がりを受けて上昇する。従って、 t_3 においても、トランジスタ T_{p0} のソース-ドレイン間の電位差 V_{ds} は非常に大きくなる。

ただし、 t_3 における電位差 V_{ds} は、 t_2 においてトランジスタ T_{p0} のソース - ドレイン間に印加される電圧とは逆極性の電位差となる。この場合、 P^+ 型ソース S_p と N 型ウェル $N-well$ との間の接合部に、フォワードバイアスが印加されるおそれがある。

【0042】

これに対し、本実施形態では、図3の t_3 に示すように、トランジスタ T_{p0} のドレイン D_p (ノード N_3)においてクロック信号による電圧降下がない。また、本実施形態では、トランジスタ T_{p0} は最終昇圧段に設けられているので、次の昇圧段へ電荷を供給しない。従って、トランジスタ T_{p0} のドレイン電圧およびウェル電圧は t_3 において低下しない。一方、トランジスタ T_{p0} のソース電圧(V_{n2})は、クロック信号の立ち上がりを受けて上昇している。このとき、トランジスタ T_{p0} のソース - ドレイン間の接合部に印加される電位差 V_{ds} は、図3に示す V_x となる。電位差 V_x は、図5の電位差 V_y に比べて小さい。従って、ソース S_p から基板 $P-sub$ へ電流が流れる確率は、図5に示す場合と比べて小さい。また、 V_x を調節することによって、即ち、クロック信号の振幅を調節することによって、 P^+ 型ソース S_p と N 型ウェル $N-well$ との間に印加されるフォワードバイアスを小さくし、ソース S_p から基板 $P-sub$ へ電流が流れることを防止できる。

10

【0043】

以上の t_2 および t_3 における動作の考察は、図3および図5の t_4 および t_5 、 t_6 および t_7 の各動作に当てはめることができる。

20

【0044】

このように、本実施形態では、 P 型 MIS トランジスタ T_{p0} を最終昇圧段に用いることによって、ソース S_p またはドレイン D_p から基板 $P-sub$ への電流を抑制することができる。

【0045】

本実施形態において、 P 型 MIS トランジスタ T_{p0} を最終昇圧段に用いることによって、トランジスタ T_{p0} ゲート G_p は、前昇圧段 BST_1 に入力されるクロック信号 $bCLK$ を受ければよく、また、トランジスタ T_{p0} が形成されている N 型ウェルは、ドレイン D_p と共通にノード N_3 に接続すればよい。これにより、上述した従来 $PMOS$ 型昇圧回路に必要とされたゲート電圧制御回路およびウェル電圧制御回路が不要となる。これにより、本実施形態は、レイアウト面積が小さく、かつ、昇圧効率の高い昇圧回路を実現することができる。つまり、本実施形態は、チップ面積を大きくすることなく、昇圧電圧の損失を抑制し、昇圧効率および昇圧速度を改善することができる。

30

【0046】

逆に、昇圧効率および昇圧速度を比較例と同等にするならば、その分、キャパシタ $C_0 \sim C_2$ の容量を小さくすることができる。キャパシタ $C_0 \sim C_2$ の容量を小さくすることは、キャパシタ $C_0 \sim C_2$ のレイアウト面積の縮小化、および、消費電流の低減に繋がる。

【0047】

(第2の実施形態)

第1の実施形態では、図3の時点 t_3 、 t_5 および t_7 において、ノード N_3 の電位の立ち上がりは、ノード N_2 の電位の立ち上がりよりも若干遅れる場合がある。この場合、トランジスタ T_{p0} のソース電圧(V_{n2})が電位差 V_x の分だけウェルの電圧(V_{out})よりも高くなる瞬間がある。

40

【0048】

第2の実施形態による昇圧回路は、トランジスタ T_{p0} におけるソース - ウェル間のフォワードバイアスを確実に防止するために、ウェル電圧制御回路を備える。

【0049】

図6(A)および図6(B)は、第2の実施形態による昇圧回路の構成を示す回路図である。図6(B)は、ウェル電圧制御回路の構成を示す。第2の実施形態による昇圧回路

50

では、トランジスタ T_{p0} のボディ (N型ウェル $N\text{-well}$) はノード $N3$ に接続されておらず、ウェル電圧制御回路に接続されている。第2の実施形態による昇圧回路のその他の構成は、第1の実施形態による昇圧回路の対応する構成と同様である。従って、ここでは、図6(A)の昇圧回路の詳細な説明は省略する。

【0050】

図6(B)に示すウェル電圧制御回路 V_{well_CNT} は、P型MISトランジスタ T_{p1} 、 T_{p2} (以下、トランジスタ T_{p1} 、 T_{p2} ともいう) を備えている。トランジスタ T_{p1} は、ノード $N2$ とN型ウェル $N\text{-well}$ との間に接続されており、ゲートは、ノード $N3$ (出力電圧 V_{out}) に接続されている。トランジスタ T_{p2} は、ノード $N3$ とN型ウェル $N\text{-well}$ との間に接続されており、ゲートは、ノード $N2$ に接続されている。

10

【0051】

ウェル電圧制御回路 V_{well_CNT} は、ノード $N2$ の電圧 V_{n2} とノード $N3$ の電圧 V_{out} との電位差がトランジスタ T_{p1} 、 T_{p2} の閾値電圧を超えた場合に動作する。トランジスタ T_{p1} および T_{p2} の閾値電圧はともに V_{tp} とする。

【0052】

電圧 V_{n2} が電圧 V_{out} よりも V_{tp} 以上高い場合、トランジスタ T_{p1} がオン状態になり、トランジスタ T_{p2} はオフ状態を維持する。これにより、 V_{out} よりも高いノード $N2$ の電圧 V_{n2} がウェル $N\text{-well}$ に接続される。一方、電圧 V_{out} が電圧 V_{n2} よりも V_{tp} 以上高い場合、トランジスタ T_{p2} がオン状態になり、トランジスタ T_{p1} はオフ状態を維持する。これにより、電圧 V_{n2} よりも高い電圧 V_{out} がウェル $N\text{-well}$ に印加される。即ち、ウェル電圧制御回路 V_{well_CNT} は、電圧 V_{out} および電圧 V_{n2} のうちいずれが高い電圧をウェル $N\text{-well}$ に印加する。その結果、 P^+ ソース S_p とN型ウェル $N\text{-well}$ との間の接合部、および、 P^+ ドレイン D_p とN型ウェル $N\text{-well}$ との間の接合部にフォワードバイアスが印加されることを抑制することができる。

20

【0053】

第2の実施形態による昇圧回路の動作は、図3を参照して説明した動作と同様である。ただし、時点 t_3 、 t_5 および t_7 のように、トランジスタ T_{p0} のソース電圧 (V_{n2}) がウェル電圧 (V_{out}) よりも高くなると、第2の実施形態では、ウェル電圧制御回路 V_{well_CNT} がノード $N2$ をウェル $N\text{-well}$ に接続する。即ち、ウェル電圧制御回路 V_{well_CNT} はソース電圧 (V_{n2}) をウェル $N\text{-well}$ に印加する。これにより、 P^+ ソース S_p とN型ウェル $N\text{-well}$ との間の接合部にフォワードバイアスが印加されることを抑制することができる。第2の実施形態のその他の動作は、第1の実施形態の動作と同様である。従って、第2の実施形態は、さらに、第1の実施形態の効果も得ることができる。

30

【0054】

第2の実施形態では、図6(B)に示すウェル電圧制御回路 V_{well_CNT} が必要となる。このため、第2の実施形態による昇圧回路のレイアウト面積は第1の実施形態による昇圧回路のそれよりも少し大きくなる。しかし、第2の実施形態による昇圧回路は、依然としてゲート電圧制御回路を必要としないため、従来のPMOS型昇圧回路に比べてレイアウト面積において小さい。

40

【0055】

なお、第2の実施形態の効果をも十分に発揮するために、トランジスタ T_{p1} 、 T_{p2} の閾値電圧は、トランジスタ T_{p0} の閾値電圧よりも低いことが好ましい。これにより、トランジスタ T_{p1} または T_{p2} がトランジスタ T_{p0} よりも速く動作することができ、トランジスタ T_{p0} の動作時にウェル電圧を好ましい電圧にすることができる。その結果、図3の時点 t_3 、 t_5 および t_7 のようにノード $N3$ の電位の立ち上がりノード $N2$ の電位の立ち上がりよりも若干遅れたとしても、昇圧回路は、トランジスタ T_{p0} におけるソース-ウェル間またはドレイン-ウェル間のフォワードバイアスを確実に防止すること

50

ができる。

【0056】

(第3の実施形態)

図7(A)および図7(B)は、第3の実施形態による昇圧回路の構成を示す回路図である。図7(B)は、ウェル電圧制御回路の構成を示す。第3の実施形態による昇圧回路は、複数の昇圧段BST1、BST2においてP型MISトランジスタTp0、Tp10を用いている点で第1の実施形態と異なる。第3の実施形態では、最終昇圧段BST2だけでなく、最終昇圧段BST2の前段のBST1が、P型MISトランジスタを含む。尚、第3～第5の実施形態では、トランジスタTn0が第1のMISトランジスタの例として記載され、トランジスタTp10が第2のMISトランジスタの例として記載され、並びに、トランジスタTp0が第3のMISトランジスタの例として記載されている。

10

【0057】

P型MISトランジスタTp10(以下、トランジスタTp10ともいう)は、ノードN1とノードN2との間に接続されており、そのゲートGpは、ノードN0に接続されており、クロックCLKを受ける。トランジスタTp10のソースSpがノードN1に接続されており、トランジスタTp10のドレインDpがノードN2に接続されている。トランジスタTp10およびキャパシタC1のペアが昇圧段BST1を構成している。図7(A)に示す昇圧回路のその他の構成は、図1に示す昇圧回路の対応する構成と同様である。

【0058】

トランジスタTp10の形成されているN型ウェルN-wellは、図7(B)に示すウェル電圧制御回路VwellCNTに接続されている。図7(B)に示すウェル電圧制御回路VwellCNTは、図6(B)に示すそれと基本的に同じ構成を有する。ただし、図7(B)に示すウェル電圧制御回路VwellCNTは、ノードN1およびノードN2に接続されており、電圧Vn1とVn2とのいずれか高い電圧をトランジスタTp10のウェルN-wellへ印加する。これにより、トランジスタTp10において、P⁺型ソースSpとN型ウェルN-wellとの間の接合部、および、P⁺型ドレインDpとN型ウェルN-wellとの間の接合部にフォワードバイアスが印加されることを抑制することができる。

20

【0059】

昇圧段BST1に関する動作についてより詳細に説明する。尚、昇圧段BST0およびBST2の各動作は、第1の実施形態のそれらの動作と同様であるので、その説明は省略する。

30

【0060】

ノードN1が昇圧段BST0からの電荷を受けた後、クロックbCLKが立ち上がった時に、ノードN1の電圧Vn1が昇圧される。このとき、クロック信号CLKは、低レベルに立ち下がっているため、トランジスタTp10はオン状態になっている。よって、昇圧された電圧Vn1はノードN2に転送される。また、トランジスタTp10は、トランジスタTp0と同様に、昇圧された電圧から閾値電圧だけ低下することを防止することができる。

40

【0061】

ノードN1が昇圧されたとき、ノードN1の電圧Vn1がノードN2の電圧Vn2よりも高いので、ウェル電圧制御回路VwellCNTは、ノードN1をトランジスタTp10のウェルN-wellに接続する。これにより、電圧Vn2よりも高い電圧Vn1がウェルN-wellに印加される。一方、ノードN2が昇圧されたとき、ノードN2の電圧Vn2がノードN1の電圧Vn1よりも高いので、ウェル電圧制御回路VwellCNTは、ノードN2をトランジスタTp1のウェルN-wellに接続する。これにより、電圧Vn1よりも高い電圧Vn2がウェルN-wellに印加される。その結果、トランジスタTp10においては、P⁺型ソースSpとN型ウェルN-wellとの間の接合部、および、P⁺型ドレインDpとN型ウェルN-wellとの間の接合部にフォワード

50

バイアスが印加されることを抑制することができる。

【0062】

その後、ノードN2の電圧 V_{n2} は、クロック信号CLKで昇圧されて、トランジスタTp0を介してノードN3へ転送される。第3の実施形態による昇圧回路のその他の動作は、第1の実施形態の動作と同様である。

【0063】

第3の実施形態では、複数の昇圧段がP型MISトランジスタで構成されている。これにより、昇圧回路は、閾値電圧による損失をさらに低減し、さらなる昇圧効率の改善および昇圧速度の高速化を実現することができる。第3の実施形態の最終昇圧段BST2の構成および動作は、第1の実施形態の最終昇圧段BST2のそれらと同様である。従って、

10

【0064】

第3の実施形態では、図7(B)に示すウェル電圧制御回路VwellCNTが必要となる。このため、第3の実施形態による昇圧回路のレイアウト面積は第1の実施形態による昇圧回路のそれよりも少し大きくなる。しかし、第3の実施形態による昇圧回路は、依然としてゲート電圧制御回路を必要としないため、従来のPMOS型昇圧回路に比べてレイアウト面積において小さい。

【0065】

尚、第3の実施形態の効果を十分に発揮するために、トランジスタTp1、Tp2の閾値電圧は、トランジスタTp10の閾値電圧よりも低いことが好ましい。これにより、トランジスタTp1またはTp2がトランジスタTp10よりも速く動作することができ、トランジスタTp10の動作時にウェル電圧を好ましい電圧にすることができる。その結果、昇圧回路は、トランジスタTp0におけるソース-ウェル間またはドレイン-ウェル間のフォワードバイアスを確実に防止することができる。

20

【0066】

(第4の実施形態)

図8(A)~図8(C)は、第4の実施形態による昇圧回路の構成を示す回路図である。図8(B)は、第1のウェル制御回路VwellCNT1の構成を示す。図8(C)は、第2のウェル制御回路VwellCNT2の構成を示す。

【0067】

第4の実施形態は、最終昇圧段BST2およびその前段の昇圧段BST1にP型MISトランジスタTp0およびTp10を用いている点で第3の実施形態と同様である。しかし、第4の実施形態では、トランジスタTp0のウェルNwell2は、ノードN3に接続されておらず、図8(C)に示された第2のウェル制御回路VwellCNT2に接続されている点で第3の実施形態と異なる。第4の実施形態のその他の構成は、第3の実施形態の対応する構成と同様でよい。従って、図8(B)の第1のウェル制御回路VwellCNT1は、図7(B)のウェル制御回路VwellCNTと同じ構成である。即ち、第1のウェル制御回路VwellCNT1の入力は、ノードN1およびN2に接続されており、その出力はトランジスタTp10のN型ウェルNwell1に接続されている。これにより、第1のウェル制御回路VwellCNT1は、ノードN1の電圧 V_{n1} とノードN2の電圧 V_{n2} とのいずれかが高い電圧をトランジスタTp10のウェルNwell1に印加する。その結果、トランジスタTp10において、P⁺ソースSpとN型ウェルNwell1との間の接合部、および、P⁺ドレインDpとN型ウェルNwell1との間の接合部にフォワードバイアスが印加されることを抑制することができる。

30

40

【0068】

また、図8(C)の第2のウェル制御回路VwellCNT2は、図6(B)のウェル制御回路VwellCNTと同じ構成である。第2のウェル制御回路VwellCNT2は、P型MISトランジスタTp3およびTp4(以下、それぞれトランジスタTp3およびTp4ともいう)から構成される。図7(C)のトランジスタTp3は図6(

50

B)のトランジスタTp1に対応し、図7(C)のトランジスタTp4は図6(B)のトランジスタTp2に対応する。第2のウェル制御回路VwellCNT2の入力は、ノードN2およびN3に接続されており、その出力はトランジスタTp0のウェルNwell2に接続されている。これにより、第2のウェル制御回路VwellCNT2は、ノードN2の電圧Vn2とノードN3の電圧Voutとのいずれか高い電圧をトランジスタTp0のウェルwell2に印加する。その結果、トランジスタTp0において、P⁺ソースSpとN型ウェルNwell2との間の接合部、および、P⁺ドレインDpとN型ウェルNwell2との間の接合部にフォワードバイアスが印加されることを抑制することができる。

【0069】

第4の実施形態は、第1から第3の実施形態を組み合わせた形態である。よって、第4の実施形態は、第1から第3の実施形態の効果を併せ持つ。

【0070】

尚、第4の実施形態の効果を十分に発揮するために、トランジスタTp1、Tp2の閾値電圧は、トランジスタTp0の閾値電圧よりも低いことが好ましい。これにより、トランジスタTp1またはTp2がトランジスタTp0よりも速く動作することができ、トランジスタTp0の動作時にウェル電圧を好ましい電圧にすることができる。また、トランジスタTp3、Tp4の閾値電圧は、トランジスタTp10の閾値電圧よりも低いことが好ましい。これにより、トランジスタTp3またはTp4がトランジスタTp10よりも速く動作することができ、トランジスタTp10の動作時にウェル電圧を好ましい電圧にすることができる。その結果、昇圧回路は、トランジスタTp0およびTp10におけるソース-ウェル間またはドレイン-ウェル間のフォワードバイアスを確実に防止することができる。

【0071】

(第5の実施形態)

図9(A)および図9(B)は、第5の実施形態による昇圧回路の構成を示す回路図である。図9(B)は、ウェル制御回路VwellCNTの構成を示す。第5の実施形態は、図9(B)のウェル制御回路VwellCNTにおいて第4の実施形態と異なる。第5の実施形態のその他の構成は、第4の実施形態の対応する構成と同様でよい。ただし、第5の実施形態のトランジスタTp0およびTp10のN型ウェルNwellは、共通にウェル制御回路VwellCNTに接続されている。

【0072】

図9(B)のウェル制御回路VwellCNTは、P型MISトランジスタTp1、Tp2およびTp11(以下、それぞれトランジスタTp1、Tp2およびTp11ともいう)を備えている。トランジスタTp1およびTp2は、図8(B)に示すトランジスタTp1およびTp2にそれぞれ対応する。

【0073】

トランジスタTp11は、ノードN3とウェルNwellとの間に接続されている。トランジスタTp11のゲートは、トランジスタTp2のゲートと共通にノードN1に接続されている。トランジスタTp1、Tp2、Tp11が形成されているN型ウェルは、トランジスタTp0、Tp10が形成されているN型ウェルNwellと共通である。

【0074】

図9(B)に示すトランジスタTp1およびTp2の動作は、図8(B)に示すトランジスタTp1およびTp2の動作と同様であるので、その説明を省略する。

【0075】

トランジスタTp11は、ゲートにノードN1からのクロック信号bCLKを受けて動作する。クロック信号bCLKが低レベルに低下したとき、トランジスタTp11およびTp2がオン状態となる。このとき、トランジスタTp0もオン状態であるので、ノードN2とN3とが導通状態となる。ノードN2の電圧Vn2およびノードN3の電圧Voutは、クロック信号CLKにより昇圧されるので、ノードN1よりも高い電圧Vn2また

10

20

30

40

50

は V_{out} がウェル $N - well$ に印加される。

【0076】

一方、クロック信号 $bCLK$ が高レベルに立ち上がったとき、トランジスタ T_{p11} および T_{p2} がオフ状態となり、クロック信号 CLK の立ち下がりによりトランジスタ T_{p1} がオンになる。このとき、クロック $bCLK$ によって昇圧されるノード $N1$ の電圧 V_{n1} がウェル $N - well$ に印加される。

【0077】

このようにウェル制御回路 V_{well_CNT} は、ノード $N1 \sim N3$ のうち最も電圧の高いノードをウェル $N - well$ に接続することができる。これにより、トランジスタ T_{p0} および T_{p10} において、 P^+ ソース S_p と N 型ウェル $N - well$ との間の接合部、および、 P^+ ドレイン D_p と N 型ウェル $N - well$ との間の接合部にフォワードバイアスが印加されることを抑制することができる。即ち、第5の実施形態は、第4の実施形態と同様の効果を得ることができる。

10

【0078】

なお、第5の実施形態の効果を十分に発揮するために、トランジスタ T_{p1} 、 T_{p2} および T_{p11} の閾値電圧は、トランジスタ T_{p0} および T_{p10} の閾値電圧よりも低いことが好ましい。これにより、トランジスタ T_{p1} 、 T_{p2} および T_{p11} がトランジスタ T_{p0} および T_{p10} よりも速く動作することができ、トランジスタ T_{p0} および T_{p10} の動作時にウェル電圧を好ましい電圧にすることができる。その結果、昇圧回路は、トランジスタ T_{p0} および T_{p10} におけるソース - ウェル間またはドレイン - ウェル間の

20

【0079】

以上の第1から第5の実施形態は、昇圧回路が P 型基板上に形成されるものとして記載されている。しかし、昇圧回路の各構成要素の半導体の導電型を変更することによって、昇圧回路は N 型基板上に形成されてもよい。この場合であっても、各実施形態の効果は失われない。

【符号の説明】

【0080】

$BST0 \sim BST2$... 昇圧段

$T_{n0} \sim T_{n4}$... N 型 MIS トランジスタ

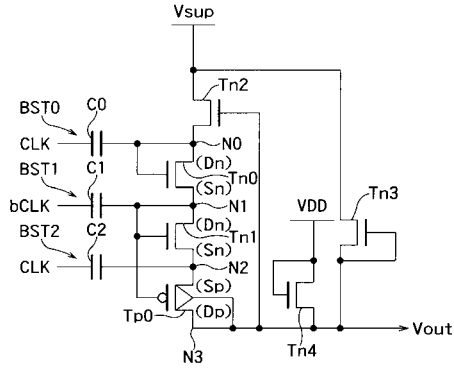
$T_{p0} \sim T_{p11}$... P 型 MIS トランジスタ

$C0 \sim C2$... キャパシタ

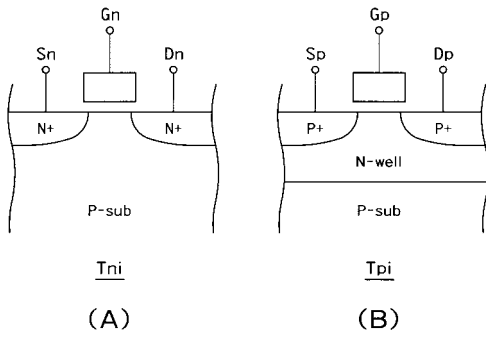
$N0 \sim N3$... ノード

30

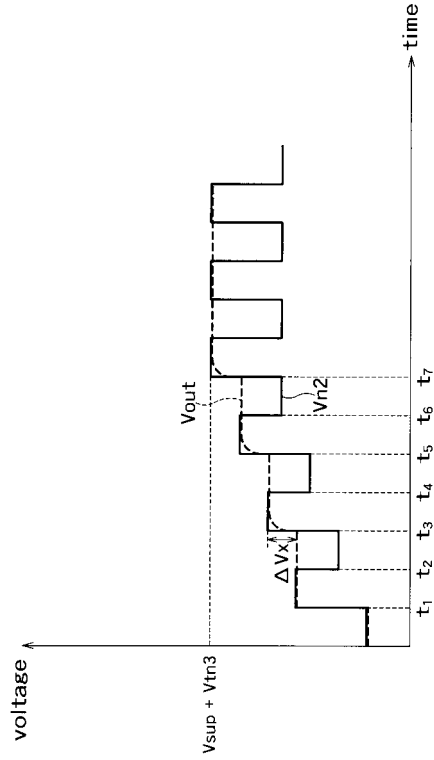
【 図 1 】



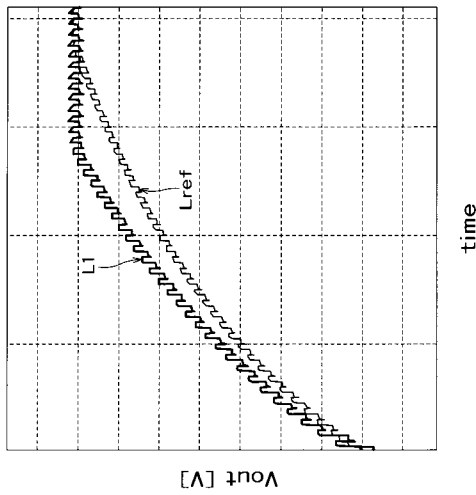
【 図 2 】



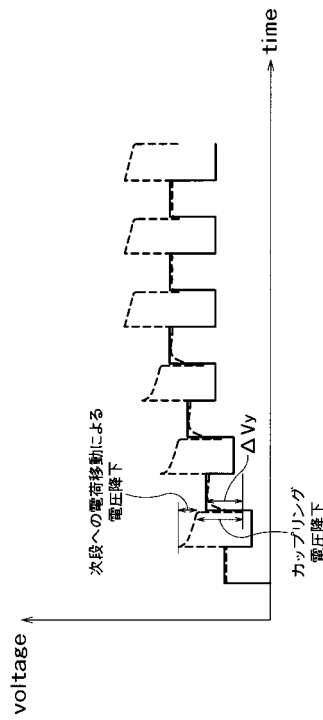
【 図 3 】



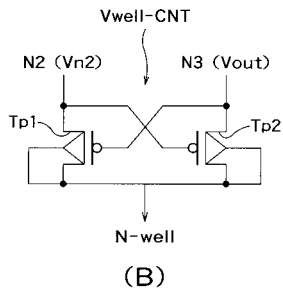
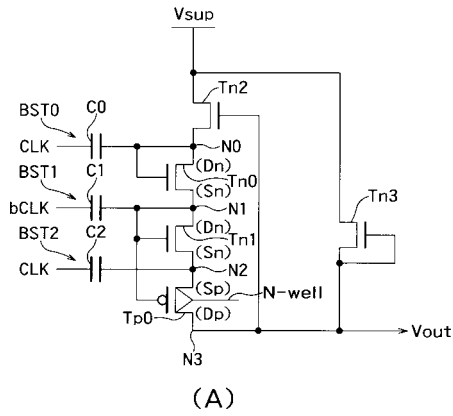
【 図 4 】



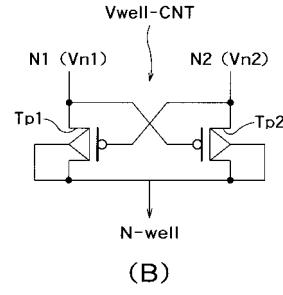
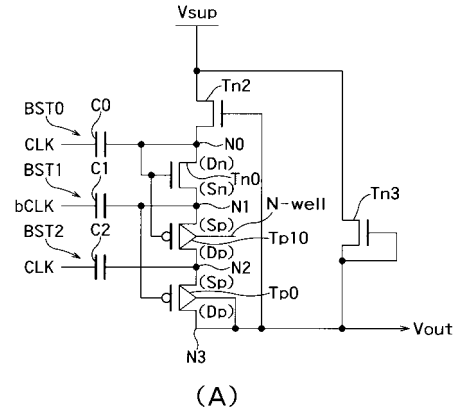
【 図 5 】



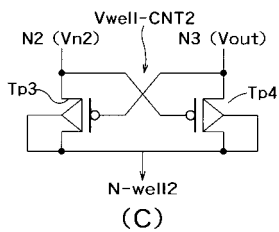
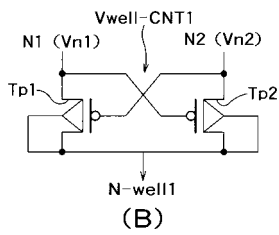
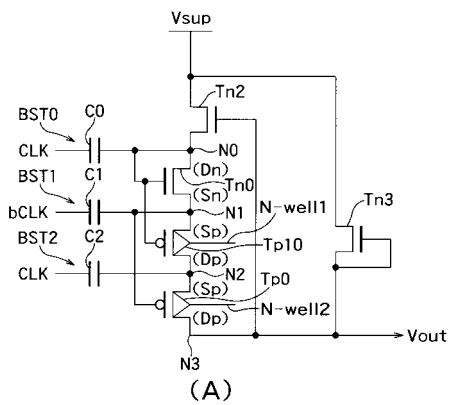
【 図 6 】



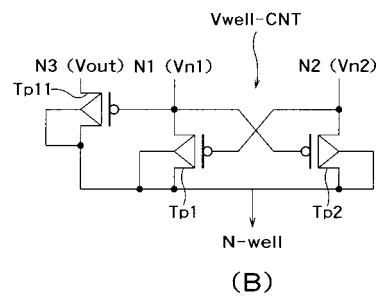
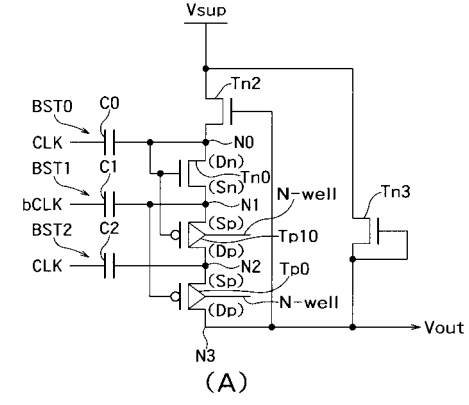
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(72)発明者 日 岡 健
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 高 島 大三郎
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F038 AV06 BG03 CD06 CD16 EZ20
5H730 AA14 AA15 BB02 BB57 BB98 DD04 DD32 FG01 FG10