(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7460601号
(P7460601)

(45)発行日　令和6年4月2日(2024.4.2)

(24)登録日　令和6年3月25日(2024.3.25)

(51)国際特許分類

H04N	*25/77 (2023.01)*	H04N	25/77
H04N	*25/589 (2023.01)*	H04N	25/589
H04N	*25/771 (2023.01)*	H04N	25/771

FI

請求項の数　19　（全22頁）

(21)出願番号　特願2021-506463(P2021-506463)
(86)(22)出願日　令和1年8月22日(2019.8.22)
(65)公表番号　特表2021-533659(P2021-533659A)
(43)公表日　令和3年12月2日(2021.12.2)
(86)国際出願番号　PCT/US2019/047696
(87)国際公開番号　WO2020/041584
(87)国際公開日　令和2年2月27日(2020.2.27)
審査請求日　令和4年7月22日(2022.7.22)
(31)優先権主張番号　62/721,183
(32)優先日　平成30年8月22日(2018.8.22)
(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者　521013518
ギガジョット テクノロジー，インコーポレイテッド
アメリカ合衆国 カリフォルニア州 ９１２０３ グレンデイル ノース ブランド ブールヴァード ３３０ シーティー コーポレイション システム
(74)代理人　100094569
弁理士　田中 伸一郎
(74)代理人　100139712
弁理士　那須 威夫
(74)代理人　100121979
弁理士　岩崎 吉信
(72)発明者　マ，ジャジュ
アメリカ合衆国，カリフォルニア州 ９
最終頁に続く

(54)【発明の名称】　分割読み出し画像センサ

(57)【特許請求の範囲】

【請求項１】

集積回路画像センサであって、

露光間隔中に光検出要素の飽和容量未満の光電荷を蓄積する光検出要素と、

前記光検出要素に結合され、第１の転送ゲートおよび第１の浮動拡散ノードを有する第１の読み出し回路と、

前記光検出要素に結合され、第２の転送ゲートおよび第２の浮動拡散ノードを有する第２の読み出し回路と、

（ｉ）前記露光間隔の終了時に前記第１の転送ゲートをオンにすることによって前記蓄積された光電荷の第１の部分を前記光検出要素から前記第１の浮動拡散ノードに転送することと、前記第１の浮動拡散ノードに転送された前記光電荷に対応する第１の出力信号を前記第１の読み出し回路内で生成することと、を可能にし、（ｉｉ）前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後、かつ任意の後続の露光間隔の開始の前に、前記第２の転送ゲートをオンにすることによって前記蓄積された光電荷の第２の部分を前記光検出要素から前記第２の浮動拡散ノードに転送することと、前記第２の浮動拡散ノードに転送された前記光電荷に対応する第２の出力信号を前記第２の読み出し回路内で生成することと、を可能にし、前記蓄積された光電荷の前記第２の部分は、前記光検出要素から前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後に前記光検出要素内に残っている光電荷を含む、読み出し制御回路と、

（ｉ）前記蓄積された光電荷の前記第１の部分が前記光検出要素内に蓄積された前記光

電荷の全体を構成することを閾値との前記第１の出力信号の比較が示す場合、前記第１の出力信号に少なくとも部分的に基づき、かつ前記第２の出力信号には基づかずにデジタル画素値を生成し、（ｉｉ）前記蓄積された光電荷の前記第１の部分が前記光検出要素内に蓄積された前記光電荷の全体を構成しないことを前記閾値との前記第１の出力信号の前記比較が示す場合、前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて前記デジタル画素値を生成する列出力回路と、を備える、集積回路画像センサ。

【請求項２】

前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成する列出力回路をさらに備える、請求項１に記載の集積回路画像センサ。

【請求項３】

前記列出力回路は、第１の列出力ラインを介して前記第１の出力信号を受信し、第２の列出力ラインを介して前記第２の出力信号を受信するように結合されている、請求項２に記載の集積回路画像センサ。

【請求項４】

前記列出力回路は、前記第１および第２の出力信号にそれぞれ少なくとも部分的に基づいて、第１および第２のデジタル値を生成するアナログ－デジタル（Ａ／Ｄ）変換回路と、前記第１および第２のデジタル値に少なくとも部分的に基づいて、前記デジタル画素値を生成するマージ回路と、を備える、請求項２に記載の集積回路画像センサ。

【請求項５】

前記アナログ－デジタル（Ａ／Ｄ）変換回路は、前記第１および第２の出力信号の時間差のある同時処理を提供するための個別の構成要素を含む、請求項４に記載の集積回路画像センサ。

【請求項６】

前記第１の読み出し回路は、前記第１の浮動拡散ノードと前記光検出要素との間に結合された第１の転送ゲートを備え、前記第２の読み出し回路は、前記第２の浮動拡散ノードと前記光検出要素との間に結合された第２の転送ゲートを備え、前記蓄積された光電荷の前記第１および第２の部分の、前記第１および第２の浮動拡散ノードへの転送を可能にする前記第１および第２の読み出し回路は、第１の間隔中に、前記第１の転送ゲートをオンにして、前記蓄積された光電荷の前記第１の部分の、前記第１の浮動拡散ノードへの転送を可能にし、前記第１の間隔に続く第２の間隔中に、前記第２の転送ゲートをオンにして、前記蓄積された光電荷の前記第２の部分の、前記第２の浮動拡散ノードへの転送を可能にする回路を備える、請求項１に記載の集積回路画像センサ。

【請求項７】

前記第１の読み出し回路は、前記蓄積された光電荷の前記第１の部分内の各成分光電荷キャリアが、前記第１の浮動拡散ノードに転送されると、前記第１の浮動拡散ノードにおいて第１の電圧ステップを生成するような第１の変換ゲインを有し、

前記第２の読み出し回路は、前記蓄積された光電荷の前記第２の部分内の各成分光電荷キャリアが、前記第２の浮動拡散ノードに転送されると、前記第２の浮動拡散ノードにおいて第２の電圧ステップを生成するような第２の変換ゲインを有し、前記第２の電圧ステップは前記第１の電圧ステップよりも小さい、請求項１に記載の集積回路画像センサ。

【請求項８】

前記第１の浮動拡散ノードの光電荷容量および前記第２の浮動拡散ノードの光電荷容量は、集合的に、前記光検出要素の光電荷容量を満たすか、または超える、請求項１に記載の集積回路画像センサ。

【請求項９】

前記第１の浮動拡散ノードの前記光電荷容量は、前記第１および第２の浮動拡散ノード上の達成可能な最小電圧と最大電圧との間の差によって制約され、かつ前記第１の読み出し回路の第１の変換ゲインに比例し、前記第２の浮動拡散ノードの前記光電荷容量は、前記第１および第２の浮動拡散ノード上の前記達成可能な最小電圧と最大電圧との間の前記差によって制約され、かつ前記第２の読み出し回路の第２の変換ゲインに比例し、前記第

１の変換ゲインは、前記第２の変換ゲインよりも高い、請求項８に記載の集積回路画像センサ。

【請求項１０】

前記蓄積された光電荷の前記第２の部分の、前記光検出要素から前記第２の浮動拡散ノードへの転送を可能にする前記第２の読み出し回路は、前記蓄積された光電荷の前記第１の部分が、前記光検出要素内に蓄積された前記光電荷の全体を構成することを、閾値との前記第１の出力信号の比較が示しているかどうかに応じて、前記蓄積された光電荷の前記第２の部分の、前記光検出要素から前記第２の浮動拡散ノードへの転送を選択的に可能にする回路を備える、請求項１に記載の集積回路画像センサ。

【請求項１１】

集積回路画像センサ内の動作方法であって、

露光間隔中に光検出要素内に前記光検出要素の飽和容量未満の光電荷を蓄積することと、

前記露光間隔の終了時に第１の転送ゲートをオンにして前記蓄積された光電荷の第１の部分を前記光検出要素から第１の浮動拡散ノードに転送することと、

前記第１の浮動拡散ノードに転送された前記光電荷に対応する第１の出力信号を生成することと、

前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後、かつ任意の後続の露光間隔の開始の前に、第２の転送ゲートをオンにして前記蓄積された光電荷の第２の部分を前記光検出要素から第２の浮動拡散ノードに転送することであって、前記蓄積された光電荷の前記第２の部分は、前記光検出要素から前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後に前記光検出要素内に残っている光電荷を含む、前記第２の浮動拡散ノードに転送することと、

前記第２の浮動拡散ノードに転送された前記光電荷に対応する第２の出力信号を生成することと、

前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成することと、を含み、

前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成することは、前記蓄積された光電荷の前記第１の部分が前記光検出要素内に蓄積された前記光電荷の全体を構成しないことを、前記第１の出力信号と閾値との比較が示す場合、前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成することを含む、方法。

【請求項１２】

前記第１の出力信号を生成することは、前記光検出要素を包含する画素を含む画素の列に結合された第１の列出力ライン上に前記第１の出力信号を生成することを含み、前記第２の出力信号を生成することは、前記画素の列に結合された第２の列出力ライン上に前記第２の出力信号を生成することを含む、請求項１１に記載の方法。

【請求項１３】

前記デジタル画素値を生成することは、前記第１および第２の出力信号にそれぞれ少なくとも部分的に基づいて、第１および第２のデジタル値を生成することと、前記第１および第２のデジタル値に少なくとも部分的に基づいて、前記デジタル画素値を生成することと、を含む、請求項１１に記載の方法。

【請求項１４】

前記第１および第２のデジタル値は、前記第１および第２の出力信号の時間差のある同時処理を提供するアナログ－デジタル（Ａ／Ｄ）変換回路によって生成される、請求項１３に記載の方法。

【請求項１５】

前記第１の転送ゲートは、前記光検出要素と前記第１の浮動拡散ノードとの間に結合され、前記第２の転送ゲートは、前記光検出要素と前記第２の浮動拡散ノードとの間に結合される、請求項１１に記載の方法。

【請求項１６】

前記蓄積された光電荷の前記第１の部分を前記光検出要素から前記第１の浮動拡散ノードに転送することは、前記蓄積された光電荷の前記第１の部分を、第１の変換ゲインで前記光検出要素から前記第１の浮動拡散ノードに転送することを含み、前記蓄積された光電荷の前記第２の部分を前記光検出要素から前記第２の浮動拡散ノードに転送することは、前記蓄積された光電荷の前記第２の部分を、第２の変換ゲインで前記光検出要素から前記第２の浮動拡散ノードに転送することを含み、前記第２の変換ゲインは前記第１の変換ゲインより低い、請求項１１に記載の方法。

【請求項１７】

前記第１の浮動拡散ノードの光電荷容量および前記第２の浮動拡散ノードの光電荷容量は、集合的に、前記光検出要素の光電荷容量を満たすか、または超える、請求項１１に記載の方法。

【請求項１８】

前記蓄積された光電荷の前記第２の部分を前記光検出要素から前記第２の浮動拡散ノードに転送することは、前記蓄積された光電荷の前記第１の部分が前記光検出要素内に蓄積された前記光電荷の全体を構成することを、閾値を超える前記第１の出力信号が示しているかどうかに応じて、前記蓄積された光電荷の前記第２の部分を前記光検出要素から前記第２の浮動拡散ノードに選択的に転送することを含む、請求項１１に記載の方法。

【請求項１９】

集積回路画像センサであって、

露光間隔中に光検出要素の飽和容量未満の光電荷を蓄積する光検出要素と、

第１および第２の浮動拡散ノードと、

前記露光間隔の終了時に第１の転送ゲートをオンにして前記蓄積された光電荷の第１の部分を前記光検出要素から前記第１の浮動拡散ノードに転送する手段と、

前記第１の浮動拡散ノードに転送された前記光電荷に対応する第１の出力信号を生成する手段と、

前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後、かつ任意の後続の露光間隔の開始の前に、前記蓄積された光電荷の第２の部分を前記光検出要素から前記第２の浮動拡散ノードに転送する手段であって、前記蓄積された光電荷の前記第２の部分は、前記光検出要素から前記第１の浮動拡散ノードへの前記蓄積された光電荷の前記第１の部分の転送の後に前記光検出要素内に残っている光電荷を含む、前記第２の浮動拡散ノードに転送する手段と、

前記第２の浮動拡散ノードに転送された前記光電荷に対応する第２の出力信号を生成する手段と、

前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成する手段と、を備え、

前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいて、デジタル画素値を生成することは、前記蓄積された光電荷の前記第１の部分が前記光検出要素内に蓄積された前記光電荷の全体を構成しないことを、前記第１の出力信号と閾値との比較が示す場合、前記第１の出力信号および前記第２の出力信号に少なくとも部分的に基づいてデジタル画素値を生成することを含む、集積回路画像センサ。

【発明の詳細な説明】

【技術分野】

【０００１】

関連出願の相互参照

本出願は、２０１８年８月２２日に出願された米国仮出願第６２／７２１，１８３号の優先権を主張し、参照により組み込む。

【０００２】

本明細書の開示は、高ダイナミックレンジ画像センサに関する。

【０００３】

イントロダクション

最新のＣＭＯＳ（相補型金属酸化物半導体）画像センサのダイナミックレンジは、一般に、高照度条件では画素飽和容量によって制約され、低照度条件では入力換算読み出しノイズによって制約される。４トランジスタ（４Ｔ）画素では、光ダイオードから浮動拡散読み出しノードへの光電荷転送の変換ゲインを上げることで、すなわち、光ダイオードに対する浮動拡散の容量を低減させることで、入力換算読み出しノイズを減少させることができ、その結果、転送された各光キャリア（Ｎ型ＭＯＳ画素実装の電子）は、より大きな読み出し電圧ステップをもたらす。一方、変換ゲインを所与の点を超えて増加させると、完全な光電荷の転送が妨げられ（浮動拡散は、転送される電子が少なくなると出力電圧の限界に達する）、画素の有効な飽和容量が減少し、高照度の感度が低下する。

【図面の簡単な説明】

【０００４】

本明細書に開示のさまざまな実施形態は、添付の図面の図において、限定としてではなく例として示されており、これらの図面では、同様の参照符号は、同様の要素を指す。

【０００５】

【図１】最大高照度性能に必要な完全な光電荷転送を損なうことなく、高変換ゲインの読み出しを可能にする分割読み出し画素の実施形態を示す。

【図２】高照度条件下および低照度条件下での図１の分割読み出し画素内の例示的な光電荷転送動作を示す。

【図３】分割読み出し画素のアレイを有する集積回路撮像システムの一実施形態を示す。

【図４】図３の読み出しコントローラによって実施され得る代替の読み出しシーケンスを示す。

【図５】画素アレイ内の複数（またはすべて）の分割読み出し画素列間で列読み出し論理回路が共有される代替の撮像ＩＣアーキテクチャを示す。

【図６】シングルスロープＡ／Ｄ変換器が、画素アレイ内の複数（またはすべて）の分割読み出し画素列の読み出し論理回路パスにわたって分散されている別の撮像アーキテクチャを示す。

【図７】一次および二次チャネルの読み出しの例示的なパイプライン化を示し、時間差一次チャネル相関ダブルサンプリング（ＣＤＳ）動作および二次チャネルＣＤＳ動作を示す。

【図８】図３に示されるメモリおよび読み出しマージ論理回路構成要素を実装するために使用され得る列毎のメモリ要素および読み出しマージ論理回路の実施形態を示す。

【図９】一次チャネル出力の閾値未満／閾値超過条件にしたがって、二次読み出しチャネルの寄与を選択的にゼロにする代替の読み出しマージ論理回路の実施形態を示す。

【図１０】不均一な一次および二次読み出しチャネル変換ゲインと、光ダイオードの飽和容量と集合的に一致する対応する浮動拡散ノード容量と、を有する分割読み出し画素の実施形態を示す。

【図１１】各画素内の一次チャネル／二次チャネル指定が、較正時間ノイズ評価にしたがって、選択的かつプログラム的に交換され得る分割読み出し画像センサの実施形態を示す。

【図１２】１つの画素の二次読み出しチャネルが、隣接する画素の一次読み出しチャネルとして機能する分割読み出し画素アレイの実施形態を示し、これは、従来の単一読み出しチャネル画素アレイの数またはそれに近い数の総トランジスタ数を維持する、画素アレイ全体にわたる共有読み出しチャネル構成である。

【図１３】図１２による、共有チャネル分割読み出し画素アレイを有する撮像装置の列読み出し論理回路において実装され得るチャネル多重化構成を示す。

【図１４】図１３に示すものに対応するチャネルマルチプレクサの例示的な動作を示す。

【図１５】画素毎に４つの共有読み出しチャネルを有する分割読み出し画素アレイの一部を示す。

【図１６】図１５の画素アレイの所与の行内の画素の各々からの４つの異なるチャネルの読み出しに関する例示的なチャネル多重化構成を示す。

【発明を実施するための形態】

【０００６】

光検出要素毎に２つ以上の読み出しチャネルである、一次読み出しチャネルと、１つ以上の二次読み出しチャネルと、を有する集積回路画像センサが、本明細書の様々な実施形態で開示される。多くの実施形態では、光検出要素に結合された読み出しチャネルの各々は、それぞれの転送ゲート／浮動拡散ノードペアを含み、一次読み出しチャネルは、光検出要素の飽和容量を下回る光電荷転送容量と引き換えに、少なくとも、低照度の感度（非常に低い入力換算ノイズ）を高める非常に高い変換ゲインを有する。１つ以上の二次読み出しチャネルを介した読み出しは、光検出要素から（一次チャネルの読み出し後の）残留光電荷を排出し、光検出要素の飽和容量まで、組み合わされた一次／二次チャネル光電荷転送（および読み出し）を実行し、それによって高照度の感度（およびダイナミックレンジ）を最大化する。それに応じて、高照度の画素読み出しは、少なくとも２つの相に分割される。一次チャネルを介した相１の読み出しでは、光検出器に蓄積された電荷の一部が一次チャネルの浮動拡散ノードに転送され、一次読み出し信号が生成され、続いて、二次チャネルの読み出しを介した相２の読み出しでは、光検出器内の残留／残存電荷が二次チャネルの浮動拡散ノードに転送されて、二次読み出し信号が生成される。分割読み出し信号（一次および二次）は、デジタル化の前または後に組み合わされて、所与の露光間隔中に光検出器内に蓄積された総光電荷に対応する複合読み出し信号をもたらす。複数の二次読み出しチャネルを有する実施形態では、一次読み出し信号は、２つ以上の連続して生成された二次読み出し信号と組み合わされて、複合読み出し信号を生成する。他の実施形態では、一次および／または二次読み出しチャネルは、反復して３つ以上の読み出し信号をもたらし（例えば、一次チャネルの読み出し、二次チャネルの読み出し、ついで別の一次チャネルの読み出し、など）、それらを組み合わせて複合読み出し信号をもたらすことを可能にし得る。さらに他の実施形態では、一次チャネルの読み出しおよび二次チャネルの読み出し内の成分の動作をパイプライン化して（時間間隔は重複するが、交互に実行して）、多相読み出し時間を短縮し、一次および二次チャネルは、不均一な変換ゲインをともなって実装することができ、チャネル共有または非共有のアナログーデジタル変換回路を実装することができ、変換ゲイン較正動作を実行して、合成出力信号／値への組み合わせの前または一部として、成分である読み出し信号／値を正規化し、読み出しチャネルは、（デバイスの起動時またはデバイスの製造中に実行される）ノイズ評価またはその他の要因に基づいて、一次または二次としてプログラム的に確立され、および／または読み出し回路が２つ以上の分割読み出し（マルチ読み出しチャネル）画素間で共有されて、トランジスタ数を低減し／画素アレイ内のフィルファクタを増大させる。これらおよび他の特徴および実施形態は、以下により詳細に説明される。

【０００７】

図１は、最大高照度性能に必要な完全な光電荷転送を損なうことなく、高変換ゲインの読み出しを可能にし、したがって従来の画素アーキテクチャよりも高いダイナミックレンジを達成する分割読み出し画素１００の実施形態を示す。分割読み出し画素１００は、光検出要素１０５、つまりこの例および以下に提示される他の例においてはｐｉｎ光ダイオード（ＰＰＤ）に結合された２つの読み出しチャネル、一次１０１と二次１０３とを含むが、他の任意の実用的な電荷蓄積光検出器をすべての場合において使用することができる。構成要素のサイズと物理的なレイアウトの考えられる違いを除いて、一次および二次読み出しチャネルは、各チャネルが、それぞれの転送ゲート（ＴＧ１、ＴＧ２）と、浮動拡散ノード（ＦＤ１、ＦＤ２）と、ソースフォロワトランジスタ（ＳＦ１、ＳＦ２）と、リセットトランジスタ（ＲＳＴ１、ＲＳＴ２）と、読み出し選択トランジスタ（ＳＥＬ１、ＳＥＬ２）と、を含んで、同じように実装される。

【０００８】

決定性読み出しモードで動作する場合、一次読み出しチャネルおよび二次読み出しチャネルは、連続して（すなわち、露光間隔中に光ダイオード１０５内に光電荷が蓄積した後）有効になり、列出力ラインＯＵＴ１およびＯＵＴ２上にそれぞれ一次および二次出力信号を生成する。一次チャネルの読み出しは、浮動拡散ＦＤ１をリセットするためのＲＳＴ１パルス（トランジスタの指定およびそのゲート信号は、本明細書では交換可能に使用さ

れる）で開始し、ソースフォロワトランジスタ（ＳＦ１）のソース端子を、読み出し選択トランジスタを介して出力ラインＯＵＴ１に結合するＳＥＬ１アサーションでも開始する。浮動拡散ノードＦＤ１は、ソースフォロワトランジスタＳＦ１のゲートに結合され、ＳＦ１は、（例えば、列出力ラインＯＵＴ１上の定電流源によって）バイアスされて、ＦＤ１の電位に追随する（例えば、ＦＤ１の電位に比例して上昇および下降する）信号をＯＵＴ１に駆動する。したがって、ＳＥＬ１アサーションとＲＳＴパルスの後、一次チャネルはＦＤ１のリセット電位に対応する出力信号を（ＯＵＴ１上に）生成し、これは、相関ダブルサンプル（ＣＤＳ）読み出しにおいて、下流読み出し回路によってサンプリングされ、後続の読み出し信号生成のベースラインを確立するためのリセット状態信号である。ＦＤ１のリセット直後に、転送ゲートＴＧ１がオンになり（ＴＧ１パルス）、ｐｉｎ光ダイオードからＦＤ１への光電荷転送が可能になり、それによって、キャリアあたりの電圧ステップを乗じた、転送されたキャリアの数（図１のＮＭＯＳ画素実装における電子）に応じて、浮動拡散の電位が変化し、後者は、電荷転送動作の変換ゲインである。

【０００９】

図１の実装では、（少なくとも）一次チャネル１０１は非常に高い変換ゲインで実装されている（それに応じて入力換算ノイズが低くなり、低照度の感度の向上を可能にする）が、その代償として光電荷の転送性が低下する。すなわち、光ダイオード１０５の飽和容量未満の光電荷量子の転送は、ＦＤ１を光ダイオードのｐｉｎ電圧に駆動し（その時点で電荷転送は停止する）、その結果、比較的高照度の条件下で、蓄積された光電荷の一部が一次チャネルの読み出し後に光ダイオード内に残る。別の言い方をすれば、一次読み出し信号は、ＦＤ１を光ダイオードのｐｉｎ電圧に駆動する量子を超えた光電荷の蓄積に対して同じ出力限界に駆動され、実質的に、浮動拡散ノードの容量限界に達するので、電荷蓄積範囲の高照度の端部において分解能が不足する。二次チャネルを介したその後の読み出しによって、このダイナミックレンジの損失を回避し、残留光電荷を光ダイオード１０５から浮動拡散ノードＦＤ２に転送し（ＦＤ２をリセットし、ＳＥＬ２をオンにし、任意選択でＦＤ２リセットレベルを読み取った後）、二次読み出し信号をもたらし、二次読み出し信号は、デジタル化の前または後に一次信号とマージされて、蓄積された総光電荷を表す複合読み出し信号（またはデジタル読み出し値）を生成することができる。

【００１０】

図２は、高照度条件下および低照度条件下での図１の分割読み出し画素内の例示的な光電荷転送動作を示す（高コントラストのシーンでは、同時に一部の画素が高照度にさらされ、他の画素が薄暗い光または無光にさらされる場合があることに留意されたい）。高照度の例では、ｐｉｎ光ダイオードの飽和容量に近づく光電荷Ｑが、露光間隔（１３１）の間に蓄積され、一次および二次読み出し（１３９および１４７）が続く。一次読み出し１３９では、ＦＤ１が光ダイオードのｐｉｎ電位、電荷の流れ（電流）が電界の欠如により止まる平衡点に到達するまで、光電荷は、ｐｉｎ光ダイオードから一次チャネル浮動拡散（ＦＤ１）に、高い変換ゲインで転送される。図示の例では、ＦＤ１の最大出力電圧振幅Ｖｐｉｎ－Ｖｒｓｔ１（ここで、Ｖｒｓｔ１は、例えば、トランジスタＲＳＴ１の両端における閾値降下をＶＤＤ電源電圧から差し引いたもの）にしたがって、多数のキャリアｑ１がＦＤ１に転送され、一次チャネル変換ゲイン（ＣＧ１）で除算されて、光ダイオード内にｑ２（＝Ｑ－ｑ１）キャリアが残る。二次読み出し１４７において、残留光電荷ｑ２がＦＤ２に転送され、光ダイオードを空にする。一次および二次読み出しの両方で、浮動拡散ノードは電荷転送の前にリセットされ、そのリセット状態は任意選択で読み出され、一次および二次チャネルの光電荷転送に応答して、それぞれＯＵＴ１およびＯＵＴ２上で生成された一次および二次「電荷状態」信号に対して、相関二重サンプリング（ＣＤＳ）を可能にする。いずれの場合も、一次および二次チャネルの読み出しは、デジタルまたはアナログドメインでマージされて、露光間隔１３１の間に光ダイオード内に蓄積された正味の光電荷を示す複合信号をもたらす。

【００１１】

低照度への露光では、光電荷の蓄積がはるかに少なくなり、一次チャネル浮動拡散ノー

ド（ＦＤ１）の出力振幅限界容量（ｑ１）を下回るため、高変換ゲインの一次読み出しにより、ｐｉｎ光ダイオードが完全に空になる。多くの実施形態では、この場合、二次チャネルの読み出しはスキップされ、電力を節約し、いくつかの実施形態では、総読み出し遅延を減少させる。光ダイオードにおける光電荷蓄積がｑ１限界（ＦＤ１の有効容量）よりも低い場合、潜在的な障壁や欠陥によって引き起こされる電荷転送の遅れなしに、蓄積された光電荷の全体をＦＤ１に転送することができる。同様に、ＦＤ１への転送後に光ダイオード内に残っている光電荷がＦＤ２の容量を下回る場合、その光電荷は電荷転送の遅れなしにＦＤ２に転送することができる。

【００１２】

図２の実施形態では、浮動拡散ノードＦＤ１およびＦＤ２は、名目上均一（等しい）容量で実装されているが、代替の実施形態において、２つの浮動拡散ノード、したがって一次および二次読み出しチャネルは、不均衡（不等／不均一）だが、相補的変換ゲインで実装されていて、これは、一次読み出しチャネルの変換ゲインを上げて、高性能の低照度読み出し（高い変換ゲイン、低い入力換算ノイズ）を可能にし、それに応じて二次読み出しチャネルの変換ゲインを低く下げて、組み合わされた一次チャネル／二次チャネルの電荷転送容量が光ダイオードの飽和容量と一致する（もしくはほぼ一致するか、または超える）ことを保証する構成である。また、２つの読み出しチャネルが名目上等しいか、または相補的／不均衡な変換ゲインで実装されているかどうかに関係なく、２つの読み出しチャネルを提供することで、単一チャネルの実装では不可能なパイプライン化読み出し動作が可能になる。例えば、光電荷転送は、一次チャネルにおける光電荷転送のすぐ後または直後に、したがって一次読み出し信号が安定するのを待たずに、二次読み出しチャネルで開始することができ、そうでない場合に、動きアーチファクト（すなわち、シーン内のオブジェクトが一次読み出しと二次読み出しとの合間に移動する）またはその他の歪みをもたらし得る、一次および二次電荷状態読み出し間の比較的長い遅延を回避する。さらに、高フレームレート（高速画素アレイスキャン）を必要とする用途では、行の読み出し時間を短縮するために単一チャネルの読み出しを実装することができ、例えば、二次読み出しチャネルの電荷転送制限がより大きい場合、二次読み出しチャネルのみを介して（ＦＤ２を介して、ＦＤ１を介さず）読み出しを実行し、または低照度の条件では、一次チャネルの電荷転送制限がより低く、かつ変換ゲインがより高い場合、一次チャネルのみを介して読み出しを実行する。

【００１３】

図３は、分割読み出し（ＳＲ）画素１６１のアレイと、読み出しコントローラ１６３と、画素アレイの列方向スライスのための読み出し論理回路１６５と、を有する集積回路撮像システム１６０（例えば、相補型ＭＯＳ撮像装置）の実施形態を示す。図示されるように、読み出し論理回路１６５は、チャネルマルチプレクサ１７１と、アナログゲイン要素１７３と、アナログ－デジタル変換器（ＡＤＣ）１７５と、記憶メモリ（またはバッファ）１７７と、読み出しマージ論理回路１７９と、を含み、これらのすべてまたはほとんどは、読み出しコントローラ１６３からの制御信号に応答して動作する（アナログゲイン構成要素は、任意選択で、１つ以上のゲイン制御信号（ＧＣ）を受信し、これを使用して、一次および二次チャネルの読み出しのゲインを切り替え、および／または選択されたゲインの較正制御を提供することができる）。読み出しコントローラはさらに、転送ゲート信号ペア（チャネル毎に１つ）と、読み出し選択信号ペアと、各画素行のリセット信号ペアと、を含む制御信号を、画素アレイ１６１に出力して、行シーケンスの列並列読み出しを可能にする。

【００１４】

引き続き図３を参照すると、チャネルマルチプレクサ１７１は、交互の（トグルする）チャネル選択信号（ＣＳ）に応答して、一次および二次出力信号（Ｏｕｔ１およびＯｕｔ２）をアナログゲイン構成要素に順次供給する。一実施形態では、アナログゲイン構成要素１７３は、選択された読み出しチャネルにバイアスをかける（すなわち、上記のように読み出しチャネル内でソースフォロワ動作を可能にする）電流源と、ＡＤＣ１７５内での

アナログーデジタル（Ａ／Ｄ）変換に備えて読み出し信号を増幅する電圧モードまたは電流モード増幅器と、の両方を含む。代替の実施形態では、ソースフォロワバイアス電流源は、ゲイン回路１７３の増幅器構成要素とは別に実装されてもよく、または増幅器構成要素は省略されてもよい（ソースフォロワバイアス電流源のみを残す）。アナログ－デジタル変換器１７５（ＡＤＣ）は、逐次近似レジスタ（ＳＡＲ）、シングルスロープＡＤＣ（ＳＳＡＤＣ）、シグマデルタＡＤＣ、または他の任意の実用的なＡ／Ｄ変換回路によって実装され得る。また、特に示されていないが、サンプルアンドホールド回路を、読み出し論理回路１６５内に提供して（例えば、チャネルマルチプレクサの前、チャネルマルチプレクサとゲイン構成要素との間、またはゲイン構成要素とアナログ－デジタル変換器との間）、アナログ信号のサンプルアンドホールド動作を有効にすることができる。サンプルアンドホールド回路は、アナログドメインの電荷状態／リセット状態の信号相関を有効にし（すなわち、対応する電荷状態のサンプルからリセット状態のサンプルを減算することによって）、したがってＣＤＳサンプルをＡＤＣ１７５に供給する減算／差分ユニット（これも図示されていない）を含み得る。あるいは、リセット状態信号および電荷状態信号は、ＡＤＣ１７５によって順次デジタル化され、ついで、デジタルドメインにおいて差分され得る（デジタルＣＤＳ動作）。いずれの場合も、デジタル化されたＣＤＳ読み出し値のストリームが、記憶のためにメモリ１７７に供給され（すなわち、読み出しコントローラからの記憶可能信号（ＳＥ）によってトリガされ）、連続して記憶された一次および二次読み出し値が、画素出力値１８０への組み合わせのために、読み出しマージ論理回路に転送される（読み出しコントローラからのマージ可能（ＭＥ）によってトリガされる）。

【００１５】

低遅延列読み出しの実装では、１８５で示されるように、それぞれの（個別の専用）アナログゲインおよびＡＤＣ構成要素を一次および二次読み出しに提供して、２つの読み出しの時間差のある同時処理を可能にすることができる。また、選択的二次チャネルの読み出しを実装する実施形態（または構成）では、閾値比較器１８１を提供して、閾値超過状態ＯＴ（または閾値未満状態）を読み出しコントローラ１６３に信号で伝え、したがって、読み出しコントローラが二次チャネルの読み出し制御信号（ＲＳＴ２、ＳＥＬ２、ＴＧ２）を選択的に生成できるように（または生成を控えるように）することができる。（ＡＤＣ後の）デジタルドメインで示されているが、閾値比較は、代替の実施形態では、アナログドメインで実施されてもよい。

【００１６】

２００（図３）で示される例示的な動作シーケンスでは、読み出しコントローラ１６３は、一次チャネル出力行を下流の列読み出し回路に結合するようにチャネルマルチプレクサ１７１を構成することによって、２０１で分割チャネルの読み出しを開始する（すなわち、場合によって、チャネル選択信号ＣＳを上げるまたは下げる）。２０３で、読み出しコントローラは、読み出し制御信号、変換可能信号（ＣＥ）、および記憶可能信号（ＳＥ）を確定的にアサートして、一次チャネルの読み出し（一次浮動拡散（ＦＤ）ノードをリセットし、ＦＤリセット状態をサンプリングし、一次チャネル電荷転送を有効にし、ＦＤ電荷状態をサンプリングする）、一次読み出し信号のＡ／Ｄ変換、およびメモリ１７７内へのＣＤＳ一次読み出し値の記憶（リセット状態／電荷状態の差分は、ＡＤＣ前のアナログドメインまたはＡＤＣ後のデジタルドメインで実行される）を有効にする。選択的読み出しの実施形態では、比較器１８１の出力が２０５で評価され、肯定的な閾値超過判定（閾値超過信号ＯＴがアサートされる）が、２０９でチャネルマルチプレクサの切り替え、二次チャネルの読み出し、デジタル化および記憶（２１１）、最後に２１３でＣＤＳ一次および二次読み出し値のマージをトリガする。一次読み出しが二相の読み出し閾値を超えないと判定された場合（２０５での否定的な判定）、二次チャネルの読み出しはスキップされ、ＣＤＳ一次読み出し値は最終的な画素読み出し結果として転送される（例えば、読み出しマージをスキップするか、または一次読み出し値をヌルまたはゼロの二次値とマージする）。確定的読み出しの実施形態では、２０９および２１１での二次読み出し動作は、無条件で実行される（すなわち、２０５での評価をスキップする）が、一次読み出しお

よび／または二次読み出しの閾値評価は、一次および二次読み出し結果を選択的にマージするために依然として実行され得る（例えば、一次読み出しが最大に近い閾値を下回っている場合、および／または二次読み出しがノイズフロア閾値を下回っている場合、２１３でのマージ動作をスキップする）。いずれの場合も、読み出しの完了時に行ポインタがインクリメントされ（２１５）、次のループ反復で読み出しする後続の画素行が選択される。

【００１７】

図４は、例えば、修正された実装において、またはプログラムされた読み出しポリシー設定に応答して、図３の読み出しコントローラ１６３によって実装され得る代替の読み出しシーケンスを示す。この場合、一次チャネルの読み出しは２３１および２３３の動作（図３の動作フローの２０１および２０３の動作に対応する）で実行され、続いて２３５で閾値評価が実行され、チャネルマルチプレクサが反転して代替チャネル（すなわち、第１のパスにおける二次チャネル）読み出しが有効となり、閾値評価が読み出しチャネルの飽和を示している（すなわち、光電荷が前の読み出し後に光ダイオードに残っているか、残っている可能性が高い）場合、読み出しカウンタ（Ｎ）をインクリメントする。チャネルマルチプレクサを反転し（すなわち、チャネル選択信号の状態を変更して代替画素読み出しチャネルを選択し）、読み出しカウントをインクリメントした後、新しく選択された読み出しチャネル（第２のパスにおける二次読み出しチャネル）に対して、２３３および２３５での読み出し（デジタル化および結果の記憶を含む）および閾値評価動作が繰り返され、この読み出しループは、最大読み出しカウントに達するか（すなわち、Ｎが、光ダイオードの飽和容量か、またはそれを超える光電荷レベルに対応する所定の最大値に達する）、または閾値未満の読み出しが検出される（２３５での否定的な判定）まで、一次チャネルと二次チャネルとの間で交互に継続する。この動作により、一次および二次チャネルのパイプライン化された低遅延読み出し（読み出しの均一性のために等しい変換ゲインで実装され得る）を繰り返し実行して（１回、２回、３回、４回．．．、またはＮ回＝最大個別チャネルの読み出し）、非常に高い変換ゲインおよびそれに対応する低い入力換算ノイズで、個々の転送（光ダイオードから浮動拡散ノード）を介して光ダイオードから光電荷を徐々に排出する。ループが終了すると（２３５での否定の判定、または読み出しカウントが最大に達する）、複数の読み出し（Ｎ回の読み出し）が２３９でマージされ、ついで行ポインタが２４１でインクリメントされて次の行に進む。確定的な読み出しタイミングを提供するために（例えば、ローリングシャッタ撮像装置において）、固定時間が割り当てられて、画素行毎に所定の数Ｋのチャネルの読み出しを可能にすることができ（すなわち、Ｋ＝２は、図３に示される二重チャネルの読み出しに対応する）、１つ以上のチャネルの読み出し間隔は、低照度露光では使用されない。

【００１８】

図５は、列読み出し論理回路２６１が、画素アレイ１６１内の複数の（またはすべての）分割読み出し画素列間で共有される代替の撮像ＩＣアーキテクチャ２６０を示す。図示の実施形態では、チャネルマルチプレクサは、「ｎ」画素列から一次および二次読み出し信号を受信し、したがって、図３を参照して総じて述べたように実装された共有読み出しパスへの２ｎ読み出し信号を多重化する。マルチプレクサ２６３に伝達されるチャネル選択信号（ＣＳ）および読み出しコントローラ２６５によって生成される他の制御信号（例えば、メモリ２６７への記憶可能）は、ｎ個の画素列の各々に対してマルチチャネル画素読み出しデータを捕捉するために、必要に応じてマルチビット信号によって実装され得る。

【００１９】

図６は、シングルスロープＡＤＣ３０１が、画素アレイ１６１内の複数（またはすべて）の分割読み出し画素列の読み出し論理回路パスにわたって分散されている別の撮像アーキテクチャ３００を示す。示される実施形態では、列共有ランプ発生器３０３は、デジタルおよびアナログランプ信号（例えば、デジタルランプ信号は単調なマルチビットカウント値であり、アナログランプ信号はそのカウント値のデジタルからアナログへの変換である）を、それぞれ列毎のレジスタ要素３０５および列毎の比較器３０７に出力する。読み出しコントローラ３０９は、ロックステップで選択された行のすべての分割読み出し画素

を動作させ、その結果、各画素列の一次（ついで二次）読み出し信号が同時に（チャネルマルチプレクサ１７１および任意選択のゲイン要素１７３を介して）、比較器３０７のそれぞれにルーティングされる。アナログおよびデジタルランプ信号が最小レベルから最大レベルまで段階的に進行するにつれて（アナログランプは単調に減少する信号であり得、最大レベルは最小レベルよりも正電圧が低い）、比較器３０７の出力は、アナログランプが入来する読み出し信号を超える（例えば、下回る）と遷移し、Ａ／Ｄ変換結果としてレジスタ３０５内の対応するデジタルランプ値（デジタルカウント）の捕捉がトリガされる。図３の単一ＳＳＡＤＣ実装では、ランプ発生器は、一次チャネルＡ／Ｄ変換に続いて（すなわち、ランプ出力が最小値から最大値に進んだ後、および／またはすべての比較器／レジスタがトリガされてＡＤＣの結果が下流メモリに転送された後）再起動されて、二次チャネルＡ／Ｄ変換を実施し、デジタルＣＤＳの実施形態では、ランプ発生器は、二重チャネルの読み出し毎に４回再起動されて、両方のチャネルのリセット状態および電荷状態読み出し信号をデジタル化することができる。画素あたり３つ以上の読み出しチャネルを有する（または図４のように２つ以上の読み出しチャネルが繰り返し有効にされる）実施形態では、ＳＳＡＤＣ動作は、必要な回数（読み出しチャネル数または反復限界まで）完了させて、入来した読み出し信号をデジタル化することができる。デジタルＣＤＳ実装では、リセット状態ＳＳＡＤＣランプは、電荷状態ＳＳＡＤＣランプよりも短い範囲を進行して（すなわち、有効なリセット状態信号の範囲がはるかに狭いことを考慮して）、全体的なＡ／Ｄ変換時間を短縮させることができる。

【００２０】

引き続き図６を参照すると、パイプライン化された一次および二次チャネルＡ／Ｄ変換を可能にするために、代替の実施形態において、別個の読み出しチャネル毎のＳＳＡＤＣ３０１が提供され得る。例えば、一次チャネルＳＳＡＤＣのランプ生成は、一次チャネル転送のすぐ後に（例えば、比較器３０７の入力で安定した一次読み出し信号をもたらすのに十分な整定遅延の後に）開始し、二次チャネルＳＳＡＤＣのランプ生成は、そのすぐ後、一次チャネルランプが完了する前に開始することができ、その結果、２つの時間差ランプ生成がそれらの進行の少なくとも一部で重複する。

【００２１】

図７は、一次および二次チャネルの読み出しの例示的なパイプライン化を示しており、時間差のある一次チャネルＣＤＳ動作（上行）および二次チャネルＣＤＳ動作（下行）を示している。説明を簡単にするために、成分の浮動拡散リセット、リセット状態サンプリング、電荷転送、電荷状態サンプリング、およびＡＤＣ動作は、同じ時間間隔を費すものとして示されており（実際には、異なる動作は、異なる時間を費す場合がある）、単一の動作に割り当てられた時間だけ、一次チャネル動作に対して二次チャネル動作が遅延する。したがって、一次チャネル浮動拡散ノードは３４１でリセットされ、続いて一次チャネルリセット状態サンプリング３４３および二次チャネルＦＤリセット３４４が同時に（または少なくとも並行して）実行される。この並列であるが時間差のあるシーケンスを継続して、一次チャネル電荷転送が、二次チャネル（３４６）でのリセット状態サンプリングと並行して３４５で実行され、続いて一次チャネル電荷状態サンプリング（３４７）および二次チャネル電荷転送（３４８）が並行して実行され、ついで一次チャネルＡ／Ｄ変換（３４９）および二次チャネル電荷状態サンプリング３５０が並行して実行される。行ｉの分割チャネルの読み出しは、３５２での二次チャネルＡＤＣ動作で（少なくともＡ／Ｄ変換を通して）終了する（例えば、行ｉ＋１読み出しの開始－一次チャネルＦＤリセットと並行して実行される）。リセット状態および電荷状態のサンプリング動作（３４３、３４６、３４７、３５０）は、アナログドメインのサンプルアンドホールド動作として示されていることに留意されたい（これには、電荷状態のサンプルからのリセット状態サンプルの考えられるアナログドメイン減算が含まれ得る）。他の実施形態では、これらのサンプリング動作は、デジタルドメインで実行することができる（アナログサンプル／ホールドなしで、所与の読み出しチャネルの出力信号の直接的なＡ／Ｄ変換）。いずれの場合も、パイプライン化された一次および二次チャネルの読み出しは、行毎の読み出し遅延全体

を短縮するだけでなく（より高速の行シーケンスを有効にし、したがって、最小露出時間の短縮、オーバーサンプリングレートの向上など）、一次および二次読み出しシーケンスの並列化された実行ではなく連続した実行に必要とされる時間に対して、一次および二次電荷転送動作３４５および３４８間の時間も短縮し、したがって、動きアーチファクトまたは他の時間的歪みの可能性を低減する。

【００２２】

図８は、図３に示されるメモリおよび読み出しマージ論理回路構成要素を実装するために使用され得る、列毎のメモリ要素３６１および読み出しマージ論理回路３６３の実施形態を示す。示される例では、レジスタ３６７および３６９は、デジタル化された一次および二次読み出し値（例えば、ＣＤＳ値）をそれぞれ記憶するためにメモリ３６１内に提供され、記憶された読み出し値は、組み合わせのために読み出しマージ論理回路３６３に供給される。読み出しマージ論理回路は、任意選択で、ゲイン較正（ｇｃ１、ｇｃ２）またはデジタル重み付け（ｗ１、ｗ２）を入来した読み出し値に適用してから、これらの値（３７５）を合計して複合画素値１８０を生成する。一実施形態では、ゲイン較正値は、分割画素アレイ（またはその比較的大きなサブ領域）全体で均一であり得、その結果、比較的少数の較正値および／または重み値が、すべてまたは多数の画素の読み出しに適用されて、オンダイのゲイン較正値および／または重み値の記憶（すなわち、分割読み出し画素アレイと同じダイ上の記憶）が容易に実行可能になる。他の実施形態では、画素毎（または画素毎のサブグループ）のゲイン較正値および／または重み値は、オフダイのメモリに、例えば、分割読み出し撮像装置のダイに積み重ねられた（および相互接続された）ＩＣ内のＳＲＡＭまたはＤＲＡＭストレージに記憶され得、読み出しマージ論理回路３６３への低電力／低遅延のゲイン較正値／重み値の伝達を可能にする。また、ゲイン較正値および／または重み値は、アナログ読み出しパスを含む、列読み出し論理回路の他の場所に適用され得る（例えば、図３に示されるアナログゲイン構成要素１７３内）。

【００２３】

引き続き図８を参照すると、選択的な二次チャネルの読み出しの場合（すなわち、一次チャネルの読み出しが閾値未満の信号または値をもたらす場合に、二次チャネルの読み出しをスキップできる場合）、レジスタ３６９内の読み出し値をゼロにして、加算要素３７５へのゼロの二次読み出し寄与をもたらすことができる。例えば、図９に示される実施形態では、閾値未満／閾値超過の比較結果（すなわち、閾値未満または閾値超過の一次読み出しを示す）は、メモリ３８５内（すなわち、要素３８６内）に記憶され、読み出しマージ論理回路３８７内に適用されて、二次寄与をゼロにすることができる。マルチプレクサ３８８内のゼロ値の選択として概念的に示されているが、二次チャネル寄与のヌル化は、代わりに、様々なやり方で、かつ列読み出しパスに沿った様々なポイントで実装され得（レジスタ３６９におけるゼロ化、二次パスゲイン較正および／または重み付け乗算器のゼロ化）、または加算器３７５などの出力ではなく、最終的な画素値として一次チャネルの読み出しパスの出力を選択することによって、実装され得る。すべての場合において、閾値未満（一次チャネルのみ）読み出しで使用されていない論理回路は、電力を節約するために、無効にすることができる。また、閾値未満／閾値超過の判定は、比較器１８１によって示されるようにデジタルドメインにおいて、またはアナログドメインにおいて実施され得、判定／比較結果は、直接（事前の記憶なしで）または記憶要素３８６を介して、読み出しマージ論理回路３８７に適用される。電荷状態およびリセット状態のサンプルアンドホールド要素３９１および３９３（およびアナログ差分／減算要素３９５）は、アナログドメインＣＤＳ動作をサポートするように図８に示されているが、電荷状態およびリセット状態の信号は、事前のサンプルアンドホールドの有無にかかわらず、差分（デジタルドメインＣＤＳ）の前に、ＡＤＣ１７５内でデジタル化することができる。

【００２４】

図１０は、不均一な一次および二次読み出しチャネル変換ゲインと、光ダイオードの飽和容量と集合的に一致する対応する浮動拡散ノード容量と、を有する分割読み出し画素の実施形態を示す。一次および二次読み出しチャネル構成要素は、概して図１に示すものと

一致するが、一次浮動拡散ノードの容量は、二次浮動混乱ノードよりも大幅に低く、したがって一次チャネル変換ゲインは、二次チャネル変換ゲインよりも高くなる。一実施形態では、例えば、４００μｖ／ｅ－（電子あたり４００マイクロボルト）対二次チャネルの５０μｖ／ｅ－では、例えば、一次チャネル変換ゲインは、二次チャネルの約８倍である。両方の読み出しチャネルで１．５ボルトの出力振幅をもたらすＣＭＯＳプロセス（すなわち、ＦＤリセット電圧から光ダイオードのｐｉｎ電圧を引いた値＝１．５ボルト）を想定すると、一次および二次チャネルの総電荷転送容量は、１．５ｖ／（４００μｖ／ｅ－）＋１．５ｖ／（５０μｖ／ｅ－）＝３３，７５０ｅ－である。ｐｉｎ光ダイオード（ＰＰＤ）がほぼ同じ電子数の飽和容量（Ｑ）を有するように設計することにより、光ウェルは分割チャネル読み出しによって完全に空になり得る（ダイナミックレンジの損失を回避する）一方で、高変換ゲイン一次チャネルを介した電荷転送のみ（または主にそれ）による並外れた低照度感度を実現する。

【００２５】

図１および本明細書の他の実施形態に示される画素内ソースフォロワトランジスタ（ＳＦ１およびＳＦ２）内の電圧ノイズは、画像センサ全体における画素間の読み出しノイズの変動の主な発生源を構成するデバイス毎（トランジスタ毎）の変動を有する傾向がある。このノイズ変動は、画素検出器内のランダムに分布した製造関連の欠陥または非理想的な原子構造によって引き起こされるため、いくつかの読み出しチャネルは、その欠陥によって引き起こされるランダム電信ノイズ（ＲＴＮ）およびフリッカーノイズのために非常に高いノイズを示すことがあり、他の読み出しチャネルは、実質的により低いノイズ（より少ないおよび／またはより重要性の低い欠陥）、つまり単一の分割読み出し画素の２つ（またはそれ以上）のチャネル間でも発生し得る変動を呈する。図１１は、分割読み出しＣＭＯＳ画像センサの実施形態４２０を示し、ここでは、各画素内の一次チャネル／二次チャネルの指定（名目上等しい変換ゲインを有する読み出しチャネル）が、較正時のノイズ評価にしたがって選択的かつプログラム的に逆転（反転または交換）され得、それによって、最低ノイズの読み出しチャネルを一次読み出しチャネルとして動作させることができる。一実施形態では、例えば、各分割読み出し画素内の名目上一次および二次読み出しチャネルの各々のノイズ特性を評価して、どのチャネルが最良の入力換算ノイズ性能を示すかを判定し、各画素について、二次チャネルがより良い低照度ノイズ性能を呈する場合は一次／二次指定を逆転させるアサート状態、または一次チャネルがより良いノイズ特性を呈する場合（またはノイズ特性が区別できないと見なされる場合）はデフォルトの一次／二次指定で二重読み出しチャネル画素をそのままにするデアサート状態のいずれかで、「逆」ビットを記録する。示される実装では、マルチプレクサ４２１および４２３は、各分割読み出し画素に対して提供され、対応する画素列の逆ビット（「Ｒｅｖ」）がアサートされる場合（この例では論理回路「１」）は、対応する分割－リセット画素に伝達されるデフォルトの一次／二次画素制御信号を交換し、逆ビットがデアサートされた場合は、交換せずにこれらの信号を画素に渡す。同様に、排他的ＯＲゲート４２５は、逆ビットが設定されている場合、チャネルマルチプレクサ１７１に供給されるチャネル選択信号（ＣＳ）の状態を逆転させる。図３の１８５のように読み出しチャネル毎のＡＤＣが提供される場合、４２１および４２３と同様の出力パスマルチプレクサを提供して、列出力信号（Ｏｕｔ１およびＯｕｔ２）を、逆ビット状態にしたがうＡＤＣのいずれかに、選択的にルーティングすることができるか、または読み出しコントローラ内の回路が１つの読み出しパスを動作させ得るか、もしくは逆ビットにしたがって、他方を一次として（および他方を二次として）動作させ、例えば、指定された一次列出力パス内で最初にＡ／Ｄ変換をトリガすることができる。画素の読み出しが１つの行から次の行に進むにつれて、較正データの新しいページ（画素行幅に応じたＮ個の逆ビットの組）を較正データストア４３０から取得して、その次の画素行の一次／二次指定を確立することができる。十分なダイ面積を有するセンサでは、較正データストア４３０は、分割読み出し画素アレイと同じダイ上に実装され得る。他の実施形態では、較正データストア４３０（重み付けまたは他の画素毎の値をさらに記憶することができる）は、分割読み出し画素アレイを含むダイと積み重

ねられた（かつ相互接続された）別個のチップ内に実装され得る。

【００２６】

多くの実施形態では、マルチチャネルの読み出しを可能にするために提供される追加のトランジスタおよび浮動拡散ノード（複数可）は、光ダイオードの設置面積に対して追加の面積をほとんど費すことがなく、したがって、センサのフィルファクタに大きな影響を与えない（例えば、光ダイオードが比較的大きいおよび／または、浮動拡散ノードもしくは他の構造の全体もしくは一部と重なる）。より小さな光ダイオードを有する、および／または比較的小さなフィルファクタの影響でさえ望ましくない実施形態では、読み出しチャネルリソースを隣接する画素間で共有して、分割読み出し画素アレイ内の正味のトランジスタ数を減らすことができる。図１２は、１つの画素の二次読み出しチャネルが隣接画素の一次読み出しチャネルとして機能する分割読み出し画素アレイの実施形態を示しており、これは、トランジスタの総数を従来の単一読み出しチャネル画素アレイの数またはそれに近い数に維持する（したがって、撮像装置のフィルファクタを上げる）、画素アレイ全体にわたる共有読み出しチャネル構成（隣接する画素の各ペアは、読み出しチャネルを共有する）である。図示の実施形態（分割読み出し画素の１行に沿った抜粋）では、浮動拡散ノードＦＤ３４、リセットトランジスタＲＳＴ３４、ソースフォロワトランジスタＳＦ３４、および読み出し選択トランジスタＳＥＬ３４は、集合的に、光ダイオードＰＰＤ３のための二次読み出しチャネルおよび光ダイオードＰＰＤ４のための一次読み出しチャネルの両方として機能する。個別の転送ゲートＴＧａおよびＴＧｂは、ＰＰＤ３およびＰＰＤ４に対して、より一般的には各共有読み出しチャネルに対して提供されるため、分割読み出し動作に必要な正味の追加ダイ面積は、画素毎の追加転送ゲート（２つの異なる浮動拡散ノードへの光電荷転送を可能にする）、および分割読み出し画素アレイの周辺（行端の位置）にある画素のための非共有読み出し回路に使用される。

【００２７】

引き続き図１２を参照して、等しい変換ゲインを有する事前に割り当てられた一次および二次読み出しチャネル内の二相読み出しを想定すると、画素行内の一次チャネルの読み出しは、すべての読み出しチャネルを介したリセット状態出力で始まり、行選択トランジスタ（ＳＥＬ３４、ＳＥＬ４５、ＳＥＬ５６など）をオンにし、リセットトランジスタ（ＲＳＴ３４、ＲＳＴ４５、ＲＳＴ５６など）をパルス化する。その後間もなく（リセット状態出力信号の信号化とサンプリングに十分な長さ）、光電荷は一次チャネル転送ゲート（ＴＧａ）を介して隣接する浮動拡散ノードに転送され、共有読み出しチャネルを介して電荷状態出力を生成する。したがって、光電荷はＰＰＤ４からＦＤ３４に（蓄積レベルに応じて部分的または全体的に）転送されて、Ｏｕｔ３４上に一次チャネルの電荷状態出力信号をもたらし、ＰＰＤ５からＦＤ４５に転送されて、Ｏｕｔ４５上に一次チャネルの電荷状態出力信号をもたらし、ＰＰＤ６からＦＤ５６に転送されて、Ｏｕｔ５６上に一次チャネルの電荷状態出力信号をもたらし、以下同様に続く。これらの出力信号がサンプリングされた後（例えば、アナログのサンプルアンドホールドまたは直接Ａ／Ｄ変換を通して）、二次チャネルの読み出しは、浮動拡散リセットおよびリセット状態の出力信号生成の反復で始まり、その後、各光ダイオードに隣接する他の浮動拡散ノードへの二次チャネル転送ゲート（ＴＧｂ）を介した残留光電荷の転送が続く。すなわち、一次チャネル読み出しがＰＰＤ４からＦＤ４５に転送された後に残っている光電荷は、Ｏｕｔ４５上に二次チャネルの電荷状態出力信号をもたらし、ＰＰＤ５からＦＤ５６に転送されたものは、Ｏｕｔ５６上に二次チャネルの電荷状態出力信号をもたらし、以下同様に続き、画素アレイに対する分割読み出し動作を完了する。

【００２８】

図１３は、図１２による共有チャネル分割読み出し画素アレイを有する撮像装置の列読み出し論理回路において実装され得るチャネル多重化構成を示す。示されるように、共有チャネル出力ライン（Ｏｏｔ０１、Ｏｕｔ１２、Ｏｕｔ２３など）の各々は、隣接する画素列に機能する２入力チャネルマルチプレクサ５０１のそれぞれの入力に結合される。チャネル選択信号（ＣＳ）が一次チャネル選択と二次チャネル選択との間で交互になると、

各マルチプレクサ５７１は、隣接する画素共有読み出しラインからの対応する一次および二次読み出し信号を適切な画素列の列論理回路パスにルーティングする。図示の例では、列論理回路パスは、図３に示されるように、チャネル共有ゲイン要素１７３とチャネル共有ＡＤＣ１７５とを含む。代替の実施形態では、専用のゲイン要素（もしあれば）およびＡＤＣが各列出力ラインに提供され得、ＡＤＣ結果を対象画素列用のマージ前の記憶要素にルーティングするために、ポストＡＤＣマルチプレクサが提供される。

【００２９】

図１４は、図１３に示されているものに対応するチャネルマルチプレクサ５０１の例示的な動作を示す。示されているように、読み出し動作は、画素アレイ内の行から行へ（行ｉ、行ｉ＋１など）シーケンスされ、各行の読み出しは、連続する一次および二次チャネルの読み出しに分割される。一次チャネル読み出し中、チャネル選択信号（ＣＳ）がローに駆動され、選択された行における各画素のための一次チャネルに対応するリセット状態および電荷状態の信号が下流の列読み出し論理回路にルーティングされ、すなわち、読み出しチャネル（すなわち、図１３の転送ゲートＴＧａを介して光電荷が転送される読み出しチャネル）を共有する２つの光ダイオードの最左端に対するリセット状態および電荷状態の信号出力を選択する。一次チャネル読み出しが完了した後（例えば、デジタル化またはアナログのサンプルアンドホールドの後）、チャネル選択信号が発生して、各画素の二次チャネル、つまり図１３の転送ゲートＴＧｂを介して光電荷が伝達される読み出しチャネルに対応するリセット状態および電荷状態の信号が、下流の読み出し論理回路にルーティングされる。この変更は、各行の読み出しに対して繰り返され、画素アレイのスキャンが完了する。

【００３０】

図１５は、画素毎に４つの共有読み出しチャネルを有する分割読み出し画素アレイの一部を示す。示されている例では、画素アレイ内の各光ダイオード（ＰＰＤ）は、４つの転送ゲートＴＧａ、ＴＧｂ、ＴＧｃ、およびＴＧｄを介して、それぞれ４つの浮動拡散ノード（すなわち、行「ｉ」、列「ｊ＋１」における光ダイオード５２７に対して５２５に示されているように、ＦＤ［ｉ、ｊ＋１］、ＦＤ［ｉ、ｊ＋２］、ＦＤ［ｉ＋１、ｊ＋１］、およびＦＤ［ｉ＋１、ｊ＋２］）に結合され、これらの浮動拡散ノードは、光ダイオード５２７のそれぞれの読み出しチャネルａ、ｂ、ｃ、およびｄの成分である。これらの浮動拡散ノードの各々は、３つの隣接する４読み出しチャネル画素によって共有され、例えば、浮動拡散ノードは、行「ｉ＋１」および列「ｊ＋１」における光ダイオードの読み出しチャネル「ａ」の一部を構成し（すなわち、ＦＤ［ｉ＋１、ｊ＋１］）、光ダイオード［ｉ＋１、ｊ］の読み出しチャネルｂの一部、光ダイオード［ｉ、ｊ＋１］の読み出しチャネルｃの一部、および光ダイオード［ｉ、ｊ］のチャネルｄの一部も構成し、読み出し共有構成は、画素アレイのすべての内部画素に対して対称的に実装される（アレイの縁における画素は、内部の隣接画素と２つの読み出しチャネルを共有する）。４つの光ダイオード［ｉ、ｊ］、［ｉ、ｊ＋１］、［ｉ＋１、ｊ］、および［ｉ＋１、ｊ＋１］の完全な共有読み出しチャネルは、５３１に図示されている。示されているように、行制御信号の各々（すなわち、同じ行のすべての分割読み出し画素に適用される）は、隣接する画素行のペア（この例では行ｉおよび行ｉ＋１）の読み出し動作を制御するためにアサートされる。より具体的には、リセット信号Ｒｓｔ　ｉ／ｉ＋１は、読み出しチャネルを共有する４つの画素（すなわち、行ｉにおける２つの画素および行ｉ＋１における２つの画素）の各々の光電荷転送の前に、浮動拡散ノードＦＤ［ｉ＋１、ｊ＋１］をリセットするようにアサートされ、選択信号Ｓｅｌ　ｉ／ｉ＋１は、４つの画素の各々の浮動拡散ノード電位にしたがってアサートされ、出力ラインＯｕｔ［ｊ、ｊ＋１］上でソースフォロワ信号の生成（ＳＦ　ｉ／ｉ＋１を介して）が可能になる。

【００３１】

図１６は、図１５の画素アレイの所与の行内の画素の各々からのチャネルａ、ｂ、ｃ、およびｄの読み出しに対する例示的なチャネル多重化構成を示している。したがって、信号ＴＧａはパルス化されて、チャネル「ａ」の電荷状態読み出しを実施し、チャネル選択

信号（ＣＳ）をローに駆動して、チャネルａの読み出しパスを選択し、続いて信号ＴＧｂをパルス化して、チャネルｂを介して電荷状態読み出しを実施し、チャネル選択信号をハイに駆動して、チャネルｂ読み出しパスを選択する。次に、チャネルｃおよびｄに対して同様の動作が実行される（ＴＧｃをパルス化してチャネル選択信号を下げ、ついでＴＧｄをパルス化してチャネル選択信号を上げる）。列出力ライン毎に専用のＡ／Ｄ変換器（すなわち、チャネルａおよびｃ用の１つのＡＤＣ、ならびにチャネルｂおよびｄ用の別のＡＤＣ）を有する実施形態では、チャネル多重化は、Ａ／Ｄ変換の下流に実装され得る。

【００３２】

本明細書に開示される分割読み出し画素アレイ、列読み出し論理回路、読み出しコントローラなどの様々な実施形態は、それらの挙動、レジスタ転送、論理回路構成要素、トランジスタ、レイアウトジオメトリ、および／またはその他の特性の観点から、コンピュータ支援設計ツールを使用して記述され得、様々なコンピュータ可読媒体で具体化されるデータおよび／または命令として表現（または表現）され得る。このような回路表現が実装され得るファイルおよびその他のオブジェクトの形式には、Ｃ、Ｖｅｒｉｌｏｇ、ＶＨＤＬなどの動作言語をサポートする形式、ＲＴＬなどのレジスタレベルの記述言語をサポートする形式、ＧＤＳＩＩ、ＧＤＳＩＩＩ、ＧＤＳＩＶ、ＣＩＦ、ＭＥＢＥＳなどのジオメトリ記述言語をサポートする形式、ならびにその他の適切な形式および言語を含むが、これらに限定されない。そのようなフォーマット化されたデータおよび／または命令が具体化され得るコンピュータ可読媒体は、様々な形態のコンピュータ記憶媒体（例えば、そのように独立して分散されるか、または「その場」でオペレーティングシステムに記憶されるかどうかにかかわらず、光学、磁気、または半導体記憶媒体）を含むが、これらに限定されない。

【００３３】

１つ以上のコンピュータ可読媒体を介してコンピュータシステム内で受信される場合、上記の回路のそのようなデータおよび／または命令ベースの表現は、ネットリスト生成プログラム、配置およびルートプログラムなどを含むが、これらに限定されない、１つ以上の他のコンピュータプログラムの実行と連動して、コンピュータシステム内の処理エンティティ（例えば、１つ以上のプロセッサ）によって処理され、そのような回路の物理的発現の表現または画像を生成することができる。その後、そのような表現または画像は、例えば、デバイス製造プロセスにおいて回路の様々な構成要素を形成するために使用される１つ以上のマスクの生成を可能にすることによって、デバイス製造において使用され得る。

【００３４】

前述の説明および添付の図面では、開示された実施形態の完全な理解を提供するために、特定の用語および図面記号が記載されている。場合によっては、用語および記号は、それらの実施形態を実施するために必要とされない詳細を暗示し得る。例えば、特定の読み出しチャネル数、共有読み出し回路の数、閾値レベル、増幅レベル、変換ゲイン、構成要素数、相互接続トポロジ、センサ実装、トランジスタタイプ（例えば、ＮＭＯＳまたはＰＭＯＳ）構成要素などのいずれかは、代替の実施形態において上記のものとは異なる可能性がある。個々の信号線として図示または記述された信号パスは、代わりに多導体信号バスによって実装され得、逆もまた同様であり、伝達された信号毎に複数の導体を含み得る（例えば、差動または疑似差動信号）。「ｃｏｕｐｌｅｄ（結合された）」という用語は、本明細書では、直接接続、ならびに１つ以上の介在する機能的構成要素または構造を介した接続を表すために使用される。デバイス構成またはプログラミングは、例えば、限定されないが、ホスト命令に応答して、または１回限りのプログラミング動作（例えば、デバイス製造中に構成回路内でヒューズを飛ばす）を通して、集積回路デバイス内のレジスタまたは他の記憶回路に制御値をロードすること（したがって、デバイスの動作態様を制御することおよび／またはデバイス構成を確立すること）、および／またはデバイスの１つ以上の選択されたピンもしくは他の接触構造を基準電圧線に接続して（ストラッピングとも称する）、特定のデバイス構成またはデバイスの動作態様（例えば、増幅率、ラッチ閾値など）を確立すること、を含むことができる。「ｅｘｅｍｐｌａｒｙ（例示的）」お

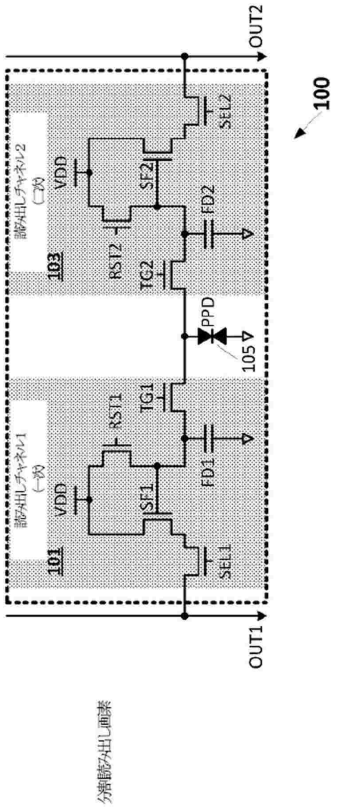
よび「ｅｍｂｏｄｉｍｅｎｔ（実施形態）」という用語は、好みまたは要件ではなく、例を表現するために使用される。また、「ｍａｙ（してもよい）」と「ｃａｎ（できる）」という用語は、任意選択の（許容される）主題を示すために、交換可能に使用される。どちらの用語も存在しないことは、所与の機能または技法が必要であることを意味すると解釈されるべきではない。

【００３５】

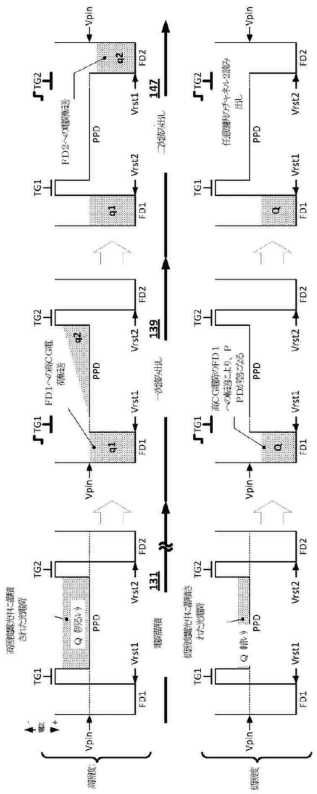
本開示のより広い精神および範囲から逸脱することなく、本明細書に提示される実施形態に対して様々な修正および変更を行うことができる。例えば、実施形態のいずれかの特徴または態様は、他の実施形態のいずれかと組み合わせて、またはその対応する特徴もしくは態様の代わりに適用することができる。したがって、本明細書および図面は、限定的な意味ではなく例示的な意味で考えられるべきである。

【図面】

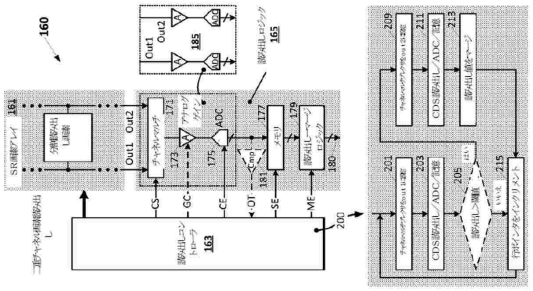
【図１】


OUT2
100
SEL2
SF2
FD2
VDD
RST2
TG2
103
PPD
105
TG1
RST1
FD1
VDD
SF1
SEL1
101
OUT1
分割読み出し画素

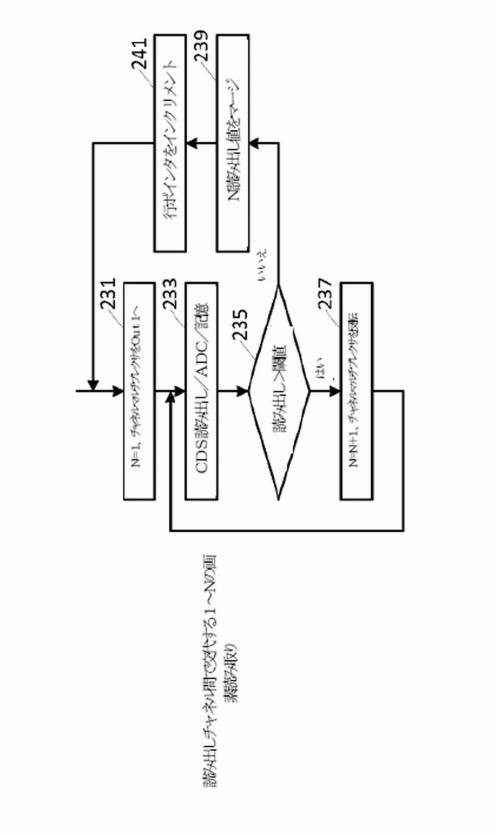
【図２】


Vpin
TG1
TG2
FD1
FD2
Vrst1
Vrst2
PPD
q1
q2
Q
131
139
147

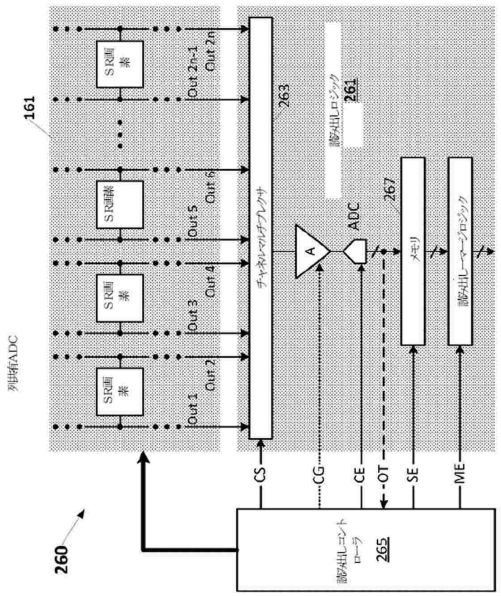
【図３】


160
161
Out1
Out2
ADC
165
163
200
201
203
205
209
211
213
215

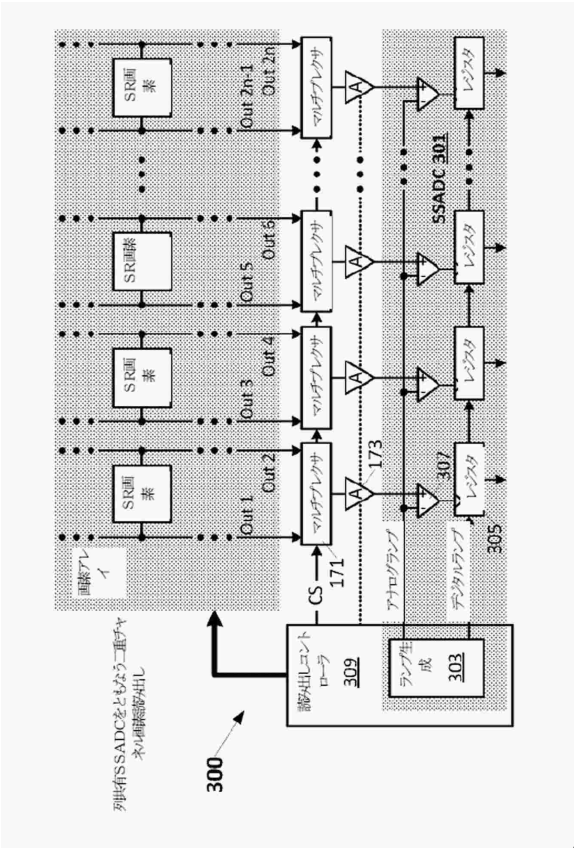
【図４】


241
行ポインタをインクリメント
239
N読み出し値をマージ
231
N=1, チャネルマルチプレクサをOut1へ
233
CDS読み出し／ADC／記憶
235
読み出し＞閾値
いいえ
はい
237
N=N+1, チャネルマルチプレクサを更新
読み出しチャネル間で交代する1～N の画素読み取り

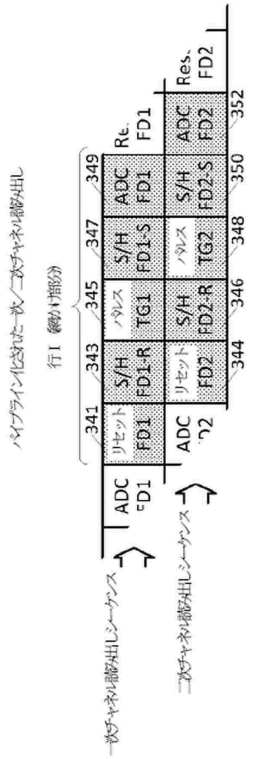
【図５】


161
列併行ADC
SR画素
Out 1
Out 2
Out 3
Out 4
Out 5
Out 6
Out 2n-1
Out 2n
263
チャネルマルチプレクサ
A
ADC
261
読み出しロジック
267
メモリ
読み出しロジック
CS
CG
CE
OT
SE
ME
260
読み出しコントローラ
265

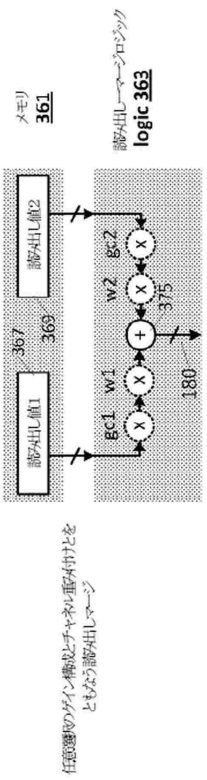
【図６】


SR画素
Out 1
Out 2
Out 3
Out 4
Out 5
Out 6
Out 2n-1
Out 2n
マルチプレクサ
173
SSADC 301
レジスタ
307
305
CS
171
アナログランプ
デジタルランプ
ランプ生成
303
読み出しコントローラ
309
300
列併行SSADCをともなう二重チャネル構成読み出し

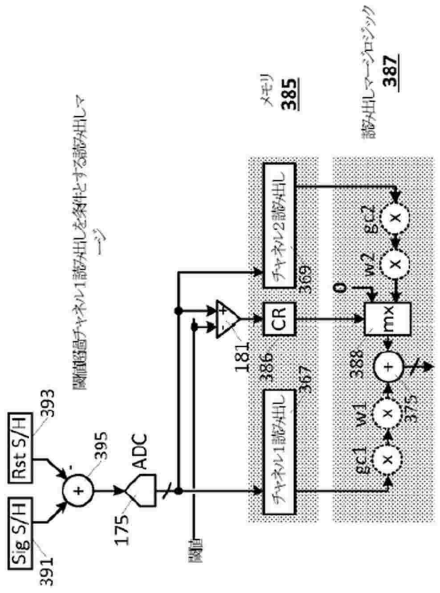
【図７】


パイプライン化された一次／二次チャネル読み出し
行1 読み出し部分
一次チャネル読み出しシーケンス
二次チャネル読み出しシーケンス
ADC FD1
リセット FD1
S/H FD1-R
ADC FD2
リセット FD2
S/H FD2-R
パルス TG1
パルス TG2
S/H FD1-S
S/H FD2-S
ADC FD1
ADC FD2
Rs. FD1
Res. FD2
341
343
344
345
346
347
348
349
350
352

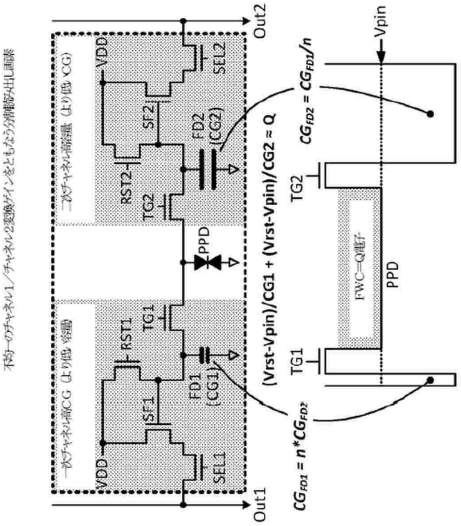
【図８】


メモリ
361
読み出しロジック
logic 363
読み出し値1
読み出し値2
367
369
gc1
w1
w2
gc2
375
180
任意選択のカラム構成とチャネル重み付けとをともなう読み出しマージ

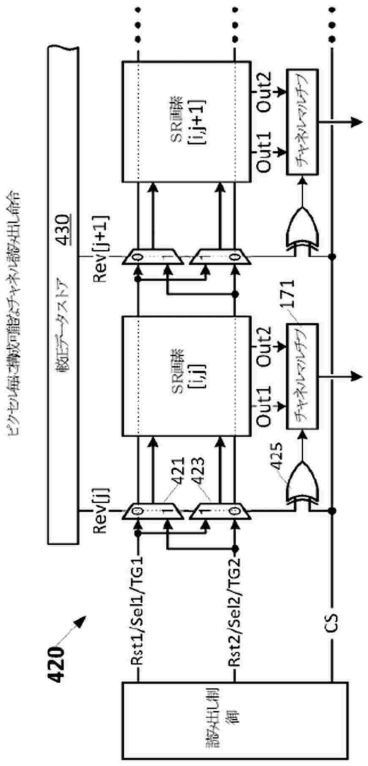
【図９】



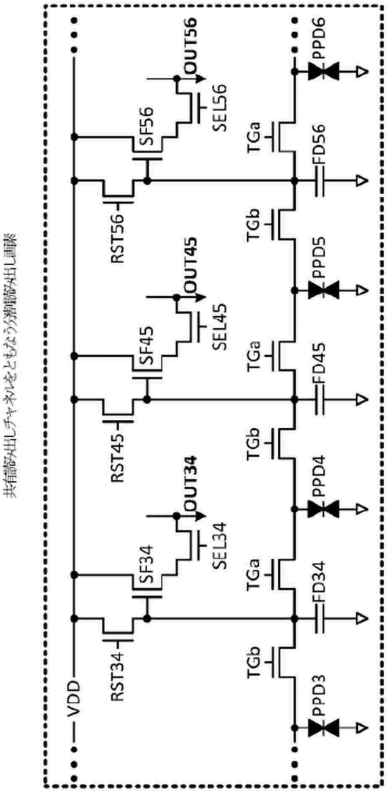
【図１０】



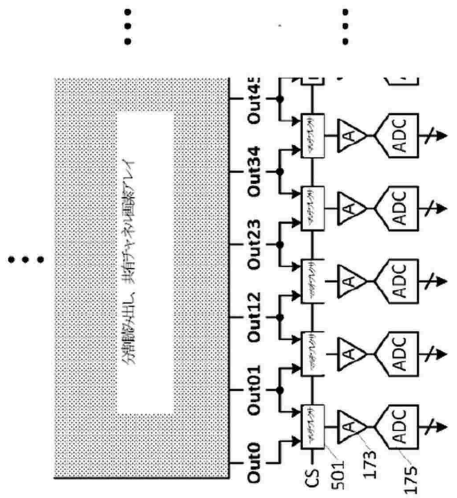
【図１１】



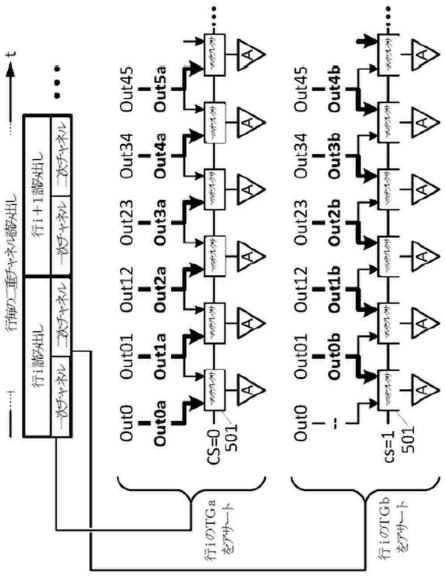
【図１２】



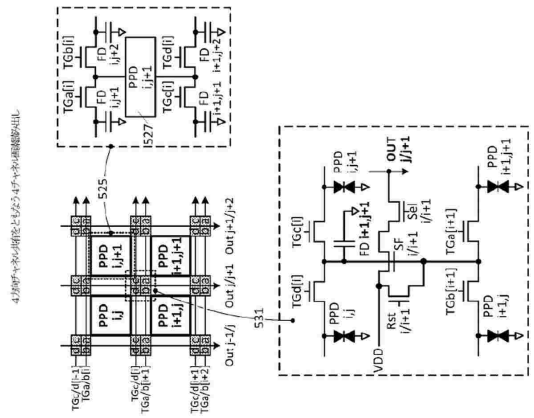
【図１３】



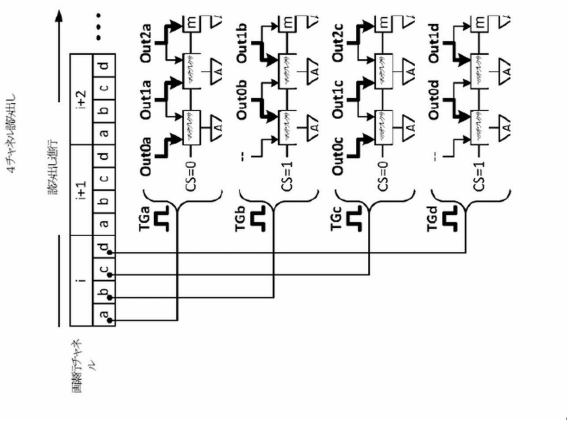
【図１４】



【図１５】



【図１６】



フロントページの続き

１１０７，パサデナ，イー．フットヒル ブールバード ３４５２，スイート ３６０
(72)発明者 マスーディアン，サレハ
アメリカ合衆国，カリフォルニア州 ９１１０７，パサデナ，イー．フットヒル ブールバード ３４５２，スイート ３６０

審査官 三沢 岳志

(56)参考文献 米国特許出願公開第２０１２／０００２０８９（ＵＳ，Ａ１）
特開２０１７－０５５４０３（ＪＰ，Ａ）
特表２０１７－５３４２３０（ＪＰ，Ａ）
米国特許出願公開第２０１２／００３３１１８（ＵＳ，Ａ１）
米国特許出願公開第２０１８／００９８００８（ＵＳ，Ａ１）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０４Ｎ ２５／７７
Ｈ０４Ｎ ２５／５８９
Ｈ０４Ｎ ２５／７７１